# СПРАВОЧНИК

## ПОЛУПРОВОДНИКОВЫЕ ПРИБОРЫ

# микросхемы памяти ЦАП и АЦП

## ОТ МИКРОСХЕМ ДО РЕЗИСТОРОВ Платан

АО "ПЛАТАН "- КРУПНЕЙШИЙ В РОССИИ **ДИСТРИБЬЮТОР РОССИЙСКИХ И ЗАРУБЕЖНЫХ** ЭЛЕКТРОННЫХ КОМПОНЕНТОВ

Каталог АО"Платан"высылается бесплатно по письменным заявкам предприятий

Mockea, Vn. FWISDOBCKOFO, 39

Москва, Ул. I коляровского, Ju (ст.метро "Проспект Мира") факс: 971-31-45. Почта: 129110

Москва, а/я 996

микросхемы ТРАНЗИСТОРЫ КОНДЕНСАТОРЫ РЕЗИСТОРЫ диоды

1

О.Н. Лебедев А.-Й.К. Марцинкявичюс Э.-А.К. Багданскис Р.Л. Пошюнас Б.В. Драган Й.М. Кажукаускас И.Д. Кучинскас

## МИКРОСХЕМЫ ПАМЯТИ. ЦАП и АЦП

Издание 2-е, стереотипное

Москва "КУбК-а" 1996 ББК 32.884 М 21

### М 21 Микросхемы памяти. ЦАП и АЦП: Справочник-2-е изд., стереотип / О.Н. Лебедев, А-Й.К. Марцинкявичнос, Э.-А.К. Багданскис и др.; — М.: КУбК-а, 1996— 384 с.: ил.

В первой части данного издания рассмотрены устройство, режим работы, функциональные возможности и электрические характеристики микросхем оперативных и постоянных запоминающих устройств. Приведены рекомендации по выбору микросхем памяти для практических разработок, по реализации режимов управления микросхемами всех видов при записи, хранении и считывании информации. Даны развернутые примеры применения микросхем памяти в устройствах различного назначения.

Во второй части рассматриваются особенности схем построения, параметры и электрические характеристики быстродействующих интегральных цифро-аналоговых и аналого-цифровых преобразователей. Описаны методы и принципы построения измерителей статических и динамических 'параметров преобразователей. Приведены конкретные типы измерительной аппаратуры, предназначенной для контроля и измерения их параметров.

ББК 32.884

ISBN 5-855554-102-9

© Коллектив авторов, 1996 г.

## МИКРОСХЕМЫ ПАМЯТИ

#### Предисловие

Одним из ведущих направлений развития современной микроэлектронной элементной базы являются большие интегральные микросхемы памяти, которые служат основой для построения запоминающих устройств в аппаратуре различного назначения. Номенклатуру микросхем памяти отечественного производства характеризует большое разнообразие конструктивно-технологических и схемотехнических исполнений, функциональных возможностей, электрических характеристых, областей применения.

Сейчас трудно назвать область техники, связанную с созданием электронной техники, в которой не применяют микросхемы памяти. Заметно повышается интерес к ним и у радиолюбителей. В последнее время увеличилось число изданий, посвященных микросхемам памяти [1—7]. Однако эти издания являются либо узкоспециальными [5—7], либо рассчитаны на учебную аудиторию [4]. либо адресованы профессиональным. разработчикам систем памяти [1—3]. Литература, предназначенная для радиолюбителей и раскрывающая с нужной им детализацией вопросы устройства и применения микросхем памяти, практически отсутствует.

В предлагаемой книге в систематизированном виде описаны устройство, режимы работы, функциональные возможности и электрические характеристики микросхем памяти, даны рекомендации по выбору микросхем для реализации запоминающих устройств различного назначения. Приведены примеры применения микросхем памяти для построения оперативных (ОЗУ) и постоянных (ПЗУ) запоминающих устройств, реализации режимов управлення ими при записи, хранении и считывании информации, а также при программировании и перепрограммировании микросхем ПЗУ.

Материал в книге расположен в порядке, который обусловлен общепринятой классификацией микросхем памяти по функциональному признаку: вначале последовательно рассмотрены устройство, режнмы работы, параметры и вопросы практического применения микросхем ОЗУ, затем — микросхем ПЗУ. Такой порядок изложения, думается, будет удобен для читателя в отношении компактности сведений по микросхемам одного вида, возможности избирательного изучения материала и пользования им Достаточно детально изложенные сведения о характеристи ках микросхем памяти, режимах их работы и способах реализации управляющих устройств придают книге четко выраженный справочный характер. Вместе с тем книга содержит материал о типовых структурных построениях микросхем памяти, тенденциях их развития на ближайшее будущее, функциональных связях между управляющими сигналами н элементами структур микросхем, факторах, оказывающих существенное влияние на характеристики микросхем. Этн сведения, по миснию автора, должны помочь читателю глубже разобраться в свойствах микросхем ламяти, сориентироваться в этих сложных, многообразных и перспективных микросхемах н творчески подходить к использованию заложенных в них возможностей.

При написанни книги использованы материалы отечественных и зарубежных публикаций, а также результаты исследований автора в области применения микросхем памяти. Автор надеется, что книга будет полезной широкому кругу радиолюбителей при решении практических вопросов применения микросхем памяти в электронных устройствах.

## Список сокращений, принятых в книге

| АЦП<br>БИС<br>ИИЛ<br>ҚЗУ ,<br>ЛИЗМОП | <ul> <li>аналого-цифровой преобразователь</li> <li>большая интегральная схема</li> <li>интегральная инжекционная логика</li> <li>контроллер запоминающего устройства</li> <li>МОП-структура с лавинной инжекцией<br/>заряда</li> </ul> |
|--------------------------------------|--|
| мбр                                  | — многорежнмный буферный регистр   |
| мдп                                  | - структура «металл-диэлектрик-полупро-  |
| мноп                                 | - структура «металл-нитрид кремния-окисел<br>кремния-полупроводник (кремний)»  |
| мпи                                  | — магистральный параллельный интерфейс   |
| мпп                                  | магистральный приемопередатинк   |
| O3V (PAM)                            | оперативное запоминающее устоойство  |
|                                      | — открытые коллектор и эмиттер   |
| П3                                   | — плавающий затвор   |
| TISK (ROM)                           | - постоянное запоминающее устройство   |
| IJAN (ROM)                           | — масочное ПЗУ   |
| ПЛМ                                  | - программируемая догическая матрина   |
| ППЗУ (PROM)                          | — программируемое (пользователем) ПЗУ  |
| PII3Y (EPROM)                        | — репрограммируемое ПЗУ  |
| ΡΠ3Υ-ΫΦ                              | - репрограммируемое ПЗУ со стиранием   |
| - (M)                                | ультрафиолетовым (УФ) излучением и   |
|                                      | записью электрическим сигналом   |
| РПЗУ-ЭС                              | - репрограммируемое ПЗУ со стиранием   |
|                                      | и записью электрическим сигналом   |
| РШ                                   | — разрядная шина   |
| ттл                                  | <ul> <li>транзисторно-транзисторная логика</li> </ul>  |
| ттлш                                 | - транзисторно-транзисторная логика с  |
| NDD                                  | диодами шотки  |
| <b>J</b> AB                          | — устроиство ввода-вывода  |
| ША                                   | — шина адреса  |
| ШД                                   | — шина данных  |
| шдия                                 | — шина «данные-адрес»  |
| Шф                                   | — шина управления  |
| ШФ                                   | — шинный формирователь   |
| ЦАП                                  | — цифроаналоговый преобразователь  |
| 311                                  | — элемент памяти   |
| 9C1                                  | — эмиттерно-связанная логика   |
| ЯП                                   | ячейка памяти  |
| п-МДП                                | — мдп-структура с каналом <i>п</i> -типа   |
| р-МДП                                | — МДП-структура с каналом <i>р</i> -типа   |

## Глава I ОБЩАЯ ХАРАКТЕРИСТИКА МИКРОСХЕМ ПАМЯТИ

#### 1.1. Назначение микросхем памяти и их разновидности

Компактная микроэлектронная «память» широко применяется в современной электронной аппаратуре самого различного назначения. И тем не менее разговор о назначении микросхем памяти и их классификации удобно начать с рассмотрения их места и роли в ЭВМ (микроЭВМ) (рис. 1.1), поскольку понятие память в таком случае получает наглядиую интерпретацию. Память определяют как функциональную часть ЭВМ, предназначенную для записи, хранения и выдачи команд и обрабатываемых данных. Комплекс технических средств, реализующих функцию памяти, называют запоминающим устройством (ЗУ).

Для обеспечения работы процессора (микропроцессора) необходимы программа, т. е. последовательность команд, и данные, над которыми процессор производит предписываемые командами операции. Команды н данные поступают в основную память ЭВМ через устройство ввода, на выходе которого они получают цифровую форму представления, т. е. форму кодовых комбинаций



Рис. 11 Структура ЭВМ

0 и 1. Основная память, как правило состоит из ЗУ двух видов – оперативного (ОЗУ) и постоянного (ПЗУ).

Оперативное ЗУ предназначено для хранения переменной информации, оно допускает изменение своего содержимого в ходе выполнения процессором вычислительных операций с данными. Это значит, что процессор может выбрать (режим считывания) из ОЗУ код команды и данные и после обработки поместить в ОЗУ (режим записи) полученный результат. Причем возможно размещение в ОЗУ новых данных на местах прежних, которые в этом случае перестают существовать. Таким образом, ОЗУ может работать в режимах записи, считывания и хранения информации.

Постоянное ЗУ содержит информацию, которая не должна изменяться в ходе выполнения процессором программы. Такую информацию составляют стандартные подпрограммы, табличные данные, коды физических констант и постоянных коэффициентов и т п. Эта информация заносится в ПЗУ предварительно, например путем пережигания легкоплавких металлических перемычек в структуре ПЗУ, и в ходе работы процессора может только считываться. Таким образом ПЗУ работает в режимах хранения и считывания.

Функциональные возможности ОЗУ шире, чем ПЗУ: ОЗУ может работать в качестве ПЗУ, т. е. в режиме многократного считывания однократно записанной информации, а ПЗУ в качестве ОЗУ использовано быть не может, так как не позволяет изменить однократно занесенную в него информацию. Далее будет рассмотрена разновидность ПЗУ, которая допускает перепрограммирование, однако и это ПЗУ не может заменить ОЗУ.

В свою очередь, ПЗУ обладает преимуществом перед ОЗУ в свойстве сохранять информацию при сбоях и отключении питания. Это свойство получило название энергонезависимость. Оперативное ЗУ является энергозависимым, так как информация, записанная в ОЗУ, утрачивается при сбоях питания

Для обеспечения надежной работы ЭВМ при отказах питания нередко ПЗУ используют и в качестве памяти программ. В таком случае программа заносится в ПЗУ предварительно и уже не может быть заменена в данном ПЗУ другой программой. Очевидно, использовать ПЗУ таким образом целесообразно прежде всего в специализированных автоматических устройствах, работающих по постоянной программе.

Запоминающее устройство, реализующее функции основной памяти, размещают рядом с процессором на одной плате, в одном блоке или стойке в зависимости от типа ЭВМ, и такое ЗУ в этом смысле является внутренним. Быстродействие внутрениего ЗУ должно быть соизмеримо с быстродействием процессора. Однако практически это требование не всегда удается выполнить по временным параметрам ОЗУ и ПЗУ несколько отстают от процессора. Поэтому внутри ЭВМ (микроЭВМ) обычно раз мещают еще и вспомогательную (буферную) память на быстродействующих регистрах, которая используется в качестве сверхоперативного ЗУ (СОЗУ) с небольшой информационной емкостью для кратковременного хранения текущих комана, адресов и данных.

Наряду с внутренней памятью вычислительная система (ЭВМ с внешними устройствами различного функционального назначения) включает внешнюю память, реализуемую обычно на магнятных носителях: лентах или дисках. Внешние ЗУ (ВЗУ) содержат большие массивы информации, характеризуются сравнительно низким быстродействием, обусловленным наличием электромеханических устройств для записи и считывания, а также имеют значительные массу и габаритные размеры.

Перейдем теперь к вопросу о реализации внутренней и внешней памяти ЭВМ (микроЭВМ) на основе микроэлектронной элементной базы. В современных вычислительных средствах и в электронной аппаратуре различного функционального назначения для построения ОЗУ, ПЗУ и регистровых ЗУ широко применяют полупроводниковые интегральные микросхемы.

Для микросхем памяти, выпускаемых отечественной промышленностью, характерны широкая номенклатура типов, значительное разнообразие вариантов конструктивно-технологического исполнения, большой диапазон функциональных характеристик и значений электрических параметров, существенные различия в режимах работы и в областях применения.

Микросхемы памяти изготавливают по полупроводниковой технологии на основе кремния с высокой степенью интеграции компонентов на кристалле, что определяет их принадлежность к большим интегральным схемам (БИС). Конструктивно БИС памяти представляет собой полупроводниковый кристалл с площадью в несколько десятков квадратных миллиметров, заключенный в корпус.

Для самой общей характеристики БИС памяти принимают в расчет, прежде всего, их информационную емкость, быстродействие, энергопотребление. Информационную емкость определяют числом единиц информации в битах или байтах (один байт равен восьми битам), которое БИС памяти может хранить одновременно. Быстродействие характеризуют временными параметрами, в частности временем цикла записи или считывания Энергопотребление определяют произведением тока потребления и напряжений источников питания. Нередко для БИС памяти указывают энергопотребление в расчете на один бит. Для некоторых типов БИС приводят два значения потребляемой мощ ности — одно для режима обращения, когда осуществляют запись или считывание информации, другое — для режима хранения при котором уровень мощности может быть существенно снижев



Рис. 1.2. Микросхема памяти как функциональный узел: а — ОЗУ: б — ПЗУ

По функциональному назначению микросхемы памяти лодразделяют на два вида: ОЗУ и ЛЗУ. Для общего представления о микросхемак памяти как функциональных узлах электронной аппаратуры рассмотрим их наиболее характерные свойства, отражающие принцип построения и управление режимами работы.

Основной составной частью микросхемы ОЗУ (рис. 1.2, а) является массив элементов памяти, объединенных в матрицу накопителя. Элемент памяти (ЭП) может хранить один бит (0 или 1) информации. Каждый ЭП имеет свой адрес. Для обращения к ЭП необходимо его «выбрать» с помощью кода адреса, сигналы которого подводят к соответствующим выводам микросхемы.

Запоминающее устройство, ОЗУ или ПЗУ, которое допускает обращение по адресу к любому ЭЛ в произвольном порядке, называют запоминающим устройством с произвольной выборкой ЗУПВ.

Разрядность кода адреса m, равная числу двоичных единичи в нем, определяет информационную емкость микросхемы O3У. т. е. число ЭП в матрице накопителя, которое можно адресовать: оно равно 2<sup>m</sup>. Например, микросхема O3У, у которой число адресных входов равно m = 10, содержит в матрице  $2^{10} = 1024$  ЭП, т. е. имеет информационную емкость 1024 бит. (Заметим, что для обозначения числа  $2^{10} = 1024$  в вычислительной технике применяют букву К.)

Для ввода и вывода информации служит вход и выход микросхемы. Для управления режимом микросхемы памяти необходим сигнал «Запись-считывание», значение 1 которого определяет режим записи бита информации в ЭП, а 0 — режим считывания бита информации из ЭП. Такую организацию матрицы накопителя, при которой одновременно можно записывать или считывать один бит. называют одноразрядной. Большинство микросхем ОЗУ имеют одноразрядную организацию. Но некоторые из них имеют многоразрядную организацию, иначе называемую, «словарной». У таких микросхем несколько информационных входов и столько же выходов, и поэтому они допускают одновременную запись (считывание) многоразрядного кода, который принято называть «словом».

Микросхемы ОЗУ по типу ЭП разделяют на статические и динамические. В микросхемах статических ОЗУ в качестве ЭП применены статические триггеры на биполярных или МДП-транзисторах. Как известно, статический триггер способен при наличии напряжения питания сохранять свое состояние неограниченное время. Число состояний, в которых может находиться триггер, равно двум, что и позволяет использовать его для хранения двоичной единицы информации.

В микросхемах динамических ОЗУ элементы памяти выполнены на основе электрических конденсаторов, сформированных внутри полупроводникового кристалла. Такие ЭП не могут долгое время сохранять свое состояние, определяемое иаличием или отсутствием электрического заряда, и поэтому нуждаются в периодическом восстановлении (регенерации). Микросхемы динамических ОЗУ отличаются от микросхем статических ОЗУ бо́льшей информационной емкостью, что обусловлено меньшим числом компонентов в одном ЭП и, следовательно, более плотным их размещением в полупроводниковом кристалле. Однако динамические ОЗУ сложнее в применении, поскольку нуждаются в организации принудительной регенерации, и в дополнительном оборудовании, и в усложнении устройств управления. Микросхемы ПЗУ (рис. 1.2, б) построены также по принциту

Микросхемы ПЗУ (рис. 1.2, б) построены также по принципу матричной структуры накопителя. Функции ЭП в микросхемах ПЗУ выполняют перемычки в виде проводников, днодов или транзисторов между шинами строк и столбцов в накопителе. В такой матрице наличие перемычки соответствует, например, 1, а ее отсутствие — 0. Микросхемы ПЗУ имеют словарную организацию, и поэтому информация считывается в форме многоразрядного кода, т. е. словом. Совокупность ЭП в матрице накопителя, в которой размещается слово, называют ячейкой памяти (ЯП). Число ЭП в ЯП определяет ее разрядность п. Каждая ЯП имеет свой адрес, и для обращения к определенной ЯП для считывания из нее информации необходимо к адресным выводам микросхемы подвести сигналы кода, соответствующего данной ячейке адреса. Число ячеек памяти равно 2<sup>m</sup>, а информационная емкость микросхемы — 2<sup>m</sup> × n бит.

Занесение информации в микросхемы ПЗУ, т. е. их программирование, осуществляют в основном двумя способами. Один способ заключается в формировании в накопителе перемычек в местах пересечения строк и столбцов матрицы через маску на заключительной технологической стадии изготовления микроехемы ПЗУ. Такие микросхемы ПЗУ называют масочными. Другой способ программирования микросхемы ПЗУ основан на пережигании легкоплавких перемычек в тех пересечениях шин строк и столбцов, куда должен быть записан 0 или 1, в зависимости от принятого кодирования. В исходном состоянии такая микросхема имеет в матрице перемычки во всех пересечениях строк и столбцов. Программирование осуществляет пользователь электрйческими импульсами с помощью устройства для программирования, называемого программатором.

Микросхемы ПЗУ, масочные (ПЗУМ) и программируемые пользователем (ППЗУ), допускают однократное программирование, поскольку оно осуществляется формированием или разрушением соединений в матрице. Один из вариантов реализации ПЗУ ориентирован на программирование заданных логических функций. Такие ПЗУ называют программируемыми логическими матрицами (ПЛМ).

Существует разновидность микросхем ПЗУ, допускающая неоднократное (сотни и тысячи циклов) перепрограммирование (репрограммирование). Элементом памяти в микросхемах репрограммируемых ПЗУ (РПЗУ) является МДП-транзистор, обладающий свойством переходить в состояние проводимости под воздействием импульса программирующего напряжения и сохранять это состояние длительное время (тысячи часов). Данный эффект обусловлен накоплением электрического заряда в подзатворном диэлектрике. Если на транзистор не воздействовать. импульсом программирующего напряжения, то он сохранит закрытое для электрического тока состояние. Для стирания информации перед новым циклом программирования необходимо вытеснить накопленный под затвором заряд. В зависимости от способа выполнения этой операции микросхемы РПЗУ разделяют на два вида: со стиранием электрическим сигналом (РПЗУ-ЭС) и ультрафиолетовым светом (РПЗУ-УФ), которым полупроводниковый кристалл облучают через специальное окно в крышке корпуса. Микросхемы РПЗУ сохраняют информацию длительное время без питания, т. е. являются энергонезависимыми.

Регистры широко применяют для хранения небольших объемов информации. Номенклатура микросхем регистров хорошо развита и разнообразна. По принципу построения различают регистры хранения и сдвига. Регистр хранения представляет собой (рис. 1.3, *a*) совокупность триггеров, объединенных по цепям управления их режимом (вход С). Цифровой код, т. е. слово, записывают в регистр хранения всеми разрядами одновременно  $DI_1 - DI_1 - DI_n$  по разрешающему сигналу на входе C=1. При C=0 обеспечивается режим хранения записанной информации, которая в виде уровней напряжения присутствует на выходах  $DO_1 - DO_1 - DO_n$  и может быть считана без разрушения. Последующая информация замещает прежнюю. Число триггеров п





Рис. 1 3. Функциональные схемы регистров хранения (а), сдвига (б)

определяет разрядность регистра и, следовательно, хранимого кода. Такие регистры по способу записи и считывания информации называют параллельными.

Регистр сдвига (рис. 1.3, 6) построен на последовательно соединенных триггерах двухступенчатой структуры. Информация в такой регистр может быть записана поразрядно последовательно во времени со стороны входа  $DI_0$  первого триггера путем продвижения по цепи триггеров под воздействием тактовых сигналов на входе С. Другой способ записи — параллельный, т. е. в один такт всеми разрядами  $DI_1 - DI_n$  одновременно. Режим записи задают сигналом на управляющем входе V.

Аналогично режиму записи могут быть реализованы два режима считывания: по одному разряду последовательно во времени с выхода последнего триггера и параллельный — со всех выходов регистра одновременно. Регистры с последовательным способом записи и считывания называют последовательными. Последовательные регистры составляют основу ОЗУ с последовательным доступом, в которых выборку нужного элемента или



Рис. 1.4. Классификация микросхем памяти

ячейки памяти осуществляют последовательным перебором адресов в порядке их возрастания или убывания.

В обширной номенклатуре микросхем параллельных и последовательных регистров некоторая их часть содержит многорегистровые структуры, которые можно использовать для хранения одновременно нескольких слов. Возможности таких михросхем зависят от их структурного построения и способа адресации регистров. Некоторые допускают адресацию каждого регистра, другие работают по принципу «магазинного» ЗУ: заполняясь информацией по мере ее поступления и освобождаясь от нее в порядке ее поступления по правилу «первым вошел — первым вышел» или в обратном порядке: «первым вошел — последним вышел». Магазинные ЗУ с обратным порядком считывания часто называют стеком. Стековые регистровые ЗУ находят широкое применение в калькуляторах, в микропроцессорных контроллерах и в других вычислительных устройствах.

Рассмотренные разновидности полупроводниковых ОЗУ и ПЗУ систематизированы в классификационной диаграмме, приведенной на рис. 1.4. Здесь же указаны обозначения микросхем различных видов и типов, соответствующие ГОСТ 2.743—82, которые применяют на их условных графических изображениях [10].

В последние годы получило развитие направление создания микросхем ЗУ на цилиндрических магнитных доменах для внешних ЗУ. Это направление базируется на использовании физических явлений в тонких магнитных пленках, в частности на возможности образования в тонкой пленке ортоферрнта микронных по размерам областей, имеющих противоположную с окружающей средой намагниченность. Эти области назвали цилиндрическими магнитными доменами (ЦМД). Тонкая пленка магнитного материала с размерами примерно 100×100 мм<sup>2</sup>, выращенная на диэлектрической основе, может хранить несколько миллионов бит информации, причем для ее записи и считывания не нужны электромеханические устройства. Микросхемы ЗУ на ЦМД существенно отличаются от полупроводниковых микросхем памяти: они содержат внутри корпуса миниатюрные постоянные магниты, систему ортогональных катушек для создания электромагнитного поля на поверхности магнитной пленки. По конструктивно-технологическому исполнению их следует отнести к микросборкам. Типичные размеры микросборки 3×3×1 см<sup>3</sup>. От существующих ВЗУ на магнитных лентах и дисках ЗУ на ЦМД выгодно отличаются более высоким быстродействием и отсутствием электромеханических частей в конструкции.

Микросхемы памяти выпускают сериями. Серия представляет собой совокупность микросхем, имеющих единое конструктивнотехнологическое исполнение, единые напряжения питания, эксплуатационные и надежностные показатели и отличающихся информационной емкостью, быстродействием и некоторыми другими характеристиками, например принадлежностью к типу статического или динамического ОЗУ.

В общем случае серия может включать микросхемы памяти разных видов, например ОЗУ и ППЗУ, но пока большинство серий имеют однородный видовой состав, т. е. включают либо микросхемы ОЗУ, либо ПЗУМ, либо ППЗУ, дибо РПЗУ. Достаточно широко микросхемы памяти представлены и в составе многофункциональных серий наряду с микросхемами логическими, триггерами, кодопреобразователями, дешифраторами, счетчиками и др. Микросхемы ЗУ на ЦМД также выпускают сериями. Информацию о принадлежности микросхемы к той или другой серин содержит условное обозначение.

В соответствии с принятой системой (ОСТ 11073.915—80) обозначение микросхемы содержит четыре обязательных элемента. Первый элемент — цифра, указывающая группу микросхемы по конструктивно-технологическому признаку: 1, 5, 6, 7 — полупроводниковые, 2, 4, 8 — гибридные, 3 — прочие (пленочные, пьезокерамические и т. д.). Второй элемент — две-три цифры, указывающие номер разработки данной серии. В сочетании указанные два элемента составляют номер серии, к которой принадлежит микросхема. Третий элемент — две буквы, обозиачающие функциональную подгруппу и вид микросхемы: РУ --оперативные ЗУ с управлением, РМ — матрицы ОЗУ; РЕ — масочные ПЗУ; РТ — программируемые ПЗУ; РР — репрограммируемое ПЗУ со стиранием информации электрическим сигналом; РФ — репрограммируемое ПЗУ со стиранием информ: лии ультрафиолетовым светом; РЦ — ЗУ на ЦМД; ИР — регистры. Четвертый элемент — порядковый номер разработки микросхемы в серии среди микросхем одного вида. При необходимости в обозначение могут быть введены дополнительные буквенные индексы. Перед первым элементом для характеристики условий применения, материала и типа корпуса могут размещаться следующие буквы: К — общетехнического применения; Э — экспортное исполнение; Р — пластмассовый корпус типа 2 (см. §1.3); М -керамический; металло- или стеклокерамический корпус типа 2; Е — металлополимерный корпус типа 2; А — пластмассовый корпус типа 4; И — стеклокерамический корпус типа 4; Н -керамический кристаллоноситель; Б — бескорпусное исполнение. После четвертого элемента может быть размещена дополнительная буква: А. Б. В н т. д., определяющая условия разбраковки микросхем по одному из функциональных параметров: быстродействию, потребляемому току и др. Примеры: КР565РУ6Б — микросхема общетехнического применения в пластмассовом корпусе, полупроводниковая, серия 565, ОЗУ, разработка 6, типономинал Б. КМ1609РРП - микросхема общетехнического применения в металлокерамическом корпусе, полупроводниковая, серия 1609, репрограммируемое ПЗУ со стиранием электрическим сигналом, разработка 11. К573РФ6А — полупроводниковая микросхема общетехнического применения, серии 573, РПЗУ со стиранием ультрафиолетовым светом, разработка 6, типономиная А.

#### J.2. Микросхема памяти как функциональный узея

Для характеристики микросхем памяти каждого вида и типа как функциональных узлов электронной аппаратуры необходимо знать, прежде всего, режимы их работы, управляющие сигналы, способы сопряжения с другими узлами аппаратуры, систему электрических параметров, их описание и значения. Указанный круг сведений необходим для грамотного применения микросхем памяти в разработках электронных устройств различного назначения, а также для приобретения умения и навыков чтения функциональных и принципиальных схем устройств с памятью.

Рассмотрим микросхему памяти как «черный ящик», обратив основное внимание на назначение ее выводов, внешние характеристики и систему параметров для описания статического и динамического режимов. На рис. 1.5 — 1.7 приведены условные графические изображения микросхем памяти разных видов. ста



Рис. 1.5. Условные графические изображения микросхем ОЗУ: а — статического с одноразрадной организацией 256 × 1 бит: б --- статического со словарной организацией 2048 × 8 бит: в — динанического с одноразрядной организацией 16864 × 1 бит:

тнческих и динамических ОЗУ, ПЗУМ, ППЗУ и РПЗУ. Нетрудно увидеть общее и отличия в системе выводов мимросхем памяти разных видов.

Сигналы и соответствующие выводы микросхем можно подразделить на адресные, управляющие и информационные. Отдельную группу составляют выводы для подключения напряжений источников питания. Обозначения сигналов и выводов микросхем памяти, соответствующие ГОСТ 19480—74 [11], приведены в табл. 1.1. В книге использован вариант международных обо-



Рис. 1.6. Условные графические изображения микросхем ПЗУМ (а), ППЗУ (б)



Рис. 1.7 Условное трато ческое наображение микроскемы РПЗУ

|                                   | Обозначение   |                 |  |  |
|-----------------------------------|---------------|-----------------|--|--|
| Накменование сигнала              | международное | е отечественное |  |  |
| Адрес                             | A             | a               |  |  |
| Тактовый сигнал                   | C             | T               |  |  |
| Строб адреса столбца              | CAS           | CAS             |  |  |
| Строб адреса строки               | RAS           | RAS             |  |  |
| Выбор микросхемы                  | CS            | BM              |  |  |
| Разрешение                        | CE            | P               |  |  |
| Запись                            | WR            | ЗП              |  |  |
| Считывание                        | RD            | СЧ              |  |  |
| Запись-считывание                 | ¶w/R          | ЗП/СЧ           |  |  |
| Разрешение записи                 | WE            |                 |  |  |
| Разрешение по выходу (считывания) | OE            | -               |  |  |
| Данные (ниформация)               | D             |                 |  |  |
| Входные данные                    | DI            | UBX. H          |  |  |
| Выходные данные                   | DO            | UBNX. M         |  |  |
| Адрес, данные: вход-выход         | ADIO          |                 |  |  |
| Данные: вход-выход                | DIO           | UBX. N/UBWX. N  |  |  |
| Регенерация                       | REF           | РЕГ             |  |  |
| Программирование                  | PR            | ПР              |  |  |
| Стирание                          | ER            |                 |  |  |
| Напряжение питания                | Ucc           | U <sub>n.</sub> |  |  |
| Напряжение программирования       | UPR           | Unp             |  |  |
| Общий вывод микросхемы            | OV            | Общ.            |  |  |

#### Таблица 1.1. Обозначения сигналов (выводов) микросхем памяти

значений ввиду его широкого применения в справочной литературе и в нормативно-технической документации.

Обратимся к рис. 1.5, *a*, на котором представлено условное изображение микросхемы статического ОЗУ К561РУ2. Число адресных входов  $A_0 - A_7$  ( $A_0 - младший разряд$ ) позволяет определять информационную емкость микросхемы: 2<sup>8</sup> = 256 бит.

Наличие одного информационного входа DI и одного выхода DO (прямого и инверсного) указывает на одноразрядную организацию микросхемы памяти: 256 × 1 бит.

Для управления режимом работы предусмотрены два сигнала:  $\overline{CS}$  (ВМ — выбор микросхемы) и W/R (запись-считывание). Управляющий вход CS является инверсным. Сигнал CS разрешает или запрещает обращение к микросхеме по информационным входу и выходу. В соответствии с табл. 1.2 наличие на входе CS сигнала с уровнем логической 1 однозначно определяет режим хранения. При этом выход принимает высокоомное состояние, при котором он электрически отключен от приемника информации.

| <del>cs</del> | W/R   | Ao Ar | DI | DO  | Режим работь |
|---------------|-------|-------|----|-----|--------------|
| 1             | X     | x     | х  | Z   | Хранение     |
| 0             | i i . | A     | 0  | Z   | Запись О     |
| 0             | 1     |       | 0  | Z   | Запись І     |
| 0             | 0     | A     | x  | D.D | Считывани    |

Таблица 1.2. Таблица истинности К561РУ2

Примечание. Х - произвольное состояние (0 или 1); Z - высокоомное состояние; D - данише.

Имея в виду, что обычно у микросхемы выход может находиться в одном из двух состояний, соответствующих логическим 0 и 1, указанное высокоомное состояние называют третьим. Выходное напряжение в третьем состояние имеет уровень, равный приблизительно половине наибольшего значения выходного напряжения. Наличие у микросхемы выхода на три состояния указывают на правом поле ее условного изображения специальным знаком [10]:

⊖ — выход на три состояния;

— выход с открытым эмиттером ОЭ (п-р-п транзистора);

— выход с открытым коллектором ОК п-р-п транзистора, с открытым стоком ОС (МДП-траизистора с п-каналом).

У некоторых микросхем памяти выход имеет незавершенную структуру: отсутствует нагрузка в дели эмиттера — выход с открытым эмиттером (ОЭ) или в цепи коллектора — выход с открытым коллектором (ОК), аналогично для МДП-транзистора: открытый исток или сток. Такие выходы могут принимать два состояния — функциональное и высокоомное. При включении микросхемы в схему обычно к ее выходам ОЭ или ОК подключают резистивную нагрузку.

Для обращения к микросхеме для записи или считывания одного бита информации D необходимо подать разрешающий обращение сигнал CS с нулевым уровнем и сигнал W/R с соответствующим режиму уровнем: при записи — 1, при считывании — 0. Из табл. 1.2 видно, что в любом режиме вход и выход развязаны, т. е. не могут влиять на состояние друг друга. Таким свойством обладают микросхемы с выходами на три состояния.

Учитывая отмеченную особенность, можно объединять вход и выход михросхемы и подключать их к общей информационной имине, по которой информация подается к микросхеме и выводится из нее.

Для построения ОЗУ на микросхемах с одноразрядной организацией необходимо объединить микросхемы с тем, чтобы обес-

| ĊŚ  | OE |   | W/R | Ao - A10 | DIO <sub>V</sub> - DIO | Pemin PaGots         |
|-----|----|---|-----|----------|------------------------|----------------------|
| 1   | х  |   | х   | X        | ° Z                    | Хранение             |
| 0 . | X  |   | 0   | A        | 0                      | Запись О             |
| 0   | Х  | - | 0   | A        | 1                      | Запись 1             |
| 0   | 1  | 1 | 1   | A        | Z                      | Чтение без<br>выдачи |
| 0   | 0  | - | 1   | A        | $D_0 - D_7$            | Считывание           |

#### Таблица 1.3. Таблица истинности КР537РУ8

Примечание. Х - произвольное состояние.

печить возможность записи информации в ОЗУ, ее хранение и считывание в форме многоразрядного цифрового кода, т. е. слова. Подробно этот вопрос рассмотрен в гл. 3. Очевидно, решение этой задачи существенно упрошается при

Очевидно, решение этой задачи существенно упрощается при использований микросхем со словарной организацией. В обширной номенклатуре микросхем статических ОЗУ микросхемы со словарной организацией представлены ограниченным числом типов. Один из них — микросхема КР537РУ8 — приведен на рис. 1.5, 6. Особенность микросхемы состоит в том, что она имеет организацию 2048×8 бит и, следовательно, допускает запись или считывание информации 8-разрядными словами (байтами). Причем входы и выходы совмещены и обладают свойством двунаправленной проводимости. Другая особенность приведенной микросхемы заключается в наличии сигнала ОЕ разрешения по выходу, т. е. разрешения считывания при наличии сигнала СS =0.

Значения сигналов микросхемы, обеспечивающих ее работу в том или другом режиме, приведены в табл. 1.3.

Заметим, что сигнал ОЕ не является обязательным для микросхем ОЗУ со словарной организацией: например, у микросхемы К132РУ8 с организацией 1К×4 бит этот сигнал отсутствует.

Микросхемы динамических ОЗУ, например микросхема К565РУ6 (рис. 1.5, a), имеют более сложное управление, чем микросхемы статических ОЗУ. Это обусловлено необходимостью организации принудительной регенерации хранимой микросхемой информации, осуществляемой с помощью специальных внешних устройств с интервалом, определяемым периодом регенераций. Для микросхем серин К565 этот период равен 2 мс. Микросхемы динамических ОЗУ в своем большинстве построены с мультиплексированием кода адреса: вначале в микросхему вводят код адреса строки  $A_0 - A_6$ , фиксируя его на входном регистре RG стробирующим сигналом RAS, затем вводят код адреса столбца  $A_7 - A_{13}$ , фиксируя его на регистре стробирующим сигналом CAS;

 А<sub>7</sub> — А<sub>13</sub>, фиксируя его на регистре стробирующим сигналом CAS. Число адресных выводов таким образом уменьшают вдвое: у микросхемы К565РУ6 с информационной емкостью 16К бит
 20

| RAS | CAS | W/R | A | DI | DO | Режим работы |
|-----|-----|-----|---|----|----|--------------|
| 1   | 1   | X   | x | х  | Z  | Хранение     |
| 1   | 0   | X   | X | x  | z  | Хранение     |
| 0   | 1   | X   | A | x  | z  | Регенерация  |
| Ò   | 0   | 0   | A | 0  | Z  | Запись О     |
| 0   | 0   | 0   | A | 1  | Z  | Зались 1     |
| Ò   | 0   | 1   | A | X  | D  | Считывание   |

Таблица 1.4. Таблица истинности К565РУ6

их всего семь. Как следует нз табл. 1.4, функции сигнала CS выполняет сигнал RAS: для обращения к микросхеме необходим нулевой уровень этого сигнала.

В режиме регенерации микросхема работает по циклу «считываине-моднфикация-запись», находясь при этом в состоянии изоляции от информационных входа и выхода благодаря сигналу CAS = 1. Следовательно, адресованы оказываются только строки. Это говорит о том, что регенерация информации проис-ходит во всех ЭП строки. Перебирая адреса строк, устройство регенерации обеспечивает восстановление информации во всей матрице накопителя. Время, необходимое для регенерации информации в микросхеме, определяют произведением числа строк на время одного цикла регенерации, которое является параметром. Например, время цикла регенерации составляет 0,5 мкс. Для регенерации всей информации необходимо 128 циклов, что составит 64 мкс. Если учесть, что период регенерации 2 мс, то нетрудно получить ту часть времени (в процентном отношении), в течение которого микросхема будет закрыта для обращения: это время составляет 3% общего времени работы микросхемы памяти.

Микросхемы ПЗУМ (рис. 1.6, *a*) и ППЗУ (рис. 1.6, *б*) программируют, т. е. заносят в них информацию предварительно, поэтому система сигналов соответствует возможности осуществления только двух режимов: хранения (невыбора) при  $\overline{CS} = 1$ и считывания информации по адресу при  $\overline{CS} = 0$ . Микросхемы ППЗУ. программирует пользователь с помощью

Микросхемы ППЗУ программирует пользователь с помощью программатора, подавая на выходные выводы микросхемы импульсы напряжения определенной амплитуды и длительности. Процедуру программирования осуществляют до установки микросхемы на свое место на плате. Подробно этот вопрос рассмотрен в гл. 5. Выходы микросхемы KP556PT15 (рис. 1.6, б) построены по схеме с открытым коллектором. Такие выходы могут принимать только два состояния — высокоомное и низкоомное с уровнем логического 0. При подключении к приемнику информации необ-

| ĊS                 | ĒŌ    | Ao - A10 | DIO <sub>e</sub> - DIO <sub>7</sub> | UPR               | Режим работы            |
|--------------------|-------|----------|-------------------------------------|-------------------|-------------------------|
| 1                  | x     | x        | Z                                   | U.                | Хранение (не-<br>выбор) |
| 1                  | 0     | x        | 0                                   | 18 B              | Стирание                |
| 1                  | 1     | A        | $D_0 - D_7$                         | 18 В<br>(импульс) | Программиро-<br>вание   |
| 0                  | 0     | A        | $D_0 - D_7$                         | U,*               | Считывание              |
| • U <sub>e</sub> = | =5 B. |          |                                     | I                 |                         |

Таблица 1.5. Таблица истинности КР558РР2

ходимо предусматривать подключение к выходам микросхемы через резисторы источника напряжения литания.

Микросхемы РПЗУ со стиранием электрическим сигналом и ультрафиолетовым светом могут иметь одинаковую систему сигналов и назначение выводов (см. рис. 1.7). Однако такое сходство микросхем РПЗУ указанных типов не является типичным: у большинства микросхем есть различия.

Микросхемы РПЗУ допускают многократное (до 10 тыс. раз) перепрограммирование пользователем. Поэтому к режимам хранения и считывания у этих микросхем добавлен режим программирования. Этот режим выполняют в два этапа: вначале стирают прежнюю информацию, а затем заносят новую.

Микросхемы РПЗУ со стиранием электрическими сигналами, к которым относится микросхема КР558РР2 (рис. 1.7), позволяют выполнять операцию перепрограммирования, не снимая микросхему с печатной платы. Для стирания и программирования к выводам микросхемы необходимо подвести сигналы, указанные в табл. 1.5.

Характерной особенностью микросхем РПЗУ является наличие вывода для напряжения программирования. В режимах хранения и считывания это напряжение равно напряжению питания, а при стирании и программировании его увеличивают до 18 В на время до 1 с при стирании и на 10 мс при записи. Таким образом, время на цикл перепрограммирования требуется значительное.

Стирание информации у микросхем типа К573РФ2 (назначение выводов аналогично микросхеме КР558РР2, указанной иа рис. 1.7) производят облучением кристалла микросхемы ультрафиолетовым светом через окно в крышке корпуса. Для этого микросхемы снимают с печатной платы и помещают в камеру с источником УФ излучения на время до 30 мин, после чего их можно программировать. Программирование осуществляют так же, как и микросхемы КР558РР2, с тем отличием, что здесь пре-

|        |        |          |   |                         | Taking and the second se |
|--------|--------|----------|---|-------------------------|---|
| ĈŜ     | ÊŌ     | Ao - Aro | DIO <sub>0</sub> – DIO <sub>7</sub>                   | UPR                     | Режим работы  |
| 1      | x      | x        | Z   | Uœ                      | Хранение (не-<br>выбор)   |
| i      | 1      | A        | $D_0 - D_7$   | 25 B                    | Программиро-<br>ванне   |
| 0<br>0 | 0<br>0 | A        | $\begin{array}{c} D_0 - D_7 \\ D_0 - D_7 \end{array}$ | 25 B<br>U <sub>ee</sub> | Контроль<br>Считывание  |

Таблица 1.6. Таблица истинности К573РФ2

Примечание. Uce=5 В, время стирания УФ 30 шин.

дусмотрен еще режим контроля информации после программирования.

Значения сигналов, необходимые для реализации режимов микросхемы К573РФ2, приведены в табл. 1.6.

Для микросхем с УФ стиранием присущ ряд особенностей, которые необходимо иметь в виду при их практическом применении: наличие окна в корпусе обусловливает чувствительность микросхемы к свету и возможность случайного стирания информации; другая особенность — число циклов перепрограммирования ограничено несколькими десятками, в то время как у микросхем со стиранием электрическими сигналами это число достигает 10 тыс.

Электрические параметры микросхем памяти разделяют на статические и динамические [11]. К числу статических параметров относят: напряжение питания  $U_{nur}|U_{ce}|$ , мощность потребления  $P_{nor}$ , напряжение и ток логического 0 входного (выходного) сигнала  $U_{bx}^0$ ,  $I_{bx}^0$ ,  $U_{oux}^0$ ,  $I_{bux}^0$ , напряжение и ток логической 1 входного (выходного) сигнала  $U_{bx}^1$ ,  $I_{bux}^1$ ,  $U_{bux}^1$ ,  $I_{bux}^1$ . Указанные параметры характеризуют возможность и степень обеспечения совместной работы микросхем памяти с микросхемами других видов и с функциональными узлами в составе аппаратуры. Для применения н эксплуатации микросхем памяти необходимо знать также предельные значения напряжений, токов и емкости нагрузки.

Динамические параметры характеризуют временные процессы в микросхемах памяти при записи, считывании, регенерации, программировании. В систему динамических параметров включают длительности сигналов н «пауз» между ними (длительность восстановления), взаимный сдвиг между сигналами во времени, который необходим для обеспечения устойчивой работы микросхем. Поскольку в управлении микросхемой задействовано несколько различных сигналов, перечень динамических (временных) параметров значителен н разнообразен, причем состав н число параметров существенно зависит от вида, а подчас и типа микросхемы: например, микросхема статического ОЗУ К561РУ2 имеет 8 временных параметров, а микросхема динамического ОЗУ К565РУЗ — 34 параметра.

Для характеристики динамики работы микросхем памяти широко используют временные диаграммы, которые определяют последовательность адресных и управляющих сигналов, их длительности и взаимный сдвиг. Динамические параметры для наглядности представления о них наносят на временные диаграммы.

Для примера обратимся к временным диаграммам (рис. 1.8) произвольно выбранных сигналов некоторого цифрового узла с памятью: сигиалы A и B выполняют функции управляющих, а сигнал D является выходным, причем появляется он по разрешающему значению сигнала  $\overline{B} = 0$ . С помощью приведенных диаграмм раскроем содержание и структуру временных параметров микросхем памяти. Все многообразие этих параметров можно систематизировать, объединив их в следующие группы:

а) параметры, характеризующие длительности сигналов и интервалов между сигналами, например сигнала А: т<sub>А</sub>, т<sub>А</sub>;

б) параметры, характеризующие взаимный сдвиг сигналов, например сигналов А и В;

t<sub>ус в А</sub> — время установления сигнала В относительно А;

t, в. А. — время удержания сигнала В относительно А;

t<sub>сх А.В</sub> — время сохранення сигнала А относительно В;

в) время цикла t<sub>u</sub> — интервал времени между началами (окончаниями) сигналов на одном нз управляющих входов, например A, в течение которого микросхема выполняет одну функцию, например запись t<sub>u зп</sub> или считывание t<sub>u сч</sub>;

г) время выборки t. — интервал времени между подачей на вход микросхемы заданного сигнала, например А, и получением



Рнс. 1.8. Временные параметры микросхем памяти

на выходе данных D:t<sub>в A</sub>; нередко в справочниках приводят несколько значений этого параметра, которые характеризуют задержку выходных сигналов относительно разных сигналов управления.

Временные параметры указанных групп входят в перечень параметров всех микросхем памяти. В дополнение к ним для микросхем динамических ОЗУ введен параметр период регенерации Трег, определяющий максимальный интервал време-



Рис. 1.9. Временные днаграммы микросхемы статического ОЗУ

нн между двумя обращеннямн по каждому адресу для восстановлення хранимой ниформации.

Перейдем теперь к рассмотрению временных диаграмм реальных микросхем статического ОЗУ К561РУ2 (рис. 1.9) и динамического ОЗУ К565РУ6 (рис. 1.10). Диаграммы на рис. 1.9 описывают циклы записи (слева) и считывания информации. В режиме записи к выводам микросхемы вначале подводят сигналы кода адреса  $A = \{A_0 - A_7\}$ , сигнал записи W/R = 1 и информа-



Рис. 1.10. Временные диаграммы микросхемы динамического ОЗУ в режиме считывания (заштрихованы области, где сигналы могут, иметь любые значения: 0 или 1) ционный сигнал D. Затем устанавливают сигнал CS с задержкой во времени t<sub>ус вм. а</sub> относительно сигналов адреса.

Длительность сигнала  $\overline{CS}$  определяют параметром  $\tau_{BM}$ . Кроме того, <u>указывают</u> длительность паузы  $\overline{\tau}_{BM}$  в последовательности сигналов  $\overline{CS}$ , которую следует выдержать для восстановления потенциалов емкостных элементов схемы.

Сигналы адреса необходимо сохранить на время  $t_{cx.a.BM}$  после снятия сигнала  $\overline{CS}$ . В течение всего цикла записи  $t_{u.an}$  выход микросхемы находится в высокоомном (третьем) состоянии.

В цикле считывания порядок подачи сигналов тот же, что и при записи, но при условии W/R=0. Время появления сигнала на информационном выходе DO определяют параметрами  $t_{a.BM}$  (время выбора) и  $t_{a.a}$  (время выборки адреса), причем  $t_{a.a} = t_{a.BM} + t_{ec.BM.a}$ .

Микросхемы статических ОЗУ подразделяют по виду управляющих сигналов на асинхронные и тактируемые. Для тактируемых ОЗУ установлено требование подавать сигнал СS импульсом. Важным моментом в этом требовании является то, что переход микросхемы в активное состояние записи (считывания) происходит в момент поступления сигнала CS, т. е. по его положительному перепаду, если вход сигнала прямой, или отрицательвому, если вход инверсный. Микросхема К561РУ2, временные диаграммы которой рассмотрены, относится к группе тактируемых. Асянхронные микросхемы допускают подачу управляющих сигналов уровнями или импульсами.

Временные диаграммы микросхем динамических ОЗУ имеют ряд существенных отличий от рассмотренных. Для примера на рис. 1.10 приведены временные диаграммы микросхемы К565РУ6 для режима считывания. Уже была отмечена характерная особенность микросхем динамических ОЗУ принимать код адреса двумя частями. В данном случае вначале вводят 7-разрядный код адреса строк  $A_0 - A_6$ , сопровождая его сигналом RAS, затем к этым же адресным входам подводят сигналы адреса столбцов  $A_7 - A_{13}$ , сопровождая их сигналом CAS. Параметром  $t_{yc. CAS. RAS}$ устанавливают взаимный сдвиг по времени указанных сигналов.

Для обеспечения надежной записи сигналов адреса во внутренних регистрах необходимо удержать эти сигналы некоторое время относительно стробирующих сигналов  $\overline{RAS}(t_{y,a,RAS})$  и  $\overline{CAS}(t_{y,a,CAS})$ .

Сигиал  $\overline{W}/R = 1$  при считывании следует подавать до сигнала САS или одновременно с ним. При окончании считывания этот сигнал снимают спустя время  $t_{cx, cy, CAS}$ .

Время, необходимое для выполнения микросхемой функции считывания информации по заданному адресу с учетом длительностн восстановления состояния внутренних цепей  $\overline{\tau}_{RAS}$ , определяет значение параметра  $t_{u,cu}$ .

Сопоставляя временные диаграммы для микросхем статического ОЗУ и динамического ОЗУ, нетрудно видеть, что для описания только режима считывания у микросхем К565РУ6 требуется такое же число временных параметров, какого для микросхемы К561РУ2 достаточно для описания всех режимов работы. Следовательно, перечень временных параметров микросхем дннамнческих ОЗУ значительно больше, а значит, сложнее реализация требований к схемным и конструктивным решениям узлов для формирования необходимых временных диаграмм сигналов управления.

#### 1.3. Классификация микросхем памяти по схемно-технологическим признакам

Микросхемы памяти изготавливают методами полупроводниковой технологин, используя в качестве исходного материала кремний. Уже есть примеры микросхем памяти и на других матерналах, например на арсениде галлия, на аморфных полупроводниковых, на структурах «кремний на сапфире» и т. д. Однако в настоящее время кремний остается основным материалом.

Поскольку основным активным прибором цифровых устройств является транэистор, то общепринято при рассмотрении цифровых микросхем подразделять их на два класса по типу транзисторной структуры: бнполярные микросхемы и МДП-микросхемы. Первые изготавливают по технологии биполярных транзисторов, вторые — МДП-транзисторов.

Из направлений МДП-технологин получили широкое развитие технологии — *р*-канальная (*р*-МДП), *n*-канальная (*n*-МДП) и КМДП, а из биполярных — технологии ЭСЛ, ТТЛ, ТТЛШ, ИИЛ.

Биполярные технологические методы изготовления цифровых микросхем классифицируют по схемотехническому признаку, а именно: по принципу реализации базовых логических элементов эмнттерно-связанной логики (ЭСЛ), транзнсторно-транзнсторной логики (ТТЛ) и ее современной разновидности — ТТЛ с приборами Шоткн (ТТЛШ), интегральной инжекционной логики (ИИЛ). Такие названия технологических методов обусловлены тем, что указанные схемотехнические принципы положены в основу структур микросхем, в том числе и микросхем памяти. Это означает, что все микросхемы, принадлежащие одной серии, изготовлены по одной из указанных технологий и поэтому имеют много общего в свойствах.

Например, для микросхем ЭСЛ независимо от принадлежности к той или иной серии характерны такие свойства, как высокое быстродействие, повышенное энергопотребление, малый

| Тип тек-<br>нологии | Серин<br>никросхен             | U B           | Uim. B           | U., B            | Umarte. B  | tsu, p. cp. HC       | Р., иВт                              |
|---------------------|--------------------------------|---------------|------------------|------------------|------------|----------------------|--------------------------------------|
| эсл                 | K1500<br>K500                  | 4,5<br>5,2    | - 1.03<br>- 0,98 | - 1,61<br>- 1,63 | 0,1<br>0,1 | 1.4<br>2.9           | 16<br>34                             |
| ттлш                | K1531<br>K531<br>K1533<br>K555 | 5             | 2,7              | 0,5              | 0,5        | 3,8<br>5<br>12<br>20 | 2,1<br>16<br>2,4<br>7,5              |
| ттл                 | K131<br>K155<br>K134           | 5             | 2,4              | 0.4              | 0,4        | 11<br>19<br>100      | 40<br>25<br>2                        |
| иил                 | K541<br>K583<br>K584           | I ,5          | 0,5              | 0,01             | 0,1        | 10010                | 10 <sup>-4</sup><br>10 <sup>-3</sup> |
| кмдп                | K176<br>K561<br>564<br>K537    | 9<br>315<br>5 | 7.7<br>Unur      | 0,5<br>0,01      | 0,9<br>2,5 | 200<br>160           | 10 <sup>-3</sup><br>10 <sup>-6</sup> |

Таблица 1.7 Характеристика технологий микросхем

логический перепад, отрицательная полярность напряжения литания. Эти свойства микросхем обусловлены тем, что в них применен принцип переключения транзисторов током и-приняты меры к исключению режима насыщения транзисторов. Типичные значения параметров базовых логических элементов, изготовленных по разным технологням, приведены в табл. 1.7. Заметим, что серии микросхем, которые в качестве примеров указаны в табл. 1.7, содержат в своем составе микросхемы памяти.

Технология ТТЛ и ТТЛШ позволяет получать микросхемы с широким диапазоном значений параметров, характеризующих быстродействие и энергопотребление микросхем. Технология ТТЛШ пришла на смену технологии ТТЛ, переняв у последней практически без изменений принципиальные схемотехнические решения реализуемых цифровых устройств, но при этом существенно повысила их быстродействие и снизила энергопотребление. Благодаря включению диодов Шотки в транзисторные структуры параллельно коллекторному переходу удалось существенно улучшить упомянутые показатели микросхем, построенных на основе прежних ТТЛ схемных решений. Наглядным тому доказательством являются результаты сравнения параметров базовых логических элементов ТТЛШ и ТТЛ, представленных в табл. 1.7: например, сопоставив параметры элементов ТТЛ серин К131 и ТТЛШ пришедшей ей на смену серин К1531, можно видеть улучшение показателей последней в 4 раза по быстродействию и в 20 раз по энергопотреблению.

Отметны свойство совместные микросхем ТТЛ и ТТЛШ независные от быстродействия и принадлежности к той или другой серии по напряжению питания и значениям уровней напряжения логического 0 и логической 1.

Уровни микросхем ТТЛ в настоящее время фактически приняты во всем мире в качестве единых уровней для микросхем независимо от технологии их изготовления и принципа построения. Это означает, что микросхема, изготовленная, например по МДП-технологии, будет тем не менее иметь ТТЛ-уровни выходных напряжений 0 и 1, т.е. 0,4 и 2,4 В соответственно, и входных напряжений 0 и 1: 0,8 и 2 В соответственно,

Очевидно, унификация уровней напряжений на входах и выходах разнородных по технологин микросхем способствует существенному повышению эффективности применения микроэлектронной элементной базы в современной электронной аппаратуре

Одним из перспективных направлений развитня цифровых БИС является применение новых схемотехнических и технологических принципов формирования функциональных структур на базе элементов ИИЛ. Иначе такие элементы принято называть приборами с инжекционным питанием {17}.

Микросхемы ИИЛ характеризуются низким энергопотреблением (менее 1 мкВт на логический элемент), требуют низковольтного источника питания, имеют малый логический перепад и низкую помехоустойчивость. Благодаря малой потребляемой мощности и отсутствию в схемах ИИЛ дополнительных резисторов и других компонентов удается реализовать высокую плотность размещения приборов в кристалле, т.е. высокий уровень интеграции.

Вместе с тем присущие элементам ИИЛ особенности не позволяют их использовать в обычном варианте конструктивного исполнения логических микросхем, поскольку требуются специальные меры по сопряжению с микросхемами других классов и по защите от помех. Поэтому основной областью применения технологии ИИЛ являются БИС микропроцессоров, БИС памяти и других сложных функциональных узлов. Такие БИС в основном состоят из схем ИИЛ, но по периферии кристалла содержат элементы ТГЛ или ТГЛШ. Следовательно, по внешним электрическим характеристикам БИС на элементах ИИЛ не отличаются от микросхем ТГЛ и ТГЛШ н могут применяться совместно.

Технология *p*-МДП давно и хорошо отработана, однако имеет существенные ограничения в отношении повышения быстродействия микросхем. Кроме того, изготовленные по этой технологии микросхемы требуют двух-трех источников питания. Поэтому на смену технологии *p*-МДП пришла более перспективная технология *n*-МДП, в основе которой лежат конструктивно-технологические и схемотехнические решения на МДП-транзисторах с *n*-каналом. Технология *n*-МДП по быстродействию микросхем вышла иа уровень технологии ТТЛШ и имеет перспективы дальнейшего совершенствования. При этом удалось существенно повысить уровень интеграции и свести число источников питания до одного, имеющего напряжение в большинстве реализаций 5 В. На основе технологии *n*-МДП выполнены серии K132, K565, K1809 и др. Такие микросхемы по входам и выходам совместимы с микросхемами ТТЛ и ТТЛШ, т. е. имеют ТТЛ входные и выходные уровни.

По технологии КМДП изготовливают микросхемы на комплементарных транзисторных структурах. Комплементарной парой называют два МДП-транзистора с каналами разного типа проводимости. В этом смысле они являются дополняющими друг друга. Отсюда и название таких структур. Если КМДП-транзисторы соединить последовательно по цепям сток-исток и подключить к источнику питания, то получим инвертор, входом которого являются соединенные затворы, а выходом будет точка соединения стоков двух транзисторов. В таком инверторе в статическом режиме один из транзисторов закрыт и поэтому ток потребления пренебрежительно мал. Этим свойством КМДП-инверторов обусловлено основное достоинство микросхем на их основе малое энергопотребление (см. табл. 1.7).

Современная КМДП-технология позволяет изготавливать микроскемы с низкой чувствительностью к изменению напряжения питания в широком диапазоне значений, в частности, микросхемы КМДП многих серий сохраияют работоспособность при изменении напряжения питания от 3 до 15 В.

Одно из современных направлений развития технологии КМДП базируется на применении в качестве подложки изолирующего материала — сапфира. Такая технология получила название «кремний на сапфире» (КНС). На сапфировую подложку наращивают кремниевые КМДП-структуры и соединяют их по требуемой схеме, например, в устройство памяти. При использовании технологии КНС удается решить проблему уменьшения площади кристалла, необходимой для размещения транзисторов дополняющего типа. По технологии КМДП в кремниевой подложке с проводимостью *п*-типа для изготовления транзисторв с *п*-каналом необходимо предварительно сформировать область *р*-типа, на что уходит дополнительная площадь кристалла, и, следовательно, снижается уровень интеграции микросхем. Кроме того, появляются пвразитные емкости и гальванические связи внутри кристалла, что снижает быстродействие микросхем и может вызвать такие явления, как «тиристорный эффект».

По технологии КНС транзисторные структуры изолированы сапфиром поэтому их можно разместить близко друг к другу,

так что потери площади кристалла и паразитные эффекты уменьшаются, а быстродействие увеличивается. Но в КНС-технологии существует достаточно много проблем с обеспечением стабильности и воспроизводимости характеристик элементов, с технологичностью изделий и т. п. Тем не менее она получает развитие как одна из перспективных технологий.

#### 1.4. Микросхема памяти как конструктивный элемент

Микросхема памяти представляет собой полупроводниковый кристалл, заключенный в корпус, который защищает кристалл от воздействия внешней среды, обеспечивает необходимые электрические связи между кристаллом н внешними выводами, служит теплоотводом от кристалла. Корпус в значительной степени определяет надежность микросхемы, а также технологию ее монтажа на печатную плату.

Используемые в настоящее время корпуса микросхем имеют систему обозначений и габаритные размеры, соответствующие одному из двух стандартов: ГОСТ 17467—72 [13], если корпус разработан до 1979 г., и ГОСТ 17467—79 [12], если корпус разработан после 1979 г.

Корпуса микросхем по конструкции разделены на четыре типа по ГОСТ 17467—72 и на пять типов по ГОСТ 17467—79, четыре типа из которых аналогичны корпусам старого стандарта. Корпус первого типа — прямоугольный с выводами, перпендикулярными плоскости основания и расположенными в пределах проекции корпуса. Корпус второго типа отличается тем, что выводы выходят из боковых сторон и изогнуты перпендикулярно плоскости основания. Такие корпуса в литературе нередко называют DIP. Корпус третьего типа имеет круглую форму, он аналогичен корпусу транзистора, но имеет больше выводов. Корпус четвертого типа — прямоугольный с выводами, расположенными параллельно плоскостн основания (планарные выводы). Корпус пятого типа — прямоугольный с выводами в виде контактных влощадок.

Микросхемы памяти конструктивно оформлены преимущественно в корпуса двух типов: второго (рис. 1.11) и четвертого рис. 1.12. Каждый из указанных типов корпусов имеет два подтипа, отличающихся расположением выводов корпуса относительно основания: корпус подтипа 21 (рнс. 1.11) имеет выводы по одному ряду из двух боковых сторон; корпус подтипа 22 имеет по два ряда выводов, расположенных в шахматном порядке; корпус подтипа 41 (рис. 1.12) имеет выводы по одному ряду из двух боковых сторон, а подтипа 42 — из четырех боковых сторон.

Информация о принадлежности корпуса к тому или другому типу и подтипу содержится в его условном обозначении. В соот-



ветствии с ГОСТ 17467—79 обозначение состоит из шифра типоразмера корпуса, включающего подтип корпуса и порядковый номер типоразмера, двух последующих цифр, указывающих на число выводов и номера модификации корпуса. Для корпусов, соответствующих старому стандарту, в обозначении отсутствует указание на подтип корпуса. Примеры: а) микросхема К537РУ2 (см. рис. 1.5, а) оформлена в корпус 2107.18-4 — это прямоугольный корпус типа 2, подтипа 21, типоразмера 07, имеет 18 выводов, относится к 4-й модификации корпусов этого типоразмера; б) микросхема К537РУ1 имеет корпус 402.16-8 — прямоугольный, типа 4 (с планарными выводами), типоразмера 02, с 16 выводами, 8-й модификации.

Установлены следующие размеры шага позиций выводов [12]: для корпусов типа 2 — 2,5 мм; для подтипа 22 — 1,25 чм н 2,5 мм; типа 4 — 1,25 и 0,625 мм. Нумерация выводов начинается от ключа (см. рис. 1.11, 1.12), который представляет собой либо отметку на корпусе, либо специфическую форму первого вывода.

Для обеспечения надежной работы микросхемы необходимо обеспечивать отвод тепла от кристалла через корпус в окружающую среду, чтобы температура элементов схемы не превышала определенного значения. По тепловому режиму любую микросхему характеризуют тремя факторами, которые необходимо знать при проведении тепловых расчетов: рассеиваемой мощностью, рабочими температурными пределами и тепловым сопротивлением корпуса. Внутреннее тепловое, сопротивление зависит от размеров и материалов корпуса, но не зависит от внещних условий. Внешнее тепловое сопротивление зависит от площади поверхности корпуса н способа отвода тепла. Низкое тепловое сопротивление корпуса в обеспечивает сравнительно невысокую температуру кристалла и высокую надежность функционирования микросхем.

По варианту исполнения в отношении используемых материалов корпуса подразделяют на следующие типы металлостек лянные, металлокерамические, керамические и пластмассовые Указанне на вариант исполнения микросхемы содержит ее условное кодовое обозначение (см. § 1.1).

Металлостеклянные корпуса состоят нз стеклянного или металлического основания с изоляцией выводов стеклом и металлической крышки. Они рассчитаны на сравнительно невысокие уровни рассенваемых мощностей, н поэтому их применяют в основном для конструктивного оформления микросхем малой степени интеграции.

Пластмассовые корпуса формируют в процессе запрессовки в пластмассу полупроводникового кристалла, предварительно смонтированного на металлической рамке с выводами. Внутри корпуса встраивают алюминиевую пластину, выполняющую роль теплового растекателя. При такой конструкции тепловое сопротивление корпуса снижается. Корпуса из пластмассы самые дешевые, но недостаточно стойкие к воздействню температурных перепадов и влаги. Обычно их используют для микросхем, предназначенных для применения в облегченных температурных и климатнческих условиях.

Металлокерамические корпуса состоят из керамического основания и металлической крышки. Все части керамических корпусов изготавливают из керамических материалов. Эти два типа корпуса имеют существенно более низкое тепловое сопротивление по сравнению с пластмассовыми. Поэтому она способны рассеивать значительные мощности (до нескольких ватт) и широко применяются для конструктивного оформления микросхем повышенного уровня интеграции, в том числе БИС памяти. Недостатком керамического корпуса является относительно высокая температура спайки (440° С) нижней н верхней частей корпуса стекловидной массой, что обусловливает возможность локальных повреждений окисных нзоляционных слоев кристалла. Недостатком металлокерамического корпуса является более сложная технология изготовления, более дорогие материалы и, как следствие, его повышенная стоимость.

Промышленность выпускает, наряду с обычными, миниатюрные корпуса типа 2 с укороченными выводами, отформованными так, что монтаж микросхемы можно осуществлять непосредственно на контактные площадки платы. Площадь, занимаемая таким корпусом, в 8 раз меньше обычного DIP-корпуса. Получают все более широкое распространение крнсталлоносители — корпуса с квадратной формой основания и выводами в форме контактных площадок по периметру корпуса.

Дальнейшее совершенствование корпусов связывают с созданием плоских конструкций из многослойной керамики с узкими выводами, безвыводных корпусов с матричным расположением контактных площадок и кристаллоносителей с шагом до 0,6 мм, а также корпусов с повышенной мощностью рассеяния (до 12 Вт) и большим числом выводов (300 и более)

## Глава 2

## МИКРОСХЕМЫ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

#### 2.1. Микросхемы статических ОЗУ

Типичный вариант структурного построения микросхемы статического ОЗУ приведен на рис. 2.1. Для примера выбрана сравнительно несложная микросхема памяти К561РУ2 (564РУ2) с емкостью 256 бит. Условное графическое изображение микросхемы представлено на рис. 1.5, а. Структурная схема включает выполненные на едином кристалле кремния матрицу накопителя, дешифраторы кода адреса строк  $A_0 - A_3$  ( $A_0 - младший разряд$ ) и столбцов  $A_4 - A_7$ , ключи выбора столбцов и устройство вводавывода (УВВ). Режимом микросхемы управляют сигналы CS (Выбор микросхемы) и W/R (Запись-считывание). Матрица накопителя содержит 256 ЭП, расположенных на

Матрица накопителя содержит 256 ЭП, расположенных на пересечениях 16 строк и 16 столбцов. Каждый ЭП представляет собой статический триггер, который может быть реализован на основе биполярных или МДП-транзисторов. Это зависит от технологии изготовления микросхем. В данном случае микросхема



34



Рис. 2.2. Статический элемент памяти

К561РУ2 изготовлена по КМДП-технологии, поэтому ее основу составляет триггер (рис. 2.2) на МДП-транзисторах дополняющего (комплементарного) типа, имеющих каналы разного типа проводимости: VT1, VT2 — каналы *п*-типа, VT3, VT4 — каналы *р*-типа. У триггера два парафазных совмещенных входа-выхода. Ключевыми транзисторами VT5, VT6 триггер соединен с разрядными шинами РШ1, РШ0, по которым подводится к триггеру при записи и отводится от него при считывании информация в парафазной форме представления: РШ₁=D, РШ₀=D. Ключевые транзисторы затворами соединены с адресной шиной (строкой). При возбуждении строки сигналом выборки X = 1, снимаемым с выхода дешифратора адреса строк, ключевые транзисторы открываются и подключают входы-выходы триггера к разрядным шинам. При отсутствии сигнала выборки строки, т. е. при X = 0, ключевые транзисторы закрыты и триггер изолирован от разрядных шин. Таким образом реализуют в матрице режим обращения к ЭП для записи или считывания информации и режим хранения информации.

Для сохранения информации в триггере необходим источник питания, т. е. триггер рассматриваемого типа является энергозависимым. При наличии питания триггер способен сохранять свое состояние сколь угодно долго. В одно из двух состояний, в которых может находиться триггер, его приводят сигналы, поступающие по разрядным шинам в режиме записи: при D=1( $PШ_1=1$ ,  $PШ_0=0$ ) VT1, VT4,— открыты, VT2, VT3 — закрыты, при D=0 ( $PШ_1=0$ ,  $PШ_0=1$ ) транзисторы свои состояния изменяют на обратные. В режиме считывания PШ находятся в высокоомном состоянии и принимают потенциалы плеч триргера, передавая их затем через устройство ввода-вывода на выход микро-2\*
схемы DO, DO. При этом хранящаяся в триггере информация не разрушается.

Особенность КМДП-триггеров заключается в том, что в режиме хранения они потребляют незначительную мощность от источника питания, поскольку в любом состоянии триггера в той или другой его половине один транзистор, верхний или нижний, закрыт. В режиме обращения, когда переключаются элементы матрицы, дешифраторы и другие функциональные узлы микросхемы, уровень ее энергопотребления возрастает на два-три порядка

Для обращения к микросхеме для записи 0 или 1 следует подвести. эту информацию ко входу DI, подать код адреса  $A\{A_0 - A_7\}$ , разрешающий сигнал  $\overline{CS}$  и сигнал W/R, соответствующий режиму записи (см. табл. 1.2). При указанных сигналах возбуждается заданная строка X<sub>1</sub>, выбранная дешифратором кода адреса строк, и в результате этого открывается доступ по разрядным шинам ко всем ЭП данной строки. Одновременно возбуждается один из выходов Y<sub>1</sub> дешифратора кода адреса столбцов и, открывая соответствующие транзисторы VT<sub>10</sub>, VT<sub>11</sub> в блоке ключей выбора столбца, коммутирует выбранный столбец на УВВ. Доступ к разрядным шинам этого столбца со стороны УВВ обеспечивает сигнал CS = 1, открывающий ключи VTO и VT1. Настройку УВВ на прием сигнала со входа DI осуществляет сигнал W/R = 1.

Обращение к микросхеме для считывания происходит аналогично, но при значении сигнала W/R == 0.

В большинстве микросхем памяти УВВ содержит выходной ключевой усилитель-формирователь, способный принимать три состояния: два функциональных, соответствующих 0 или 1, и одно высокоомное (третье) состояние. В третьем состоянии



Рис. 2.3. Инверторы на КМДП-транзисторах. - с выходом на три состояния; б – с защитной целью на входе

выход практически отключен от приемника информации, например информационной шины. Пример такого элемента приведен на рис. 2.3, а. Элемент представляет собой инвертор на транзисторах VTI, VT2, дополненный двумя ключевыми транзисторами VT3. VT4. обеспечивающими реализацию третьего состояния выхода. Состоянием ключей управляет сигнал V: при V=0 оба ключа закрыты и выход находится в высокоомном состоянии. при V=1 ключи открыты и схема выполняет свои функции инвертора, передавая на выход DO микросхемы информацию. считанную с выбранного ЭП. Сигнал V формирует внутренням схема, придавая ему значение, определяемое сигналами CS и W/R: если рассмотренный выход реализован в микросхеме, работающей в соответствии с табл. 1.2, то  $V = \overline{CS + W/R}$ . При наличии еще одного стробирующего выход сигнала  $\overline{OE} = 0$ , как у микросхемы КР537РУ8, условие управления выходом запишется в виде:  $V = \overline{CS} + W/R + \overline{OE}$  или  $V = CS \cdot W/R \cdot OE$ .

Наличие у микросхемы выхода на три состояния позволяет соединять информационные вход и выход для подключения их к единой информационной шине.

Работу микросхемы статического ОЗУ в динамическом режиме иллюстрирует временные диаграммы, представленные на рис. 1.9. Диаграммы определяют последовательность подачи адресных и управляющих сигналов при записи и считывании, а также временные интервалы между различными сигналами и длительности сигналов: время цикла записи-считывания ( $t_{u, 3n}$ -сч), длительность сигналов СS (выбора микросхемы)  $\tau_{BM}$  и паузы между ними  $\overline{\tau}_{BM}$ , время установления сигнала CS относительно. адреса  $t_{yc, BM, a}$ , время сохранения адреса после сигнала  $\overline{CS}$   $t_{cx, a, BM}$ , время выборки адреса  $t_{a, a}$  или время выбора микросхемы  $t_{a, BM}$  и др.

Следует обратить внимание на требование к форме сигналов управления  $\overline{CS}$  и W/R. В § 1.2 отмечено, что у асинхронных статических ОЗУ эти сигналы могут быть поданы в форме уровней напряжения, соответствующих 0 или 1 в зависимости от режима, а у тактируемых — в форме импульса, причем требование импульсного представления относится обычно к сигналу  $\overline{CS}$ .

Микросхема К561РУ2, временные диаграммы которой приведены на рис. 1.9, относится к группе тактируемых. Этой же группе принадлежат микросхемы серии К537, ряд микросхем серии К132 и др. Многие микросхемы статических ОЗУ являются асинхронными. Для них значительная часть временных параметров, характеризующих длительности управляющих сигналов и их временные сдвиги, не регламентирована.

Надо учитывать также, при каком значении сигнала выполняется инициируемая им функция: например, запись информации в микросхему К561РУ2 происходит при сигнале W/R=1(см. рис. 1.9), а считывание — при W/R=0, для микросхемы серии К537 и других серий необходимы обратные значения сигнала W/R при выполнении этих же функций: W/R=0 при записи, W/R=1 при считывании. Указание на активное значение сигнала содержит его обозначение: если есть знак инверсии, то активным значением является 0, если нет, то 1.

Рассмотренная структурная схема (см. рис. 2.1) представляет собой пример реализации статических ОЗУ с одноразрядной организацией. Этот тип микросхем преобладает в современной номенклатуре микросхем памяти (табл. 2.1). Вместе с тем все более активное развитие получают микросхемы статических ОЗУ с многоразрядной словарной организацией. Принцип построения таких микросхем рассмотрим на примере микросхемы КР537РУ8, имеющей информационную емкость 2К×8 бит (рис. 2.4). Она включает матрицу накопителя с 128×128 ЭП, регистры и дешифраторы кода адреса строк и столбцов, усилители записи-

| Серия    | Емкость, бит                  | t <sub>щ эп (сч)</sub> , нс | ป <sub>กตา</sub> , B | P <sub>Rov</sub> , Br | Выходные<br>уровни | Технология |
|----------|-------------------------------|-----------------------------|----------------------|-----------------------|--------------------|------------|
| K500     | 16×4, 64×4                    | 40                          | -5,2                 | 0,61,1                | эсл.оэ             | эсл        |
|          | 1K×1, 4K×1                    |                             |                      | .e                    |                    |            |
| K1500    | 64×4, IK×1                    | 945                         | 4,5                  | 0,61,1                | эсл.оэ             | эсл        |
|          | 4K×1, 16K×1                   |                             |                      |                       |                    |            |
| K541     | $4K \times 1$ , $1K \times 4$ | 1 00. 170                   | 5                    | 0,30,5                | ТТЛ-3**            | иил ттл    |
| -        | 8K×1, 16K×1                   |                             |                      |                       |                    | 2          |
| K132     | IKX1, IKX4                    | 5585                        | 5                    | 0,40,9*               | ТТЛ-3              | п-МДП      |
|          | 4K×1, 16K×1                   |                             | 2                    |                       |                    |            |
|          | 64K×1                         |                             |                      | 22                    |                    |            |
| K1609Py1 | IK×16                         | 400                         | 5                    | 0,4                   | ттл-з              | п-МДП      |
| K537     | 1K×1, 4K×1                    | 110500                      | 5                    | 0,020,2*              | ТТЛ∙З              | КМДП       |
|          | 2K×8, 1K×4                    |                             |                      |                       |                    |            |
| K134     | 1K×1                          | 1000                        | 5                    | 0,6                   | ТТЛ∙ОК             | иил.ттл    |
| K185     | 64×1, 1K×1                    | 300500                      | 5                    | 0,4                   | <b>Т</b> ТЛ∙ОК     | иил ттл    |
|          | 256×1                         |                             |                      |                       |                    |            |
| K581     | 2K×8, 4K×4                    | 120200                      | 5                    | 0,4*                  | ттл-з              | кмдп       |
| K155     | 256×1, 1K×1                   | 4590                        | 5                    | 0,9                   | ТТЛ ОК 3           | ттл.эсл    |
| K561     | 256×1                         | 800                         | 6-12                 | 0,15*                 | КМДП-3             | кмдп       |
| K176     | 256×1                         | 900                         | 9                    | 0,02                  | КМДП-3             | кмдп       |
| K565     | 1K×1                          | 450                         | 5                    | 0,4                   | ттл.3              | п-МДП      |

| Табляца 2.1. Ларакісрисники серин микрослем станических О | Τa | аблица | 2.1. | Характеристики | серий | микросхем | статических | 03 |
|---|----|--------|------|----------------|-------|-----------|-------------|----|
|---|----|--------|------|----------------|-------|-----------|-------------|----|

Примечание. Выходные уровия 1/0 ЭСЛ. -1.04 В/-1.6 В. ТТЛ: 2.4 В/0.4 В: КМДП: Univ/0.01 В.

 В режиме хранения лотребляешая мощность снижается в 1000 раз у микросхем серки К537, в 50 раз — у К561, в 3---5 раз — у К132, К581

•• Выход на тря состояния



считывания, устройство управления и устройство ввода-вывода. Условное изображение микросхемы приведено на рис. 1.5, б. В качестве ЭП применен триггер на КМДП-транзисторах (см. рис. 2.2).

Накопитель разбит на восемь секций по 128×16 ЭП в каждой. Четыре младших разряда кода адреса A<sub>0</sub> — A<sub>3</sub> выбирают по одному столбцу в каждой секции и коммутируют ях с УВВ.

Управление устройством ввода-вывода осуществляют сигналы  $\overline{CS}$ ,  $\overline{OE}$  и  $\overline{W}/R$ , предварительно обработанные устройством управления. В соответствии с табл. 1.3 в зависимости от значений управляющих сигналов микросхема может работать в одном из трех режимов: записи, считывания и хранения. В режиме записи информация 8-разрядным кодом через УВВ и усилители записи-считывания поступает в выбранную ячейку памяти. При считывании информация нз выбранной ячейки памяти поступает на УВВ и через него — на выходы. Сигнал разрешения выхода  $\overline{OE}$  позволяет в режиме считывания запрещать вывод информации: при  $\overline{OE} = 1$  входы-выходы принимают третье (высокоомное) состояние, так что информация на выходах отсутствует.

В режиме хранения потребляемая микросхемами от источника питания мощность снижается более чем в 1000 раз.

Номенклатура отечественных микросхем статических ОЗУ достаточно представительна и разнообразна, чтобы удовлетво-

| Тип микро-<br>схемы | <sup>t</sup> ш зп (сч)<br>не менее | <sup>1</sup> а ВМ-<br>не более | <sup>t</sup> ус ВМ ан<br>не менее | т <sub>ВМ</sub> .<br>не менее | BM HE MEHEE | tex a BM |
|---------------------|------------------------------------|--------------------------------|-----------------------------------|-------------------------------|-------------|----------|
| Pyī A               | 1300                               | 900                            | 200                               | 900                           | 400         | 200      |
| РУІБ                | 2000                               | 1400                           | 300                               | 1400                          | 600         | 300      |
| РУІВ                | 4000                               | 2800                           | 600                               | 2800                          | 1200        | 600      |
| РУ2А                | 500                                | 390                            | 20                                | 390                           | 110         | 90       |
| РУ2 Б               | 670                                | 560                            | 20                                | 560                           |             | 90       |
| РУЗА                | 290                                | 300                            | 40                                | 230                           | 60          | 20       |
| РУЗБ                | 210                                | 200                            | 40                                | 150                           | 60          | 20       |
| РУ6 А               | 340                                | 220                            | 20                                | 220                           | 120         | 100      |
| РУ6 Б               | 530                                | 400                            | 20                                | 400                           | 130.        | 110      |
| РУ8 А               | 350                                | 200                            | 70                                | 220                           | 130         | 60       |
| РУ8 Б               | 530                                | 400                            | 70                                | 400                           | 130         | 60       |
| РУ9А                | 400                                | 220                            | 20                                | 220                           | 180         | 160      |
| РУ9 Б               | 580                                | 400                            | 20                                | 400                           | 180         | 160      |
| РУ10                | 180                                | 170                            | _                                 | 300                           | :           |          |
| РУ13                | 200                                | 200                            |                                   | -                             | -           | - 1      |
| PY14 A              | 110                                | 110                            | 25                                | 70                            | -           | /25/*    |
| РУ14 Б              | 180                                | 180                            | 35                                | 130                           |             | /35/*    |

Таблица 2.2. Динамические параметры микросхем серии К537 в диапазоне температур — 10... + 70° С, ис

рить широкий круг требований (табл. 2.1). Она включает серии наиболее быстродействующих микросхем памяти, выполненных по технологиям ЭСЛ (К500, К1500), *n*-МДП (К132), ТГЛ (К155), с временем цикла обращения от 9 до 90 нс, и серии КМДП-микросхем со сравнительно небольшим быстродействием  $t_{u,3n}$  (сч) = 100 800 нс, но еущественно меньшим уровнем потребляемой мощности: К537, К581, К561, К176. Эта особенность КМДП-микросхем обусловливает их перспективность для применения в устройствах с существенно ограничениым энергоресурсом, а также для построення энергонезависимых ОЗУ

Наиболее развитым функциональным составом из серий КМДП-микросхем обладает *серия К537*. Место этой серин среди други» по отдельным характеристикам видно из табл. 2.1. Более подробные сведения о ией приведены в табл. 2.2. Функциональный ряд серин включает более 15 типов микросхем, отличающихся информационной емкостью (от 1024 до 16 384 бит), организацией (одноразрядная н байтовая), быстродействием (более чем в 5 раз), уровнем потребляемой мощности. Имеются отличня и в системе управляющих сигналов и в конструктивном оформлении (табл. 2.3). Назначение выводов корпусов микросхем серии К537 указано на рис. 2.5.

| Тип микросхемы | Емкость, бит | Тип корпуса | Размеры, мм | Назначение выводов |
|----------------|--------------|-------------|-------------|--------------------|
| K537Py1        | IKXI         | 402.16-18   | 12×9,4      | Pric. 2.5, a       |
| КР537РУ2       | 4K×1         | 2107 18-4   | 23×10       | Рис. 2.5, б        |
| КР537РУ3       | 4K×1         | 2107.18-4   | 23×10       | Рис. 2.5, в        |
| КР537РУ6       | 4K×1         | 2107.18-4   | 23×10       | Рис. 2.5 б         |
| КР537РУ8       | 2K×8         | 239.24-2    | 31,5×15     | Рис. 2.5, г        |
| К537РУ9        | 2K×8         | 239.24-2    | 31,5×15     | Рис. 2.5, г        |
| KP537Py10      | 2K×8         | 239.24-1    | 27,5×15     | Рис. 2.5, ∂        |
| KP537Py13      | IK×4         | 2107 18-1   | 22,5×10     | Рис. 2.5, ж        |
| K537Py14       | 4K×I         | 427.18-2    | 13×12,5     | Рис. 2.5, е        |

Таблица 2.3. Корпуса микросхем серий К537, КР537

Общими свойствами микросхем серин К537 являются: единое напряжение питания 5 В, ТТЛ-уровни входных и выходных сигналов, выход с тремя состояниями, высокая помехоустойчивость, допустимая значительная емкость нагрузки (200 пФ и более), небольшое энергопотребление, причем при хранении почти на три порядка меньше, чем при обрашении, способность сохранять записанную информацию при пониженном до 2...3 В напряжении питания.

Эту способность КМДП-мнкросхем всех серий широко используют для придания устройствам памяти свойства энергонезавненмостн, т. е. свойства сохранять информацию при сбоях и отключении питания. С этой целью в блоке статического ОЗУ к выводам питания микросхем через ключ, например полупроводниковый диод, подключают низковольтный буферный источник питания ~ напряжением 2 3 В. При нормальном режиме питания диод закрыт, а при выключении основного питания диод открывается и подключает к микросхемам буферный источник напряжения. В это время следует обеспечить изоляцию накопителя по информационным цепям запрещающим значением уровня на входе CS, чтобы не повредить хранящуюся информацию. Для увеличения времени сохранения информации в аварнйном режиме необходимо снижать ток потребления микросхем, повышать емкость низковольтных малогабаритных элементов питания и уменьшать ток их саморазряда. Например, расчетное время сохранения информации микросхемой КР537РУЗА при работе от гальванического элемента СЦ-32 (1,57 В, 110 мА-ч) с учетом саморазряда элемента составляет тысячи часов. Некоторые микросхемы статических ОЗУ зарубежного производства снабжены встроенными в корпус гальваническими элементами, как, например, микросхема МК48202 (информационная емкость 2K×8 бит) с двумя литневыми элементами. В этой микросхеме на одном с ОЗУ полупроводниковом кристалле изготовлены устройство индикации уровня напряжения питания и устройство



переключения питания на резервное. Расчетное время сохранения информации в аварийном режиме составляет десятки лет. Известны разработки таких же микросхем памяти с емкостью 8К и 32К байт [20].

В устройствах памяти на микросхемах серии К537 для снижения потребляемой мощности следует предусмотреть возможность автоматического переключения питания микросхем в режиме хранения с основного источника 5 В на маломощный буферный источник напряжения, который обеспечивает питание только микросхем ОЗУ на уровне, достаточном для сохранения информации. Для микросхем К537РУ1, КР537РУ8 допускается сиижать напряжение до 3 В, для микросхем КР537РУ6, К537РУ9 — до 3,3 В, для микросхем КР537РУ4, КР537РУ13, К537РУ14 — до 2,2 В. Наименьшую мощность от низковольтного источника питания потребляют микросхемы КР537РУ3А (11 мкВт), КР537РУ6А (115 мкВт), К537РУ13 и К537РУ14 (100 мкВт).

Микросхемы на МДП транзисторах любого типа чувствительиы к воздействию статического электричества из-за высокого входного сопротивления. Даже кратковременное повышение входного напряжения с недопустимо высоким уровнем может вызвать электрический пробой тонкого слоя подзатворного диэлектрика. Для защиты от вредного воздействия перенапряжения все входы микросхем защищают диодно-резистивными цепями, встроенными внутрь кристалла (см. рис. 2.3, б). Защитиые цепи построены по схеме последовательного соединения двух диодов VD1, VD2 и токоограничивающего резистора R. От воздействия высокого положительного потенциала на входе защищает диод VD1, который при открывании фиксирует входное напряжение на уровне напряжения питания. Высокий отрицательный потенциал открывает диод VD2, который ограничивает его безопасным для микросхемы уровнем.

Для многих типов КМДП-микросхем, и в частности для микросхем серии К537, существует опасность теплового пробоя *p-n* переходов в кристалле из-за «тиристорного эффекта».

Сущность этого явления заключается в том, что при повышении напряжения в шине питания до 11 12 В из-за бросков тока при включении и влияния индуктивностей шин, а также при превышении входиым сигналом напряжения питания внутри кристалла активизируются паразитные бнполярные *p-n-p-n* структуры и из-за наличия положительной обратной связи по цепям токов утечки может появиться эффект неуправляемого нарастания тока стока, близкий по механизму к аналогичному явлению в тиристорах в момент их переключения. Поскольку в КМДП-структурах отсутствуют токоограничивающие резисторы нагрузки, то нарастание тока приводит к развитию теплового пробоя в кристалле и, как следствие, к неисправности микросхемы.

С повышением уровня интеграции микросхем опасность возникновения в них тиристорного эффекта увеличивается. В некоторых типах микросхем рассмотренный эффект практически не наблюдается, в частиости в микросхемах серий К561, 564, в некоторых микросхемах серии К537, например КР537РУ6 и др. В структурах этих микросхем сформированы так называемые «охранные кольца», шунтирующие паразитные транзисторы и за

Таблица 2.4. Таблица истинности КР537РУ1

Таблица 2.5. Таблица истинности КР537РУ2 (РУЗ, РУ6, РУ14)

| cs | W/R | Å A. | DI | DO | Режим работы | CS | W/R | A | DI | DO | Режим работы |
|----|-----|------|----|----|--------------|----|-----|---|----|----|--------------|
| 0  | х   | x    | X  | Z  | Хранение     | 1  | X   | X | X  | 2  | Хранение     |
| 1  | 1   | A    | .0 | 1  | Запись О     | 0  | 0   | A | 1  | Z  | Запись І     |
| 1  | 1   | A    | 1  | 0  | Запись І     | 0  | 0   | A | 0  | Z  | Запись 0     |
|    | 0   | A    | X  | Ī  | Считывание   | 0  | 1   | A | X  | D  | Считывание   |
|    |     |      |    |    | 5            |    |     |   |    |    |              |

счет этого устраняющие тиристорный эффект. Для тех микросхем, у которых защита отсутствует, необходимо предусматривать конструктивные меры предупреждения тиристорного эффекта: снижать индуктивность шин питания, не допускать близкого расположения с сильноточными микросхемами и т. д. [16].

При применении микросхем памяти, изготовленных по КМДП технологин, в частности микросхем серин К537, необходимо соблюдать порядок включения питания и подачи входных сигналов: вначале должно быть включено напряжение питания. При выключении блока ОЗУ следует снять входные сигналы (адресные, управляющие и информационные) и затем отключить источник напряжения питания. Необходимо обеспечить также выполнение условия, по которому напряжение сигналов не должно превышать напряжения питания микросхемы.

Микросхемы серии К537 работают в режимах записи, считывания и хранения. Значения сигналов в названных режимах указаны в табл. 2.4 для микросхемы К537РУ1, в табл. 2.5 для микросхем КР537РУ2, КР537РУ3, КР537РУ6, К537РУ14, в табл. 1.3 для микросхем КР537РУ8, К537РУ9, КР537РУ10 и в табл. 2.8 для микросхемы КР537РУ13.

Сравнение динамических параметров микросхем, представленных в табл. 2.2, показывает, что в серин К537 наибольшим быстродействием обладают микросхемы КР537РУ10 н К537РУ14. Микросхемы К537РУ14 и КР537РУ13 являются асинхронными. За этим исключением все микросхемы серии К537 являются тактируемыми: в режимах записи н считывания необходимо сигнал CS подавать импульсом, а сигнал W/R может иметь форму уровня напряжения или импульса, как показано на временных диаграммах на рис. 2.6.

В режиме считывания информация на выходе появляется спустя время  $t_{s,BM}$  после отрицательного перепада сигнала  $\overline{CS}$  (рис. 2.6, б). Время выборки адреса будет состоять на  $t_{s,BM}$  и  $t_{yc,BM,a}$  значения которых приведены в табл. 2.2.

Микросхемы КР537РУ8 и КР537РУ10 имеют дополнительный управляющий сигнал ОЕ (Разрешение по выходу): при подаче этого сигнала одновременно с сигналом CS отсчет времени появления сигнала ведется от отрицательного перепада сигнала



Рис. 2.6. Временные диаграммы микросхемы КР537РУ2 в режимах записи (а) и считывания (б)

 $\overline{CS} = \overline{OE}$ . Существует возможность стробнровання выходной информации сигналом  $\overline{OE}$ , подаваемым с некоторой задержкой относнтельно сигнала  $\overline{CS}$ . В этом случае при  $\overline{OE} = 1$ , т.е. до момента подачи этого сигнала, выходы находятся в третьем состоянии даже при  $\overline{CS} = 0$  (см. табл. 1.3). Только в момент поступления сигнала  $\overline{OE}$  выходы переходят в функциональное состояние: спустя время  $t_{e.OE}$  на выходах появится считываемая информация. В этом режиме время выборки адреса определяют соотношениями:  $t_{e.a} = t_{yc.OE} + t_{e.OE}$  либо  $t_{e.a} = t_{yc.OE, a} + t_{yc.OE, a} + t_{yc.OE, BM} + t_{yc.OE, BM}$  на регламентируют, его значение устанавливают, исходя из условий работы микросхемы в составе устройства.

Микросхема КМ581РУ5 Б. В. Г также выполнена по КМДПтехнологии. Она представляет собой статическое асинхронное ОЗУ емкостью 2К × 8 бит. Конструктивно оформлена в корпусе 2120.24-11. назначение выводов ндентично микросхемам КР537РУ8 и К537РУ9 (рис. 2,5, г). Таблица истинности соответствует табл. 1.3. Электрические характеристики микросхемы приведены в табл. 2.1. Следует добавить, что микросхема дифференцирована по группам Б, В, Г по значению временных параметров: время цикла записи (считывания) составляет 120 нс (Б), 150 нс (В), 200 нс (Г), т.е. микросхемы группы Б обладают наибольшим быстродействием. Выходной ток 4 мА. Выход построен по схеме с тремя состояниями.

Серия К132 состоит из микросхем статических ОЗУ высокого быстродействия: время цикла обращения для большинства микросхем лежит в диапазоне значений 55 ... 85 нс (табл. 2.1). Микросхемы выполнены по *n*-канальной МДП-технологии и отличаются разнообразием в отношении структурных и схемотехниче-

| Тия микрослемы | <sup>*</sup> l <sub>4 an (c4)</sub> | t <sub>a.a</sub> | tex Dt an | t <sub>311</sub> | твм   | ly a. BM | Р <sub>пот</sub> , Вт |
|----------------|-------------------------------------|------------------|-----------|------------------|-------|----------|-----------------------|
| РУ2А           | 650                                 | 650              | 100       | 400              | -     | -        | 0,4                   |
| РУ2Б           | 950                                 | 950              | 100       | 400              | _     | _        | 0,44                  |
| РУЗА           | 75                                  | 75               | 10        | 55               | -     |          | 0,66                  |
| РУЗБ           | 75                                  | 125              | 10        | 55               |       | _        | 0,55                  |
| РУ4А           | 55                                  | 33               | -         | -                | 33    | 5        | 0,47                  |
| РУ4Б           | 100                                 | 70               |           |                  | 70    | 5        | 0,47                  |
| РУ5А           | 85                                  | 85               | 10        | 55               | 70    | _        | 0,9                   |
| РУ5Б           | 120                                 | 120              | ·10       | 60               | · 105 | -        | 0,9                   |
| РУ6А           | 75                                  | 45               | 10*       | 25               | 45    | 25*      | 0,44**                |
|                | 140*                                |                  |           |                  | 106*  |          |                       |
| РУ6Б           | 120                                 | 70               | 10        | 40               | 70    | 40       | 0,44                  |
|                | 200*                                |                  |           |                  | 146*  |          |                       |
| РУ8А           | 70                                  | 70               | 5         | -                | 55    |          | 0,8                   |
| РУ8Б           | 120                                 | 120              | 5         |                  | 55    |          | 0,8                   |
| P¥10           | 70                                  | 55               | -         | -                |       |          | 0,42                  |

Таблица 2.6. Динамические параметры микросхем серий К132, КР132, КМ132. ис (в диапазоне температур -10 + 70° C)

Примечание Микросхемы КМ132РУ5А, Б. КР132РУ4А, Б. КР132РУ6А. Б – тактируемые. остальные - аскихронные

• Значения параметров для режима «Считывание-модификация-заянсь», кроме указанных, необходимо учитывать 1<sub>ус за ВМ</sub> = 40 (А), 55 (Б) нс. •• В режиме хранения при питании наколителя от U<sub>CS</sub>=5 В (вывод 11) потребляемая мощ-

ность равна 11 мВт

| Тип микроскемы | Емкость, бит | Тип корпуса, | Размеры. мм       | Назначение выводош |
|----------------|--------------|--------------|-------------------|--------------------|
| К132РУ2        | IKXI         | 402.16-18    | 12×9,4            | Рис. 2.8, а        |
| КР132РУ2       | 1K×I         | 2103.16-6    | 19,5×7,5          | Рис. 2.8, а        |
| К132РУЗ        | IK×I         | 201.16-8     | 19,2×7,5          | Рис. 2.8, б        |
| КР132РУ3       | IK×1         | 2103.16-6    | 19,5×7,5          | Рис. 2.8, б        |
| КМ132РУ3       | IKXI         | 4112.16-2    | 12,8×9,4          | Рис. 2.8, б        |
| KP132PV4       | 1K×1         | 2103.16-2    | 20×7,5            | Рис. 2.8, б        |
| KM132PV5       | 4K×I         | 2104.18-1    | 22.2×7,5          | Рис. 2.8, в        |
| КР132РУ6       | 16K×1        | 2140.10.20-3 | $25 \times 7.5$   | Рис. 2.8, г        |
| КМ132РУ8       | IK×4         | 2104 18-1    | $22,5 \times 7,5$ | Рис. 2.8, ∂        |
| К132РУ10       | 64K×1        | —            | —                 | _                  |

| Таблица 2.7 Корпуса микросхем сер | <b>рий К132.</b> | KP132. | KM132 |
|-----------------------------------|------------------|--------|-------|
|-----------------------------------|------------------|--------|-------|

ских решений, электрических параметров (табл. 2.6), конструкций корпуса (табл. 2.7, рис. 2.7).

Однако у микросхем серии К132 имеются ряд общих свойств, важных для их практического использования: единое напряжение питания 5 В, ТТЛ входные и выходные уровни напряжений 0 и 1: входные - соответственно не более 0,8 В, не менее 2 В, выходные — не более 0,4 В, не менее 2,4 В; наличие выходов с



тремя состояниями, единая система сигналов управления:  $\overline{CS}$ , W/R; способность работать на большую емкостную нагрузку (от 100 до 600 пФ для разных типов микросхем), возможность снижения уровня энергопотребления при переходе в режим хранения в 3—5 раз, а у некоторых микросхем — до 20 раз.

По своей структуре микросхемы серии К132 близки к микросхемам рассмотренных серий К561, К537: они состоят нз накопителя матричного типа, регистров и дешифраторов кода адреса, устройства ввода-вывода, блока ключей выбора строк и столбцов. В реализации названных элементов структурной схемы также имеется много общих решений. В частности, все входы адресные, управляющие, информационные, имеют усилители, построенные по схеме (рис. 2.8, а) инвертора на двух транзисторах VT1, VT2 с защитой в виде резистивно-транзисторной цепи R, VT3. Охранный транзистор VT3 своим *p-n* переходом стокподложка предохраняет вход транзистора VT1 от действия статического электричества и защищает от резких бросков напряжений на входах своей выходной емкостью, которая вместе с резистором образует интегрирующую цепочку.

Входные усилители формирователи обладают высоким быст-



родействием, которое обеспечено выбором режима работы транзистора VT2 и напряжением смещения подложки  $U_{cw} = -2,7$  В. Транзнстор VT2, имеющий встроенный канал *n*-типа, нормально открыт и при выключении VT1 переходит в режим генератора тока, заряжая за короткое время выходную емкость. При включении VT1 емкость также быстро разряжается через низкоомный канал открытого транзистора VT1.

Напряжение отрицательного смещения *p*-подложки формирует встроенный в кристалл преобразователь из напряжения питания микросхемы 5 В. Это напряжение уменьшает порог включения транзисторов и снижает уровень токов утечки внутри кристалла.

В качестве ЭП применяют статический триггер (рис. 2.8, 6) на четырех транзисторах VT1 — VT4 и двух ключевых транзисторах VT5, VT6, затворы которых соединены с адресной шиной, а стоки — с разрядными шинами. При X<sub>i</sub> = 1 ключевые транзисторы открываются и подключают триггер к разрядным шинам. При записи разрядные шины передают свой потенциал узловым емкостям С и обеспечивают переключение триггера в состояние, соответствующее записываемой информации. Этот процесс описан при рассмотрении работы КМДП-триггера (см. рис. 2.2) Аналогично обращение к ЭП происходит и при считывании, только теперь свой потенциал передает триггер высокоомным разрядным шинам.

Отличительной особенностью структуры микросхем памяти

п-МДП-типа, в частности микросхем серин К132, является наличие в каждом столбце усилителя записи-считывания триггерного типа (рис. 2.8, в). Усилитель управляется внутренним сигиалом F: при его поступлении транзистор VT5 открывается и уравнивает потенциалы двух входов-выходов триггера. В этом н заключается подготовка усилителя к приему информации. При считывании информации с выбранного ЭП на разрядных шинах РШо, РШ1 создается асимметрия потенциалов, которая оказывает воздействие на состояние плеч усилителя, подключенного к этим разрядным шинам. В момент снятия сигнала F, когда транзистор VT5 закрывается, вносимая разрядными шинами асимметрия потенциалов определит состояние, в которое переключится триггер-усилитель. В результате слабый информационный сигнал, полученный с выхода ЭП, будет усилен и передан в устройство ввода вывода. Усилитель составлен из транзисторов, отличающихся от транзисторов ЭП более высоким уровнем токов. Одновременно с усилением считываемого сигнала триггерусилитель предотвращает возможность разрушения информации в выбранном ЭП, так как обеспечивает восстановление (регенерацию) заряда узловых емкостей триггера ЭП.

В некоторых микросхемах, например в КР132РУ6, К132РУ10 н др., ЭП выполнен на триггере, в котором вместо нагрузочных транзисторов сформированы высокоомные (до 10<sup>9</sup> Ом) резисторы. При такой технологии удается обеспечить более высокий уровень интеграции и, следовательно, увеличение информационной емкости микросхемы памяти. Кроме того, снижается потребляемая микросхемой мощность в режиме хранения.

Применение высокоомных резисторов в схеме триггера оказалось возможным благодаря усовершенствованию *n*-канальной технологии и снижению на этой основе паразитных токов утечки в структуре кристалла до значений пикоампер [19]. Выходные каскады микросхем построены по схеме инверторов с тремя состояниями, формирующими ТГЛ-уровни.

Микросхемы серин К132 работают в режимах записи, считывания и хранения. Таблицы истинности всех микросхем серин К132, кроме КМ132РУ8, соответствуют содержанию табл. 2.5. Таблица истинности микросхемы КМ132РУ8 (табл. 2.8) имеет отличия, обусловленные тем, что у этой микросхемы входы н вы-

| W/R | A0 - A.                 | D10 D10.  | Режим работы  |
|-----|-------------------------|---|---|
| X   | - X                     | Z   | Хранение  |
| 0   | A                       | 0   | Запись О  |
| 0   | A                       | 1   | Зепись 1  |
| L   | A                       | $D_0 - D_3$   | Считывание  |
|     | W/R<br>X<br>0<br>0<br>1 | W/R         A <sub>0</sub> - A <sub>1</sub> X         - X           0         A           1         A | $W/R$ $A_0 - A_s$ $DIO_0 - DIO_3$ X         -         X         Z           0         A         0           0         A         1           1         A $D_0 - D_3$ |

Таблица 2.8. Таблица истинности КМ132РУВ и КР537РУ13

ходы совмещены. Микросхема КР132РУ6 имеет дополнительно к названным режим «Считывание-модификация-запись». Отличительные особенности этого режима проявляются в динамике работы микросхемы и видны на временных диаграммах. Эти особенности будут рассмотрены ниже.

При реализации названных режимов следует учитывать требования к форме представления сигналов управления: сигнала разрешения выбора микросхемы CS и сигнала режима обращения W/R. По этому признаку, как уже отмечалось в § 1.2, микросхемы статических ОЗУ делят на асинхронные и тактируемые. Микросхемы КР132РУ4А, Б, КМ132РУ5А, Б и КР132РУ6А, Б являются тактируемыми (КМ132РУ5А, Б — только в режиме записи), остальные микросхемы этой серии — асинхронные. Временные диаграммы для тактируемых микросхем аналогичны диаграммам на рис. 2.6. Напомним, что при записи и считывании информации у тактируемых микросхем сигнал CS или W/R подается импульсом. При схемотехнической реализации временных диаграмм сигналов микросхемы необходимо руководствоваться значениями временных параметров, основные из которых приведены в табл. 2.6. У микросхем КР132РУ4 и КР132РУ6 адресные, управляющие и информационные сигналы фиксируются («защелкиваются») на входных усилителях-триггерах по отрицательному перепаду сигнала CS. Поэтому для этих микросхем необходимо обеспечить требуемое время удержания названных сигналов относительно сигнала CS для их «захвата» входными триггерами. После фиксации сигналы могут принимать произвольные значения, например значения для следующего цикла обращения. У микросхем асинхронных ОЗУ сигналы CS и W/R можно подавать уровнем 0 или 1. В таком случае временные процессы в микросхеме определяют адресные сигналы. В асинхронных микросхемах управляющие сигналы можно подавать и импульсами. Тогда надо принимать во внимание требования к их минимальной длительности (табл. 2.6). Режим «Считывание-модификация-запись» совмещает в себе два режима и обеспечивает считывание информации из выбранного ЭП и запись в этот же ЭП новой информации в одном цикле (рис. 2.9). Время цикла обращения к микросхеме в том режиме больше (см. табл. 2.6 для КР132РУ6). Увеличивается и число учитываемых временных параметров. Для обеспечения максимального быстродействия микросхем необходимо адресные сигналы и сигналы управления формировать с длительностью фронта 2 нс.

В режиме хранения у многих микросхем серии К132 наблюдается снижение в 3-5 раз тока потребления. У микросхем





Рис. 2.9. Временные диаграммы микросхемы статического ОЗУ в режиме «Считывание-модификация-запись»

пряжения питания, но сохранения его уровня 5 В на выводе СS. В этом режиме через вход CS осуществляется питание только накопителя и формирователя напряжения смещения подложки, остальные функциональные узлы микросхемы находятся в выключенном состоянии.

Большая интегральная схема К1809РУ1 представляет собой статическое ОЗУ емкостью ІКХ16 бит. Особенность микросхемы состоит в том, что она имеет встроенный интерфейс, т. е. функциональные узлы, которые обеспечивают режим обмена со стандартной магистралью микроЭВМ «Электроника-60». Благодаря наличню встроенного интерфейса микросхему можно непосредственно подключать к магистрали [21]. Структурная схема включает накопитель, дешифраторы адреса строк и столбцов, схему управления (контроллер), обеспечивающую ввод и вывод кода адреса, данных, сигналов управления. Кроме того, в структуру включен блок задания адреса микросхемы, который представляет собой программируемое устройство для дешифрирования 5-разрядного кода выбора микросхемы. Этот блок состоит из регистра и схемы сравнения. Предварительно в регистр заносится адрес микросхемы. При работе в блоке происходит сравнение принятого кода адреса с записанным в регистр, и при совпадении на выходе вырабатывается сигнал разрешения записи данных в микросхему. В случае несовпадения данные, пришедшие с «чужим» адресом, записаны быть не могут. Наличие встроенного блока задания адреса позволяет формировать модуль ОЗУ из 32 микросхем без внешнего устройства выбора микросхемы.

# Более подробно устройство и возможности этой БИС изложены в § 3.1.

51

Сёриц К155, К134, К54Т, К785. К500. К1500 и др. содержат микросхемы, изготовленные методами биполярной технологии. Среди этих методов наиболее широко применяются методы ТТЛтехнологии, сейчас в основном ТТЛШ (серии К531, К1531, К1533 и др.), ЭСЛ-технологии (серии К500, К1500), технологии ИИЛ в сочетания с ТТЛ (К185, К134, К541 и др.), ТТЛ с ЭСЛ (К155) и т. д. Названные технологии отличаются схемотехническими решениями, принятыми для микросхем статических ОЗУ. Объединяет эти технологии то, что основным активным компонентом схем является биполярный транзистор и, следовательно, в основе лежит технология изготовления биполярных структур с paзлячными физико-техническими свойствами: классических n-p-n или *р-и-р* транзисторов, транзисторов с включением диодов Шотки параллельно коллекторному переходу (транзисторов Шотки), тиристоров, транзисторов с инжекционным питанием и т. д. Серия К541 имеет в своем составе микросхемы статических ОЗУ емкостью 4КХІ, 8КХІ, 16КХІ, 1КХА асинхронного типа среднего быстродействия (табл. 2.1). Микросхемы серии имеют напряжение питания 5 В, ТТЛ входные и выходные уровни, выход на три состояния, характеризуются сравнительно высоким уровнем энергопотребления, по сравнению с микросхемами серии К132, причем не обладают свойством снижать уровень, потребляемой мощности в режиме хранения. Структура микросхем содержит все функциональные узлы ти-



в — нивертор с выходом с тремя состояниями; 2 - входной формирователь ТТЛ-ЭСЛ; д — нивертор с открытым коллекторным выходом



пичного варианта ее построения (рис. 2.10). В качестве элемента памяти использован статический триггер на четырех транзисторах, два из которых, VT3 и VT4, являются инжекторами транзисторов VT2 и VT1 соответственно. Двухэмиттерными транзисторами управляют сигналы адресной шины X<sub>i</sub> и разрядных шин РШ<sub>0</sub>, РШ<sub>1</sub>. При X<sub>i</sub>=0 триггер находится в режиме хранения, так как при этом фиксируется состояние плеч триггера. При X<sub>i</sub>=1 оба эмиттерных перехода, подключенных к адресной шине, закрываются и состояние триггера зависит от потенциалов разрядных шин: при низком потенциале шин в режиме считывания в одну из них потечет ток, а именно в ту, со стороны которой транзистор открыт; в другой тока не будет. При записи по шинам в форме парафазного сигнала РШ<sub>1</sub>=D,

 $PUI_0 = D$  к пле́чам триггера подводится информация. Асимметрия в потенциалах шин вызовет переключение триггера в состояние, определяемое потенциалами шин: например, при РШ<sub>1</sub> == 0, РШ₀ → (запись 0) откроется VT2, через него в шину потечет ток инжектора VT4, а транзистор VT1 закроется. При записи І состояния транзисторов изменятся на обратные. Выходные и входные цепи выполнены на элементах ТТЛ, поскольку низкопороговые функциональные узлы ИИЛ имеют низкую помехоустойчивость и, кроме того, не согласованы по уровням напряжения с элементами других типов логики. Вариант выходного каскада с тремя состояниями (рис. 2.10, в) выполнен по схеме ТТЛ сложного инвертора с дополнительными элементами VD1, VD2, VT2, необходимыми для обеспечения третьего состояния выхода. Управляющий сигнал V зависит от внешних сисналов. CS и W/R, воздействуя на вход транзистора VT2, закрывает его при V = 0 или открывает при V = 1. В третьем состоянии выход находится при V == 1, когда открытый транзистор VT2 шунтирует входы и закрывает транзисторы VT5 и VT3, а значит, и VT4. Микросхемы серии К541 работают в режимах хранения, записи и считывания. Условия реализации этих режимов представлены в табл. 2.5. В соответствии с условием режима считывания: CS = 0, W/R = 1, управляющий сигнал должен быть сформирован, исходя из соотношения:  $V = CS \cdot W/R$  или CS + W/R. По аналогичной схеме, но без VD1, VD2, VT2 построены и входные усилители-формирователи. Для повышения быстродействия входные усилители выполняют и по схеме ТТЛ-ЭСЛ (рис. 2.10, г). Преимущество этой схемы заключается в том, что она в максимальной степени реализует быстродействие транзисторов, что, вообще, присуще ЭСЛ-схемотехнике, за счет ограничения их насыщения и переключения током эмиттера, не зави-

### сящим от входного воздействия. Микросхемы серим K541 относятся к группе асшихронных: сигналы CS и W/R можно подавать как уровнем, так и импуль-

53

#### Таблица 2.9. Параметры микросхем серий К541, КР541 при 25° С, ис

| Тип<br>микросхемы | Емкость,<br>бнт | t <sub>и эл(счи</sub><br>не более | t, an<br>He Game | tyc эл ж.<br>не менее | t <sub>cx</sub> . эп,<br>не более | т <sub>эп</sub> ,<br>не более | ty ВМ зп,<br>не более |
|-------------------|-----------------|-----------------------------------|------------------|-----------------------|-----------------------------------|-------------------------------|-----------------------|
| РУІ               | 4K×1            | -155                              | 120              | 45                    | 50                                | 60                            | 90                    |
| Py1A              | $4K \times 1$   | 130                               | 70               | 30                    | 50                                | 50                            | 90                    |
| РУ2               | IK×4            | 140                               | 120              | 50                    | 30                                | 60                            | 60*                   |
| РУ2А              | IK×4            | 140                               | 90               | 50                    | 30                                | 60                            | 60                    |
| PY3               | J6K×1           | 170                               | 150              | 60                    | 50                                | 60                            | 90                    |
| РУЗА              | 16K×1           | 150                               | 100              | 60                    | 30                                | 60                            | 90                    |
| РУ31 '            | 8K×1            | 170                               | 150              | 60                    | 50                                | 60                            | 90                    |
| P¥31A 1           | 8K×1            | 150                               | 100              | 60 .                  | 30                                | 60                            | 90                    |

Данные распространяются на К541РУ31 K541PY34A К541РУ34 н К541РУ31А \* Указано значение 1, В.М DI

#### Таблица 2.10. Корпуса микросхем серий К541, КР541

| Тип .<br>микросхемы | Тип<br>корпуса | Габаритиые<br>размеры, мм | Назначение<br>пыводов | Примечание               |
|---------------------|----------------|---------------------------|-----------------------|--------------------------|
| K541PY1             | 427.18-1       | $12,5 \times 12$          | Рис. 2.11, а          |                          |
| КР541РУ1            | 2107.18-1      | $22,5 \times 10$          | Рис. 2.11. а          |                          |
| K541P¥2             | 427.18-1       | $12,5 \times 12$          | Рис. 2.8, ∂           |                          |
| KP541P¥2            | 2107.18-1      | $22,5 \times 10$          | Рис. 2.8, д           |                          |
| К541РУЗ             | 405.24-2       | $19,5 \times 12$          | Рис. 2.11, б          |                          |
| К541РУ31            | 405.24-2       | 19,5×12                   | Рис. 2.11, б          | $A_{12} = 0:8 = 12^{**}$ |
| K541PY32            | 405.24-2       | $19,5 \times 12$          | Рис. 2.11, б          | $A_{12} = 1:8 = 24$      |
| K541PY33            | 405.24-2       | $19,5 \times 12$          | Рис. 2.11, б          | $A_{13} = 0:9 = 12$      |
| К541РУ34            | 405.24-2       | 19,5×12                   | Рис. 2.11, б          | $A_{13} = 1:9 = 24$      |
| КР541РУ3            | 2118.20-1      | $25 \times 15$            | Рис. 2.11, в          |                          |
| КР541РУ31           | 2118.20-1      | $25 \times 15$            | Рис. 2.11, в          | $A_{12} = 0:7 = 10$      |
| КР541РУ32           | 2118.20-1      | $25 \times 15$            | Рис. 2.11, в          | $A_{12} = 1:7 = 20$      |
| <u>КР54 I РУ33</u>  | 2118.20-1      | $25 \times 15$            | Рис. 2.11, в          | $A_{13} = 0:8 = 10$      |
| KP541PY34           | 2118.20-1      | $25 \times 15$            | Рис. 2.11, в          | $A_{13} = 1:8 = 20$      |

Для корпусов типа 4 размеры указаны без учета выводов.
 Означает соединение выводов корпуса 8 и 12

54

сом. Параметры микросхем представлены в табл. 2.9, а данные о конструктивном оформлении — в табл. 2.110и на рис. 2.11. Микросхемы 03У серий К134. К155. К185 имеют много общего с рассмотренными. Все они относятся к типу асинхронных статических ОЗУ, поэтому достаточно просты в применении. Основные характеристики этих микросхем приведены в табл. 2.1. Обратим внимание лишь на некоторые особенности, знание которых необходимо для практики.

# Микросхема К155РУ7 емкостью ІКХІ бит, асинхронная, обладает повышенным быстродействием: ее время цикла обраще-



Рис. 2.11. Микросхемы памяти серии К541

ния равно 45 нс. Это достигнуто применением в структуре микросхемы элементов ТГЛ и ЭСЛ, в частности, элементом памяти является статический триггер на двухэмиттерных транзисторах (рис. 2.10, б) с нелинейной нагрузкой, а входные н выходные каскады выполнены по совмещенной схемотехнике, как показано на рнс. 2.10, г. Таблица истинности, динамика работы этой микросхемы аналогичны микросхемам серии К541. Конструктивное выполнение — пластмассовый корпус 238.16-2, назначение выводов по рис. 2.8, б. Микросхема К134РУб емкостью IK X 1 бнт получена по ИИЛ-

Микросхема К134РУ6 емкостью IK X I бит получена по ИИЛ-ТТЛ-технологии. Ее особенность заключается в том, что выход построен по схеме с открытым коллектором ОК (рис. 2.10, д). Наличие такого выхода не позволяет объединять информационные входы и выходы. При соединении иескольких микросхем по выходам можно использовать схему «монтажного ИЛИ» с подключением к точке соединения источника питания через внешний токоограничивающий резистор. Для расчета его сопротивления необходимо учитывать прежде всего значение выходного тока в состоянии логического 0, равное 16 мА. Характеристики микросхем приведены в табл. 2.1. При хранении потребляемая мощность синжается вдвое.

У *микросхемы К185РУ5* емкостью ІК×1 бит те же особенности, что и у К134РУ6, но она более быстродействующая. В динамике работы при обращении в момент воздействия сигнала CS на выходе возможны помехи длительностью не более чем время выбора: t<sub>в.Вм</sub>. Серия развивается, о чем свидетельствуют микросхемы К185РУ10 емкостью 16К×1 бит с временем цикла 50 нс.

Микросхемы серий К500, К1500 обладают самым большим быстродействием, что обусловлено использованием для их изготовления ЭСЛ-технологии. Микросхемы относятся к группе

асинхронных. Время цикла обращения в диапазоне рабочих тем ператур имеет значения от 9 нс для микросхемы К1500РУ073 и 15 нс для К1500РУ480 до 40 45 нс для К500РУ470, К1500РУ470, К500РУ415. Микросхемы памяти названных серий имеют электрические характеристики, несовместимые с харак-теристиками микросхем других серий, что исключает их совместное применение. Для них характерен сравнительно высокий уровень энергопотребления при небольшой информационной емкости (табл. 2.1). Причем уровень потребляемой мощности не изменяется при переходе от режима обращения к режиму хранения. Выход у большинства микросхем построен по схеме с открытым эмиттером (ОЭ). Такой выход можно непосредственно подключать к информационной шине либо необходимо его нагрузить внешним резистором 50 Ом, соединенным с источником напряжения -2 В. Микросхемы памяти ЭСЛ-серий предназначены в основном для применения в быстродействующей аппаратуре в качестве регистров процессора (микросхемы с организацией 16×4, 64×8 и др.), сверхоперативной и буферной памяти (микросхемы с организацией 256×1, 256×4, 1K×1, 4K×1, 1K×4)

#### 2.2. Микросхемы динамических ОЗУ

В микросхемах памяти динамического типа функции ЭП выполняет электрический конденсатор, образованный внутри МДП-структуры. Информация представляется в виде заряда: наличие заряда на конденсаторе соответствует логическому 0, отсутствие — логической 1. Поскольку время сохранения конденсатором заряда ограничено, предусматривают периодическое восстановление (регенерацию) записанной информации. В этом состоит одна из отличительных особенностей динамических ОЗУ Кроме того, для них необходима синхронизация, обеспечивающая требуемую последовательность включений н выключений функциональных узлов.

Для изготовления микросхем динамических ОЗУ в основном применяют *п*-МДП-технологию, которая позволяет повышать быстродействие и уровень интеграции микросхем, обеспечивать малые токи утечки и за этот счет увеличивать время сохранения заряда на запоминающем конденсаторе.

Микросхемы динамических ОЗУ отечественного производства представлены в основном серней К565. Она включает в свой состав ряд микросхем, отличающихся не только своими характеристиками, но и использованными в них структурными решениямн. Характеристики микросхем динамических ОЗУ серии К565 приведены в табл. 2.11, а их условные графические изображення — на рис. 2.12.

Рассмотрим типичный вариант реализации динамического ОЗУ на примере микросхемы К565РУЗ информационной ем-

56

#### Таблица 2.11. Характеристики микросхем динамических ОЗУ

| Тип              | ENVO           |          | 1                    | Р., мВт   |               | Tun        |  |
|------------------|----------------|----------|----------------------|-----------|---------------|------------|--|
| микросхемы       | бит            |          | U <sub>лит</sub> , В | обращение | хра.<br>нение | корпуса    |  |
| КР565РУ1А,Б      | $4K \times 1$  | 500, 900 | 12;                  | 400       | 20            | 210A.22-3  |  |
|                  |                |          | ±5                   |           |               |            |  |
| К565РУЗА-Г       | 16K×1          | 510370   | 12;                  | 460       | 40            | 201 16-5   |  |
|                  |                |          | ±5                   |           |               |            |  |
| К565РУ5Б-Д       | 64K×1          | 230460   | 5                    | 250-160   | 21            | 2103.16-5  |  |
| К565РУ5Д1,Д2     | $32K \times 1$ | 460      | 5                    | 160       | 21            | 2103.16-5* |  |
| <u>Қ565РУ5Д3</u> | 16K×1          | 460      | 5                    | 160       | 21            | 2103.16-5  |  |
|                  |                |          |                      |           |               | $A_7 = 0$  |  |
| К565РУ5Д4        | 16K×1          | 460      | 5                    | 160       | 21            | $A_7 = 1$  |  |
| КР565РУ6Б-Д      | 16K×1          | 230460   | 5                    | 150-120   | 20            | 2103.16-2) |  |
| К565РУ7В,Г       | 256K×1         | 340410   | 5                    | 350       | 35            | 2103.16-5  |  |

\* При адресации строк и столбцов А7 = 1



UF 00 <del>Q</del>CAS 15 1-51+ CAS 17 C 12 W/R ov 22 01 16 3 W/R K565 Py5 3 W/R K565PY3 KP565PY1 OV 6] Ø, a) RAMD RAMD € θ 7 6 12 11 10 13 16 K 256 K 12 11 10 13 2 3 14 5 14 4 DO N 6 5 2 151 8 8 SV *hRAS* PCAS 3 W/R KP565Py6 OV 16 W/R K565Py7 01 16



2



ð





X0-X63 Матрица ЭП 64 × 64 × адына строк Опорная строка \$ Усилители считывания douo Cen AO Опорная строка 2 26 A, ₹ Āø eca Mampuya 3/1 3 A2 64×64 X64 - X427 Yn A3 - DO Устройства вводавыбора КЛЮЧИ Ay Deeucmp CMOAS400 As вывода Дещифратор ад-←*DI* cmonouob Y AG eca



Рис. 2.13. Структура микросхемы динамического ОЗУ

костью 16К × 1 бит. В ее структурную схему (рис. 2.13) входят выполненные в одном кремниевом кристалле матрица накопителя, содержащая 16 384 элементов памяти, расположенных на пересечениях 128 строк и 128 столбцов, 128 усилителей считывания и регенерации, дешифраторы строк и столбцов, устройство управления, устройство ввода-вывода и мультиплексный регистр адреса. Матрица накопителя разделена на две части по 64 × 64 ЭП в каждой. Между ними размещены усилители, так что каждый столбец состоит из двух секций, подключенных к разным плечам усилителя (рис. 2.14). Элемент памяти построен по однотранзисторной схеме и включает конденсатор С<sub>іі</sub> и транзистор VT<sub>іі</sub>. Транзистор выполняет функции ключа: при сигнале на адресной шине строки X<sub>i</sub> = 1 он открывается и соединяет конденсатор C<sub>ii</sub> с j-разрядной шиной. Предварительно в паузах между обращениями к накопителю емкости полушин С<sub>шА</sub> и С<sub>шВ</sub> заряжает источник напряжения U<sub>0</sub> через открытые ключевые транзисторы VT5 и VT6. При обращении к накопителю эти транзисторы закрываются и изолируют полушины A, и B, от источника напряжения U<sub>b</sub>, Запоминающий конденсатор С<sub>іі</sub> выбранного ЭП подключается





2.14. Рис Фрагмент разряда (столбца) микросхемы динамического ОЗУ

шины. Поэтому емкости для индикации малого изменения потенциала шины при считывании информации применен высокочувствительный дифференциальный усилитель триггерного типа на транзисторах VT1 — VT4, включенный в середину РШ, как показано на рис. 2.14. Кроме массива ЭП и усилителей, матрица имеет в своей структуре опорные элементы (ЭО) по одному элементу в каждой полушине. Эти элементы в каждой половине матрицы составляют опорную строку (ОС). Опорный элемент построен аналогично запоминающему. Его назначение состоит в поддержа-



59

нии опорного напряжения U<sub>0</sub>, с которым усилитель сравнивает потенциал полушины с выбранным ЭП и реагирует на получающуюся при сравнении разность потенциалов положительного и отрицательного знака в зависимости от считываемого уровня. Эта операция происходит следующим образом: если выбрана для обращения строка верхней полуматрицы X<sub>i</sub>, то сигнал A<sub>6</sub> старшего разряда кода адреса строки коммутирует в селекторе опорной строки цепь через ключевой транзистор VT<sub>12</sub> для сигнала F<sub>2</sub> к OC<sub>2</sub>, расположенной в нижней полуматрице. Таким образом, в каждом из 128 столбцов к усилителю с разных сторон подключены ЭП и ЭО. Поскольку потенциал полушины с ЭП отличается от опорного, то в проводимости транзисторов разных плеч усилителя-триггера появляется асимметрия, которая при включении цепи его питания сигналом F<sub>3</sub> вызывает опрокидывание триггера по преобладающему уровню. В итоге на выходах-входах А и В триггера формируются полные уровни І и О. Тот из сигналов, который отражает

## считываемую информацию, в нашем примере на рис. 2.14 сигнал с плеча А, коммутируется на вход устройства вывода через

ключевые транзисторы VT7, VT9 и\_VT10, открываемые сигналами  $\overline{A}_6$ ,  $F_4$  и  $Y_1$ . Очевидно, считан может быть только один сигнал с выбранного дешифратором столбца:  $Y_1 = 1$ . У остальных столбцов ключи VT10 закрыты. Сигнал  $F_4$  зависит от наличия сигнала  $\overline{CAS}$ : при отсутствии последнего он не формируется и ключ VT9 закрыт. Сигнал на входе-выходе А триггера-усилителя выполняет также функцию восстановления уровня заряда запоминающего конденсатора  $C_{ij}$ , т. е. функцию регенерации информации. Причем эта операция происходит во всех ЭП выбранной строки одновременно.

Таким образом, при каждом обращении к матрице для считывания информации автоматически осуществляется регенерация информации во всех ЭП, принадлежащих выбранной строке. Для адресации 16К элементов памяти необходим 14-разрядный код, а у рассматриваемой микросхемы только семь ад-

ресных входов. С целью уменьшения числа необходимых выводов

корпуса в микросхемах динамических ОЗУ код адреса вводят по частям: вначале семь младших разрядов А<sub>0</sub> — А<sub>6</sub>, сопровождая их стробирующим сигналом RAS, затем семь старших разрядов А7 — А13 со стробирующим сигналом CAS. Внутри микросхемы коды адреса строк и столбцов фиксируются на адресном регистре, затем дешифрируются и осуществляют выборку адресуемого ЭП. Для формирования внутренних сигналов F<sub>1</sub> — F<sub>4</sub>, управляющих включением и выключением в определенной последовательности функциональных узлов микросхемы, в ее структуре предусмотрено устройство управления, для которого входными являются сигналы RAS, CAS, W/R. Устройство ввода-вывода обеспечивает вывод одного бита информации DO в режиме считывания и ввод одного бита информации DI с ее фиксацией с помощью триггера-защелки в режиме записи. Во всех режимах, кроме режима считывания, выход принимает высокоомное (третье) состояние. Наличие у выхода высокоомного состояния позволяет объединять информационные вход и выход при подключении микросхемы к общей информационной шине. По входам и выходу микросхемы серии К565 совместимы с ТТЛ-микросхемами, что означает соответствие их входных и выходных сигналов ТТЛ-уровням. Значения выходных токов в нормальном режиме эксплуатации не превышают 4 мА, а в предельном режиме могут достигать 30 мА. Микросхемы динамических ОЗУ работают в следующих режимах: записи, считывания, считывания-модификации-записи, страничной записи, страничного считывания, регенерации.





| Таблица 2.12. Таблица истинности микросхем серии К56 | и микросхем серии К56 | MH | нстинности | Таблица | 2.12. | Таблица |
|--|-----------------------|----|------------|---------|-------|---------|
|--|-----------------------|----|------------|---------|-------|---------|

| CAS | W/R'                              | A  | , DI  | DQ   | Режим работы   |
|-----|-----------------------------------|--|---|--|--|
| 1   | X                                 | X  | X   | Z  | Хранение   |
| 0   |                                   | X  | X   | Ζ  | Хранение   |
| 1   | X X                               | Α  | X   | Ζ  | Регенерация  |
| 0   | 0                                 | Α  | 0   | Z  | Запись О   |
| 0   | 0                                 | Α  | -1  | Z  | Запись 1   |
| 0   | 1                                 | Α  | X   | D  | Считывание   |
|     | CAS<br>1<br>0<br>1<br>0<br>0<br>0 | TAS     W/R'       1     X       0     X       1     X       0     0       0     0       0     0       0     1 | $\begin{array}{c c} \overline{\text{CAS}} & \overline{\text{W/R}} & A \\ \hline 1 & X & X \\ 0 & X & X \\ 1 & X & A \\ 0 & 0 & A \\ 0 & 0 & A \\ 0 & 1 & A \end{array}$ | $\begin{array}{c c c c c c c c c c c c c c c c c c c $ | $\begin{array}{c c c c c c c c c c c c c c c c c c c $ |

имея в виду, что аналогично протекают процессы и в микросхемах других типов этой серии. Для обращения к микросхеме для записи и считывания ин-

формации необходимо подать (рис. 2.15, *a*) код адреса строк  $A_0 - A_6$ , одновременно с ним или с некоторой (не нормируется) задержкой сигнал RAS, затем с нормированной задержкой на время удержания адреса строк относительно сигнала RAS должен быть подан код адреса столбцов и через время установления  $t_{yc.a.CAS}$  — сигнал CAS. К моменту подачи кода адреса столбцов на вход DI подводят записываемый бит информации, который сигналом W/R при наличии CAS = 0 фиксируется на входном триггере-защелке. Сигнал записи W/R может быть подан уровнем или импульсом. В последнем случае он должен иметь длительность не менее определенного параметром  $\tau_{WR}$  значения. Если сигнал записи подан уровнем, то фиксацию DI триггером-защелкой производит отрицательный перепад сигнала CAS (при наличии



RAS == 0). По окончании записи должна быть выдержана пауза т<sub>каз</sub>, равная интервалу между сигналами RAS, для восстановления состояния внутренних цепей микросхемы.

В аналогичном порядке должны быть поданы адресные и управляющие сигналы при считывании информации (рис. 2.15, б). Сигнал W/R = 1 может быть подан импульсом или уровнем. Время появления выходного сигнала можно отсчитывать от момента поступления сигналов адреса t<sub>в.а</sub> либо сигналов управления, время выборки сигнала RAS t<sub>в.RAS</sub>, время выборки сигнала CAS t<sub>в CAS</sub>. При оценке микросхемы по этим параметрам следует иметь в виду, что они взаимосвязаны, и поэтому достаточно знать один из них. Более информативным является параметр t<sub>в.CAS</sub>, поскольку информацию выводит из микросхемы сигнал CAS при наличии, конечно, сигнала считывания  $\overline{W}/R = 1$ . Из рис. 2.15, б следует:  $t_{B,RAS} = t_{B,CAS} + t_{yc} CAS,RAS$ . Для оценки быстродействия микросхемы памяти в расчет необходимо принимать время цикла записи (считывания) t<sub>ц.зп</sub>, t<sub>и.сч</sub>. Другие временные параметры необходимы для обеспечения бессбойного функционирования микросхем в составе электронной аппаратуры. Перечень временных параметров динамических ОЗУ включает десятки наименований. В табл. 2.13 приведены основные из них, дающие достаточно полное представление о динамике работы микросхем динамических ОЗУ серии К565. Со-

| Таблица | 2.13. | Динамические | параметры | микросхем | серин | K565 |
|---------|-------|--------------|-----------|-----------|-------|------|
|---------|-------|--------------|-----------|-----------|-------|------|

| []                     |      | K565P¥3 |     | K   | 565PY5. | KP565P | <b>y</b> 6 | K568 | 5 <b>P¥7</b> |
|------------------------|------|---------|-----|-----|---------|--------|------------|------|--------------|
| параметр, нс           | А, Б | B       | Г   | Б   | B       | Г      | Д          | ·B   | Γ            |
| t <sub>u.30(C4)</sub>  | 510  | 410     | 370 | 230 | 280     | 360    | 460        | 340  | 410          |
| ŧ <sub>ц.сч-м-зв</sub> | 670  | 520     | 420 | 310 | 380     | 460    | 600        | 410  | 490          |
| t <b>≭</b> ≢           | 370  | 275     | 225 | 150 | 180     | 250    | 320        | 120  | 140          |
| TRAS                   | 300  | 250     | 200 | 120 | 150     | 200    | 250        | 150  | 200          |
| TRAS                   | 200  | 150     | 120 | 100 | 120     | 150    | 200        | 180  | 200          |
| TCAS                   | 220  | 165     | 135 | 70  | 90      | 120    | 150        | 75   | 100          |
| tyc CAS RAS            | 100  | 85      | 65  | 30  | 35      | 55     | 75         | 50   | 60           |
| ty.a.RAS               | 60'  | 45      | 25  | 15  | 20      | 40     | 60         | 20   | 25           |
| Lyc.CAS a              | 20   | 10      | 10  | 0   | 0       | 0      | 0          |      |              |
| t <sub>v.a.CAS</sub>   | 100  | 75      | 55  | 25  | 35      | 45     | 60         | -    |              |
| τ <sub>wr</sub>        | 120  | 75      | 55  | 35  | 45      | 80     | 120        | 40   | 65           |
| ty.DI CAS              | 100  | 75      | 55  | 45  | 55      | 80     | 120        | 55   | 70           |
| TCAS **                | 140  | 100     | 80  | 70  | 80      | 120    | 160        | 60   | . 70         |
| T.CAS                  | 200  | 165     | 135 | 70  | 90      | 120    | 150        | 50   | 60           |
| T <sub>per</sub> , NC  | 2    | 2       | 2   | 2   | 2       | 2      | 1 1        | 8    | 8            |

# Примечание Длительности фронта и среза сигналов для всех микроскем от 3 до 35 не

#### \* Время цикаа в режиме «Считывание-модификация-запись» В страничном режиме.



держание параметров объяснено в § 1.2, а сами параметры указаны на временных диаграммах рис. 2.15 (штриховкой обозначены временные интервалы, не фиксируемые по длительности, где сигналы могут иметь произвольные значения: либо 0, либо 1). Для обеспечения надежного сохранения записанной в накопителе информации реализуют режим принудительной регенерации. Регенерация информации в каждом ЭП должна осуществляться не реже чем через 2 мс (для К565РУ5Д и КР565РУ6Д через 1 мс). Как уже отмечалось, регенерация автоматически выполняется для всех ЭП выбранной строки при обращении к матрице для записи или считывания информации.

Время, в течение которого необходимо обратиться к строке для регенерации, определяет параметр «Период регенерации» Т<sub>рег</sub>.

Поскольку обращение к разным строкам происходит с раз-

личными по длительности интервалами времени, рассчитывать только на автоматическую регенерацию нельзя. Цикл регенерации состоит из т обращений к матрице, где m — число строк, путем перебора адресов строк č помощью внешнего счетчика циклов обращений. Обращение к матрице для регенерации может быть организовано по любому из режимов: записи, считывания, считывания-модификации-записи, а также по специальному режиму регенерации -- сигналом RAS. Режим работы «Считывание-модификация-заяйсь» заключается в считывании информации о последующей записью в один и тот же ЭП. Во временных диаграммах сигналов для этого режима совмещены диаграммы для считывания (рис. 2.15, б) и записи (рис. 2.15, а) информации: при неизменных сигналах **RAS** и CAS режим считывания сменяет режим записи данных по тому же адресу. Модификация режима заключается в смене сигнала считывания на сигнал записи и в подведении ко входу DI записываемой информации. Время цикла в этом режиме обращения больше, чем в других (см. табл. 2.13). Во всех указанных режимах регенерация осуществляется в естественном порядке, как операция, сопутствующая процессу обращения к микросхеме. При организации принудительной регенерации наиболее целесообразным и удобным для реализации является режим регенерации сигналом RAS (рис. 2.15, в), при котором осуществляют перебор адресов в сопровождении стробирующего сигнала RAS при CAS = 1. У микросхемы К565РУ1 режим регенерации осуществляюпо циклу считывания или «Считывание-модификация-запись» с выполнением условия CS=1, при котором доступ к микросхеме

### по входу и выходу закрыт. Выход находится в высокоомном состоянии. В расчет времени регенерации следует принимать время цик-63

ла при выбранном режиме регенерации, умножив его на число строк. Например, на регенерацию информации в ЭП одной строки у микросхемы К565РУ5Б в режиме «Считывание-модификация-запись» необходимо (см. табл. 2.13) 310 нс, тогда для регенерации ЭП всех 256 строк потребуется 80 мкс, что составит 4% рабочего времени микросхемы. В режиме регенерации только сигналом RAS общее время регенерации уменьшается до 61,5 мкс, что составит 3% времени функционирования микросхемы. Некоторые варианты схемотехнической реализации режима принудительной регенерации рассмотрены в гл. З. Страничные режимы записи и считывания реализуют обращением к микросхеме по адресу строки с выборкой ЭП этой строки изменением адреса столбцов. В этих режимах значительно уменьшается время цикла записи (считывания) (табл. 2.13), поскольку при неизменных сигналах RAS == 0 и кода адреса строки использована часть полного цикла записи (считывания), относящаяся к адресации столбцов. В состав серии К565 входят микросхемы с информационной емкостью 4К, 16К, 64К и 256К. Микросхемы К565РУ1 и К565РУ3 нуждаются в трех источниках питания. При применении этих микросхем следует учитывать требования по порядку включения и выключения источников питания: первым подключают источник -5 В, а отключают последним. Это требование обусловлено тем, что напряжение — 5 В подается на подложку (кристалл) и если его не подключить первым, то под воздействием, даже кратковременным, напряжений двух других источников с напряжением 5 и 12 В может произойти в кристалле тепловой пробой и повредиться микросхема.

В [36] описан вариант реализации источника питания для микросхем К565РУ1, К565РУЗ с приоритетом по времени включения напряжения — 5 В. Порядок включения двух других напряжений питания может быть любым. После подачи напряжения питания микросхемы К565РУІ, К565РУЗ переходят в нормальный режим функционирования через восемь рабочих циклов, микросхема К565РУ5 — после паузы в 2 мс ч последующих 16 рабочих циклов, микросхема КР565РУ6 после паузы 2 мс и последующих 8-16 рабочих циклов в любом из режимов. Микросхемы К565РУ5 и КР565РУ6 имеют один источник питания 5 В и одинаковые электрические параметры, по различную информационную емкость. Микросхема КР565РУ6 совместима с микросхемой К565РУЗ по статическим параметрам, имеет ту же информационную емкость и разводку выводов в корпусе, но отличается лучшими значениями временных параметров, потреб-





(типономиналы), отличающиеся временными параметрами, а у микросхемы К565РУ5 и информационной емкостью (табл. 2.11), что расширяет функциональный ряд микросхем динамических ОЗУ. По режимам работы микросхемы серии К565 полностью совместимы, что обеспечивает возможность перехода от микросхем памяти небольшой информационной емкости, например от КР565РУ6, к микросхемам К565РУ5 и К565РУ7.

Дальнейшее развитие микросхем динамических ОЗУ связано с повышением уровня интеграции и, следовательно, информационной емкости, а также с освоением структур, в которых устройство динамической памяти совмещено на одном кристалле с устройством регенерации. Такое динамическое ОЗУ для пользователя имеет характеристики статического ОЗУ, и поэтому его называют квазистатическим Элементы таких встроенных систем регенерации уже присутствуют в современных микросхемах динамических ОЗУ, в частности в К565РУ7. Существенной отличительной особенностью данной микросхемы является увеличенный до 8 мс период регенерации и наличие у нее встроенного в кристалл счетчика адреса строк, что позволяет применять режим авторегенерации. В этом режиме регенерация осуществляется за 512 циклов изменения только сигнала RAS при активном состоянии сигнала CAS. Перебор адресов строк автоматически выполняет внутренний счетчик. Это упрощает устройство управления микросхемой [22, 33].

### 2.3. Микросхемы регистровых ОЗУ

Регистр как функциональный узел широко применяется в качестве ячейки памяти. Например, регистры включены в структуру многих микросхем ОЗУ и ПЗУ для хранения кода адреса, входных и выходных данных. Микросхемы регистров входят в состав большинства серий, в том числе и в микропроцессорные комплекты БИС в качестве регистров общего назначения (РОН), многорежимных буферных регистров (МБР), буфера дан ных между быстродействующим процессором и более медлен ными периферийными устройствами и т. д. Запоминающие устройства на регистрах могут быть построены с произвольным доступом (выборкой) и с последовательным доступом [1] Регистровые ЗУ с произвольной выборкой позволяют адресовать все регистры и обратиться к любому из них для записи или считывания информации. В отличие от них регист ровые ЗУ с последовательным доступом для обращения к нужной ячейке требуют перебора адресов в сторону их увеличения или уменьшения до требуемого адреса. Те и другие реализуют на



параллельного регистра применяют как регистры хранения, так и регистры сдвига. В последовательный регистр информацию записывают с одного входа поразрядно последовательно во времени. Таким же способом ее и считывают с выхода последнего триггера. Последовательным может быть только регистр сдвига. Многие регистры сдвига допускают и параллельную запись и считывание информации, т. е. являются комбинированными.

Номенклатура отечественных микросхем регистров обширна и разнообразна. Она включает регистры хранения и сдвига статические и динамические с разрядностью от четырех до нескольких десятков, микросхемы с однорегистровой и многорегистровой структурой, с большим быстродействием, рассчитанным на применение с тактовыми частотами в сотни мегагерц, и малым быстродействием, способным обеспечить работу регистра с тактовыми частотами в единицы килогерц.

В табл. 2.14 приведены примеры микросхем регистров, ко торые дают некоторое представление о их характеристиках. Ни же будут рассмотрены в основном многорегистровые микросхемы, поскольку микросхемы регистров с традиционной структурой достаточно подробно описаны в справочной литературе [8, 14, 15, 18].

Микросхема КР1802ИР1 является двухадресным регистровым ЗУ емкостью 16×4 бит и предназначена для создания СОЗУ

| Тип микросхемы | Емкость, бит | tu antes)   | P'nor. #8T  | Тип выхода | Технология |
|----------------|--------------|-------------|-------------|------------|------------|
| КР1802ИР1      | 16×4         | 55          | 990         | ТТЛ-3      | ттлш       |
| К555ИР26       | 4×4          | 43          | 250         | ТТЛ-З      | ттлш       |
| К1002ИРІ       | 32×8         | 500         | 20          | кмдп з     | кмдп       |
| К561ИРП        | 8×4          | 450         | 4           | [кмдп      | кмат       |
| K5611/1P12     | 4×4          | 6000        | 3           | КМДП-3     | КМДП       |
| K1800PI16      | 32×9         | 19          | 1600        | эсл        | эсл        |
| К555ИР30       | 8×1          | 34          | 180         | ТТЛ        | TTJIL      |
|                |              | Параллельнь | не регистры |            |            |
| K531 /JP22     | 8            | 19          | 800         | ТТЛ 3      | ТТЛШ       |
| К555ИР22       | 8            | 43          | 200         | ТТЛ-З      | ттлш       |
| K5551/P27      | 8            | 30          | 140         | ТТЛ        | ТТЛШ       |
| КМ1804ИР2      | 8            | 43          | 195         | ТТЛ        | ттлш       |
| КМ1801ИР3*     | 8            | 26          | 1444        | ТТЛ        | ттлш       |
| К589ИР12       | 8            | 55          | 725         | ТТЛ-3      | ттлш       |
| К580ИР82       | 8            | 100         | 800         | ТТЛ-3      | ТТЛШ       |
|                | a            | 150         | 1 10        | ТТЛ.3      | KMDE       |

Таблица 214 Микросхемы регистровых ЗУ

• Двунаправленный

24 процессоров, в том числе модулей РОН микропроцессорных систем, а yy<sub>A</sub> CE, также многоадресных ОЗУ. Структура микросхемы (рис. 2.16) состо-DA. ит из матрицы с 16 РОН четыре разряда ПО DAg DC (триггера) каждый, A DA3 двух независимых уст-AA2 A A3 ройств ввода-вывода: Канал канала А и канала В на четыре разряда каж-Нанал дый, двух дешифраторов кодов адреса ячеек 20 ABI DBA B памяти (регистров) и A B2 16 двух устройств управ-DB, 15 .15 A B3 ления. Система сисна-DB2 лов включает: Адо-Адз, ŔD<sub>B</sub> уу<sub>в</sub> DB3 Аво-Авз -- коды адре-CEn 22 са, обеспечивающие независимое обращение к WR. регистрам матрицы при услована, что коды не 2.16. Структура ЗУ PHC. регистрового должны быть одинако-КР1802ИР1 выми;  $RD_A$ ,  $RD_B - pa3$ решение считывания информации по каналу А и жаналу В соответственно; WRA, WRB — разрешение записи информации через канал А и канал В, СЕ<sub>А</sub>, СЕ<sub>в</sub> — разрешение обмена информацией



с каналом А и каналом В. Все входы управляющих сигналов инверсные, следовательно, разрешающие активные значения названных сигналов равны логическому О. Информацию записывают в ячейки памяти матрицы и считывают через совмещенные входывыходы канала A (DA<sub>0</sub>—DA<sub>3</sub>) и канала B (DB<sub>0</sub>—DB<sub>3</sub>). Устройство ввода-вывода состоит из усилителей считывания с выходами на три состояния и усилителей записи.

Микросхема под управлением сигналов RD, WR, CE может работать в следующих режимах: запись по каналу А, запись по каналу В, одновременная запись по каналам А и В, считывание по каналу А, считывание по каналу В, одновременное считывание по каналам А и В, запись по каналу А и считывание по каналу В, и наоборот. При отсутствии сигнала разрешения обмена по каналу: CE = 1, выходы данного канала находятся в высокоомном (третьем) состоянии. Сигналы управления нодают



Микросхема К555ИР26 (рис 217, а) состоит из четырех регистров по четыре разряда в каждом Все регистры адресуемы, причем предусмотрена раздельная адресация регистров при за писи (AW<sub>0</sub>AW<sub>1</sub>) и при считывании (AR<sub>0</sub>AR<sub>1</sub>) Информацию запи сывают 4 разрядным кодом по входам DI<sub>0</sub> — DI<sub>3</sub>, установив код адреса AW<sub>0</sub>AW<sub>1</sub> (AW<sub>1</sub> — старший разряд) и подав сигнал разре шения записи  $\overline{WE}=0$  При  $\overline{WE}=1$  доступ к регистрам для за писи закрыт Микросхема асинхроиная сигналы управления подают уровнем напряжения

Считывание информации производят по установленному ад ресу при наличии сигнала разрешения выхода  $\overline{OE} = 0$  При  $\overline{OE} = 1$  доступ к регистрам для считывания закрыт, выходы находятся в высокоомном состоянии Разделение адресных сигналов позволяет одновременно записывать и считывать информацию, адресуя разные регистры

Микросхема может работать в режимах запись 4-разрядного кода в любой из регистров, считывание 4-разрядного кода из





Рис 217 Микросхемы регистровых ОЗУ

любого регистра, одновременная запись и считывание информа ции из разных регистров, хранение информации (при  $\overline{WE} = = \overline{OE} = 1$ ).

Микросхемы допускают объединение одноименных входов и выходов для наращивания числа регистров и их разрядности Задача объединения микросхем регистров решается так же, как и для микросхем ОЗУ и ПЗУ (см. гл. 3).

Микросхема К561ИР11 (рис. 2.17, б) состоит из восьми 4разрядных регистров общего назначения с произвольной выборкой. Записывают информацию в микросхему 4-разрядным кодом по входам  $DI_0 - DI_3$ , считывают по выходам двух 4-разрядных каналов А и В:  $DA_0 - DA_3$ ,  $DB_0 - DB_3$ . Адресные сигналы  $AW_0 - AW_2 - для$  записи,  $AR_{A0} - AR_{A2} - для$  считывания по каналу А,  $AR_{B0} - AR_{B2} - для$  считывания по каналу В. Сигнал СЕ разрешает доступ к микросхеме. Вход этого сигнала – прямой динамический: только при положительном перепаде сигнала СЕ осуществляется запись или считывание информации, в остальных состояниях этого сигнала доступ к регистрам по адресным и информационным входам закрыт, в это время на выходах присутствует информация, предшествующая снятию разрешения

Микросхема может работать в следующих режимах: запись информации в один из регистров по адресу AW2AW1AW0, считывание информации по каналам А и В из двух регистров, выбранных адресами AR<sub>A2</sub>AR<sub>A1</sub>AR<sub>A0</sub> и AR<sub>B2</sub>AR<sub>B1</sub>AR<sub>B0</sub>, хранение информации. При записи информации код адреса выбираемого регистра одновременно подается на все три группы адресных входов: AW, AR<sub>A</sub>, AR<sub>B</sub>. Спустя некоторое время с момента поступления на вход СЕ положительного перепада сигнала разрешения на выходах обоих каналов установится записываемая информация. При считывании на адресные входы AW должна быть подана нулевая комбинация, а на входы AR<sub>4</sub> н AR<sub>8</sub> коды адресов регистров, с которых информация считывается по каналам А и В соответственно. На выходах каналов считываемая информация появится спустя время задержки после подачи положительного перепада на вход разрешения. Режим хранения обеспечивается отсутствием на входе СЕ положительного перепада сигнала раз решения.

При наращивании числа регистров необходимо объединить несколько микросхем, при этом одноименные выходы разных микросхем соединять нельзя, поскольку у них нет третьего состояния. С целью объединения выходов используют мультнплек соры [16]

Микросхема К561ИР12 (рис. 2.17, в) содержит четыре 4-разрядных регистра. У этой микросхемы в организации и режимах работы много общего с рассмотренной микросхемой К561ИР11 но имеются и существенные отличия: выходы могут принимать третье состояние, введены дополнительные сигналы управления WE (Разрешение записи),  $OE_A$ ,  $OE_B$  (Разрешение выхода по каналам A и B). При OE = 0 выходы соответствующего канала, переходят в третье состояние.

Микросхема может работать в режимах: хранения, записи информации в один из регистров, считывания информации из двух регистров одновременно, записи и считывания информации при разных адресах в одном цикле обращения.

При реализации режима записи необходимо подать код адреса  $AW_1AW_0$ , разрешающий запись сигнал WE = 1 и положительный перепад сигнала CE. В это время выходы могут находиться в третьем состоянии, если  $OE_A = OE_B = 0$ . Для контроля записываемой информации на адресные входы обоих или одного из каналов  $AR_A u AR_B$  подают адрес записи и при сигнале разрешения выхода  $OE_A = OE_B = 1$  записанная информация появится на выходе. Можно в одном цикле с записью произвести считывание

информации, подав на адресные входы каналов сигналы адреса и открыв выходы для считывания OE<sub>A</sub> = OE<sub>B</sub> = 1. Режим хранения обеспечивается отсутствием активного сигнала CE. Наличие выходов с тремя состояниями позволяет при наращивании емкости соединять одноименные выходы с подключением их через резистор к корпусу. *Микросхема К1002ИР1* (рис. 2.18) представляет собой ЗУ магазинного типа емкостью 32×8 бит. Регистры соединены в цепь, в начало которой информация поступает для записи, а с конца считывается. В структуре микросхемы предусмотрено устройство сдвигателя кода: записанный в первый регистр байт информации сдвигатель автоматически перемещает последовательно через все внутренние регистры в последний регистр, следующий байт — в предпоследний и т. д. Операцию записи ин-

формации производят сигналом WR = 1, при необходимости предварительно стерев прежнюю информацию импульсным сигналом







ER = 1. Сообщение о готовности микросхемы принять для записи следующий байт формирует выход WE в виде сигнала высокого уровня. Очередной сигнал WR переводит выход WE в состояние 0, и когда записанный байт будет перемещен сдвигателем во второй регистр, на выходе готовности появится уровень 1. При полном заполнении ЗУ на выходе WE установится 0.

Считывание информации производят последовательно во времени с выводов последнего регистра при сигнале разрешения выхода OE = 0 и по сигналу считывания RD = 1 Сообщение о готовности выхода к считыванию следующего байта формирует выход OEI в виде сигнала высокого уровня При поступлении очередного сигнала считывания выход ОЕ1 переходит в состояние D и после перемещения информации из 31-го регистра в 32-й на выходе ОЕ1 устанавливается высокий уровень напря жения При отсутствии информации в ЗУ ОЕ1 = 0

При подаче сигнала OE = 1 («Блокировка») выходы данных и OEI переходят в третье состояние, вход RD блокируется и возможна только запись информации.

Следовательно, особенность магазинного ЗУ состоит в том что оно не допускает произвольную выборку ячейки памяти, в данном случае регистра. Существует другая возможность организации ЗУ магазинного типа, при которой информация записывается и считывается через одни и те же входы-выходы Поэтому записанную в ЗУ информацию считывают в обратном порядке Такие ЗУ нередко называют «стеком».

Регистровые ЗУ магазинного типа, как К1002ИР1, могут применяться для согласования устройств с неравномерной скоростью передачи, поскольку они допускают выполнение записи и считывания в независимых друг от друга и асинхронных режи мах Есть возможность наращивать разрядность и емкость таких ЗУ путем их последовательного соединения [24] Конструктивно микросхема К1002ИР1 оформлена в корпусе 4118.24 Микросхема К1800РП6 представляет собой двухадресную па мять с организацией 32 × 9 бит Структура микросхемы состоит из двух частей с независимой адресацией, что позволяет использовать ее как двухканальную систему для работы на две независимые магистрали адресов и данных. Для обеспечения этого режима в микросхеме предусмотрен ряд схемотехнических решений, исключающих сбои и ошибки в работе. Матрица разделена на два массива с одинаковой организацией  $32 \times 9$  бит, каждый из которых имеет необходимые функциональные узлы для адресации ячеек памяти, записи и считывания информации. На условном графическом изображении микросхемы (см. рис. 2.17, г) показана система адресных и управляющих сигналов: 5-разряд



71
(считывания) ОЕ, ОЕ, синхросигналы СА, СВ, обеспечивающие выход считываемой информации при наличии разрешающих ситналов OE = 0.

Ввод и вывод информации осуществляют через два 9-разрядных двунаправленных входа-выхода DA, DB. При OE = 1 выходы находятся в состоянии І Работа микросхемы структурно' организована так, что оба массива матрицы доступны для обращения к ним по обоим каналам Между собой массивы связаны так, что если информация записывается в один из них, то автоматически она записывается и во второй. Поэтому внешне микросхема функционирует как регистровое двухканальное ЗУ с организацией З2 × 9 бит с произвольной выборкой для записи и считывания по двум каналам одновременно Для исключения ошибок в адресации предусмотрено устройство контроля Существенной особенностью микросхемы является ее способность выявлять ошибки в коде адреса и данных по методу контроля четности. Уже было отмечено, что один разряд, в коде адреса является контрольным. Такую же роль играет девятый бит в коде данных. В структурной схеме имеются узлы контроля четности адреса и данных и формирования сигналов ошибки ERA в канале A и ERB в канале B, а также сигнала преду преждения о возможности ошибки AEQ при совпадении адресов При выявлении ошибки в коде данных микросхема их не прини мает при записи и не выдает на выход при считывании, сопровождая эти операции признаками ошибок на соответствующих выходах Микросхема выполнена по ЭСЛ-технологии, обладает высоким быстродействием. Для снижения влияния наводок в цепях питания предусмотрены две общие точки, одна из которых пред назначена для выходных эмиттерных повторителей Функциональные возможности микросхемы позволяют применять ее в качестве буфера данных между быстродействующим процессором и более медленными периферийными устройствами Она может быть использована также в качестве стека или блока РОН Для более подробного ознакомления с микросхемой можно обратиться к [18] Модификацией рассмотренной микросхемы является микросхема К1800РП16, у которой за счет исключения взаимосвязи между двумя массивами матрицы емкость удвоена 64 × 9 бит Микросхема К555ИРЗО содержит восемь адресуемых тригге-ров В этом заключается своеобразие микросхемы Адресуют триггеры трехразрядным кодом Для записи и считывания информации предусмотрены информационные вход и выход Режимом микросхемы управляет сигнал WE разрешения записи

# В составе многих микропроцессорных комплектов имеются многорежимные буферные регистры (МБР) Самая распространенная структура МБР параллельный регистр со схемами уп-



равления, обеспечивающими прием информации в регистр и выдачу ее по запросу В табл 2.14 приведены микросхемы МРБ разных микропроцессорных комплектов Эти микросхемы широко применяют для сопряжения модулей памяти с магистральными шинами, для построения различных устройств управления.

Микросхемы буферных регистров могут выполнять кроме основной ряд дополнительных функций Например, микросхему К589ИР12 широко применяют в качестве управляемого буферного устройства, устройства прерывания, выходного буфера, фор мирователя двунаправленной шины.

Микросхема К588ИРІ (рис. 2.19, а) является 8-разрядным МБР и предназначена для построения интерфейсных блоков процессоров, ЗУ, контроллеров внешних устройств. Основным функциональным узлом структурной схемы (рис. 2.19, б) является регистр. Информация 8-разрядным кодом записывается по входам  $DI_0-DI_7$  при сигнале записи WR=0 Считывание инфор мации осуществляют по сигналу RD=0 через выходные буферные усилители и выходы микросхемы  $DO_0-DO_7$ . При необходимости сигналом IN=0 выходной код инвертируется. Очистку регистра производит сигнал ER=0. Указанные режимы микросхема выполняет при условии CS=0 Если  $\overline{CS}=1$  выходы микросхемы находятся в третьем состоянии.

Дополнительной функцией микросхемы является проверка



Рис 219. Многорежимный буферный регистр К588ИР1 а условное обозначение б структурная схема

данных, записываемых или считываемых, на четность. Контроль принимаемой информации на четность осуществляет блок, который представляет собой многовходовый сумматор по модулю 2 с выходным триггером для фиксирования результата. На вход этого блока поступают принятый 8-разрядный код и один контрольный разрял — бит четности, который приходит на вход BIT одновременно с информацией. Анализируя 9-разрядный код на условие четности единиц и определяя его невыполнение, блок контроля на своем выходе формирует сигнал ошибки ERD, который блокирует запись ошибочной информации в регистр.

Микросхема может работать и в режиме формирования бита четности при считывании информации. В этом режиме считываемый код поступает на вход блока формирования бита четности Если код содержит нечетное число единиц, то на выходе блока формируется 1, в другом случае — 0. Этот сигнал с выхода ВІТ выходит из микросхемы параллельно с информационным кодом. Таким образом, в выходном 9-разрядном коде всегда будет выполняться условие четности единиц. Поэтому такая же микросхема на приемном конце в режиме контроля четности легко выявит одиночную ошнбку в коде. Сиснал СН/F определяет режим контроля на четность (при 0) или режим формирования бита четности (при 1). Данный режим работы микросхемы К588ИР1 может быть эффективно использован при совместном ее применении с микросхемами ОЗУ для защиты модуля ОЗУ от ошибочной информации

# Глава З

# ПРИМЕНЕНИЕ МИКРОСХЕМ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

#### 3.1. Оперативная память на микросхемах статических ОЗУ

Когда речь заходит о применении микросхем памяти, то прежде всего указывают на вычислительные средства — ЭВМ различного уровня: от высокопроизводительных ЕС ЭВМ до микроЭВМ и микропроцессорных устройств управления — контроллеров Это обусловлено тем, что в вычислительных системах в зависимости от их назначения память занимает от 40 до 70% всего оборудования [9] От параметров ЗУ во многом зависят технические характеристики вычислительных средств.

Для реализации оперативной памяти широко применяют микросхемы статических и динамических ОЗУ: первые — для ОЗУ сравнительно небольшой емкости, вторые — для ОЗУ емкостью более 10К байт, поскольку они в большей степени удовлетворяют требованиям к габаритам, энергопотреблению и стоимости запоминающих устройств.

Микросхемы статических ОЗУ проще в применении, и поэтому во многих случаях им отдают предвочтение.

Микросхемы памяти для построення ОЗУ микроЭВМ или микропроцессорного контроллера выбирают, исходя нз следующих данных: требуемая информационная емкость и организация памяти, быстродействие (время цикла обращения для записи или считывания), тип магистрали (интерфейса), характеристики линий магистрали (нагрузочная способность по току и емкости, требования к устройствам ввода-вывода подключаемых узлов и др.), требования к энергопотреблению, необходимость обеспечения энергонезависимости, условия эксплуатации, конструктивные требования.

Блок ОЗУ в общем случае включает модуль ОЗУ, составленный из микросхем памяти, контроллер ОЗУ (устройство управления), буферные регистры или магистральные приемопередатчики, шинные формирователи, обеспечивающие сопряжение по нагрузке модуля ОЗУ с шинами адреса и данных.

Значительное влияние на схему и характеристики контроллера и устройств сопряжения оказывает тип интерфейса, принятый в данной микропроцессорной системе [27].

Физический интерфейс представляет собой унифицированную магистраль из функционально объединенных линий, по которым передают коды адреса (шина адреса ША), данные (шина данных ШД), управляющие сигналы (шина управления ШУ), а также электропитание.

Для современных отечественных микроЭВМ и контроллеров применяют в основном интерфейсы следующих типов: ИКІ (для устройств на микропроцессоре К580ВМ80), И4І (для устройств на основе 16-разрядного микропроцессора К1810ВМ86, в частности для микроЭВМ семейства СМ1810 и др.), МПИ (для семейства 16-разрядных микроЭВМ «Электроника-60», «Электроника НЦ-80» и ДВК, «Электроника C5» и др.).

Магистраль ИК1 включает 16-разрядную ША, 8-разрядную ШД н шину управления, из которой для блока ОЗУ используют линии сигналов MWTC (MEMW) — «Запись в ОЗУ», MRDC (MEMR) — «Чтение нз ОЗУ» [9, 62].

Магистраль И41 включает 20-разрядную ША, 16-разрядную ШД и ШУ с линиями сигналов: МWTС — «Запись в ОЗУ», <u>MRDC</u> — «Чтение из ОЗУ», XACK ответ «Подтверждение обмена», <u>INH1</u> — «Запрет ОЗУ» (запрещает ОЗУ реагировать на адрес), BHE — «Разрешение старшего байта» (указание о двухбайтовой передаче данных [9, 25, 27].

Магистраль И41 допускает подключение к ней 8-разрядных устройств, так как имеет режим работы с байтами. Адресные

признаки выборки младшего L- и старшего H-байта содержат сигналы. A<sub>0</sub> и BHE. Это обстоятельство обусловливает совместимость устройств на микропроцёссорах K580BM80 и K1810BM86 при их объединении интерфейсом И41.

Магистраль МПИ межмодульного параллельного интерфейса включает совмещенную 16-разрядную шину «Данные-Адрес» ШД/А и шину управления с линиями сигналов [26, 27]: SYNC— «Сннхронизация активного устройства» (наличие сигнала означает, что идет обмен по каналу); DIN — «Ввод данных» (указывает на режим считывания данных из ЗУ микропроцессором), DOUT — «Вывод данных» (запись данных в ЗУ); WTBT — «Запись байта»; RPLY — «Синхронизация пассивного устройства» (выходной сигнал сопровождения данных). Все названные сигналы, кроме RPLY, являются для ОЗУ входными.

При необходимости можно осуществить сопряжение магистралей ОШ и МПИ с помощью микросхемы К1801ВП1-054, которая представляет собой базовый матричный кристалл со схемой соединений его элементов, реализующей логику сопряжения.

Рассмотрим ряд примеров построения блока статического ОЗУ, обратив при этом основное внимание на принципы схемотехнической реализации основных функциональных узлов. Эти же вопросы применительно к динамическому ОЗУ рассмотрены в § 3.2.

При разработке ОЗУ одной из типичных является задача объединения микросхем памяти в модуль. Способ решения этой задачи иллюстрирует рис. 3.1, на котором приведен блок ОЗУ, емкостью 8К байт, построенный на микросхемах К537РУ14 с возможностью его расширения до 32К байт. Каждая микросхема имеет одноразрядную организацию 4К×1 бит. Для наращивания разрядности слов до байта объединяют восемь микросхем DD1 — DD8 в субмодуль путем соединения всех одноименных выводов, кроме информационных. Аналогично построен субмодуль DD9 — DD16.

Для наращивания числа слов соединяют все одноименные выводы микросхем субмодулей DD1 — DD8 <u>и DD9</u> — DD16 кроме выводов для сигналов выбора микросхем CS1, CS2. Эти выводы подключают к выходам дешифратора DD17, назначение которого заключается в выборе субмодуля, адресуемого старшими разрядами кода адреса A<sub>14</sub>A<sub>13</sub>A<sub>12</sub>. В рассматриваемом примере задействованы два выхода DD17, на которых сигналы с уровнем логического 0 появляются при входных кодах 000 и 001. В первом случае открыт доступ к субмодулю DD1 — DD8, во втором к субмодулю DD9 — DD16. Очевидно, оставшиеся шесть выходов DD17 позволяют увеличивать емкость O3У еще на шесть аиало

76



Рис 3.1 Блок статического ОЗУ на микросхемах памяти с раздельными линиями ввода-вывода данных

гичных субмодулей, т. е. до 32К байт, либо использовать часть выходов для подключения к ним модулей ПЗУ.

Такую организацию памяти, как на рис. 3.1, называют страничной, а субмодуль — страницей. Полезно иметь в виду возможность изменения адреса страниц, т. е. ее положения в адресном пространстве, подключением вывода CS к нужному выходу дешифратора DD17

Старший разряд кода адреса А<sub>15</sub> использован для разделения адресного пространства емкостью 64К на две равные части. При A<sub>15</sub>=0 дешифратор DD17, имея на управляющем входе VI разрешающий сигнал с уровнем логического 0, обеспечивает формирование на своих выкодах сигналов выбора страниц. При A<sub>15</sub>= I дешифратор DD17 блокирован, на его выходах уровни принимают значения логической I и тем самым обеспечивается запрещение доступа к страницам ОЗУ. Вторая половина адресного пространства емкостью до 32К байт может быть использована для адресации устройств ввода-вывода. При необходимости существенного увеличения емкости памяти используют четыре старших разряда кода адреса A<sub>12</sub>-- A<sub>15</sub>. В таком случае можно применить дешифратор К555ИДЗ, ямеющий I6 выходов, что позволянт получить модуль памяти емкостью до 64К байт.

Регистры DD20, DD21 выполняют функции буферов адресной шины. Буферизация шин необходяма для повышения их нагрузочной способности по току и емкости. Например, линии ША микропроцессора КР580ВМ80А имеют допустимые значения тока до 1,8 мА и емкости до 100 лФ. Учитывая, что значение емкости каждого адресного входа микросхем памяти серии К537 равно 5 ... 10 пФ, получаем в схеме на рис 3.1 емкостную нагрузку каждой линии ША более 100 пФ, что обусловливает необходимость включения буфера. Применение регистров КР580ИР82 в качестве буфера увели-

Применение регистров КР580ИР82 в качестве буфера увеличивает. нагрузочную способность линий ША до 32 мА и 300 пФ Один из разрядов регистра <u>DD20 (выволы</u> 5, 15) использован для буферизации линин сигнала <u>MWTC</u>, который управляет режимом записи-считывания микросхем O3У.

Запись информации в регистр КР580ИР82 осуществляют по стробу, подаваемому на вход СЕ (вывод 11), либо при наличии на этом входе постоянного уровня логической 1. Считывание информации возможно при наличии на входе ОЕ (вывод 9) сигнала с уровнем логического 0. При ОЕ = 1 выходы принимают третье состояние. Разрешающее значение сигнала ОЕ формирует, логический элемент DD23 при поступлении хотя бы на один из его входов сигнала с уровнем логического 0. Следовательно, при обращении к модулю ОЗУ, когда один из сигналов выбора страницы ССЛ или СС2 равен 0, на выходе DD3 формируется сигнал с уровнем 0, открывающий для чтения регистры DD20, DD21. При увеличении числа страниц необходимо задействовать дополнительные входы: DD23.

Для буферизации ША можно использовать также микросхемы магистральных приемопередатчиков и шинных формирователей.

Сопряжение модуля Q3У с шиной данных реализовано на микросхемах шинных формирователей К589АП16 (DD18, DD19). Мыкросхема указаниого вида имеет 4-разрядные входной и выходной каналы  $DI_1 - DI_4$ ,  $DO_1 - DO_4$ , 4-разрядный двунаправленный канал  $DB_6 - DB_6$ . Передача информации обеспечивается при сигнале с уровнем логического 0 на входе CS. При наличии на входе CS сигнала с уровнем <u>логической</u> I все выходы переходат в третье состояние. Сигнал <u>CS</u> снимается с выхода DD23.

Направление передачи информации зависит от сигнала MRDC, подаваемого на вход W/R: при 0 информация передается со входов DI на выходы DB, при 1 со входов DB на выходы DO. Следовательно, при MRDC = 0 информация с выходов микросхем O3У поступает в шину данных, при MRDC = 1 из шины данных на входы микросхем O3У.

Для буферизации шиных данных можно использовать также микросхемы шинных формирователей других серий, например К555АП6, магистральные приемопередатчики К580ВА86, К580ВА87 (с инверсными выходами), К588ВА1 и др.

Другой вариант построения блока статического ОЗУ емкоетью 8К байт приведен на рис. 3.2. Блок включает два субмо-



Рис. 3.2. Блок статического ОЗУ на микросхемах памяти с общими линиями ввода-вывода данных

дуля (страницы) памяти DDI — DD8 и DD9 — DD16 по 4К байт каждый, буфер шины адреса DD20, DD21, буфер шины данных DD18, программируемое адресное устройство DD17 и логические элементы DD19 для формирования сигналов выбора страниц.

Субмодули построены так же, как на рис. 3.1, но с тем отличием, что у каждой микросхемы информационные вход DI и выход DO соединены и выведены на одну линию ШД. Кроме этого, здесь применены микросхемы тактируемых статических O3У К537РУЗ, которые требуют при каждом обращении к ним подачи импульсного сигнала на вход CS. Переход таких микросхем из режима хранения в активный режим записи или считывания осуществляется переключением сигнала CS из состояния 1 в состояние 0. После окончания операции записи или считывания для подготовки к следующему циклу необходимо установить сигнала CS в состояние 1.

Для обеспечения импульсных сигналов CS1 и CS2 в схеме блока O3У предусмотрено стробирование элементов DD19.1 и DD19.2 импульсом, который формирует узел DD22.1, DD22.2 при импульсном воздействии на его входы сигналов MWTC при записи и MRDC при считывании информации.

Для выбора одной из двух страниц ОЗУ использован разряд А<sub>12</sub> кода адреса: при 0 выбирается страница DDI — DD8, при 1 — страница DD9 — DD16.

Буферизация ШД реализована на микросхеме DD18 магистрального приемопередатчика (МПП) КР580ВА86, который представляет собой 8-разрядный двунаправленный формирователь, обеспечивающий ток нагрузки до 32 мА и емкость 300 пФ Микросхема имеет двунаправленный канал А, подключаемый к магистрали, и двунаправленный канал В, подключаемый к OЗУ.

Выходы обоих каналов имеют три состояния. Каналы управляются сигналами направления передачи данных W/R и отключения  $\overline{CS}$ . Передача информации разрешена при  $\overline{CS} = 0$ , причем если W/R = 1, то направление передачи от канала A к каналу B, если W/R = 0, то передача осуществляется от B к A. При  $\overline{CS} = 1$  выходы каналов переходят в третье состояние. Задержка передачи информации микросхемой МПП равна 30 нс. В рассматриваемом варианте объединены информационные входы и выходы микросхем ОЗУ одной 8-разрядной шиной так, что, например, к одной линии подключают DI<sub>0</sub> и DO<sub>0</sub> обоих субмодулей, образуя линию DIO<sub>0</sub>, и т. д. Переключение направления передачи DD18 осуществляет сигнал MRDC. В этом же качестве можно использовать сигнал DBIN с выхода микропроцес сора KP580BM80A, предварительно инвертировав его

Особенностью рассматриваемого блока ОЗУ является при-



Рис 3.3. Блок статического ОЗУ с интерфейсом И41 на микросхемах памяти с байтовой организацией

менение программируемого адресного устройства DD17 Оно представляет собой схему сравнения двух трехразрядных кодов Опорный код.  $B_2B_1B_0$ , устанавливаемый перемычками S1 — S3, является адресом данного блока ОЗУ. При совпадении кода с шины адреса  $A_{15} - A_{13}$  с опорным кодом схема сравнения формирует сигнал разрешения для регистров DD20, DD21 и магистрального приемопередатчика DD18. По этому сигналу код адреса  $A_{11} - A_0$  лоступает на адресные входы модуля O3У, а его информационные входы и выходы коммутируются на шину данных. При отсутствии сигнала разрешения на входе DD17 модуль O3У отключен от шины адреса и шины данных.

Пример построения блока ОЗУ с 16-разрядной шиной дан ных, ориентированного на интерфейс И41, приведен на рис. 3.3. Модуль ОЗУ состоит из двух банков памяти емкостью 2К байт каждый. Банк L (DD1) хранит младшие байты, банк H (DD2) старшие байты. Информационные выводы DD1 подключены к младшим линиям D<sub>0</sub> — D<sub>7</sub> шины данных, а выводы DD2 — к старшим D<sub>8</sub> — D<sub>15</sub>.

Управление доступом к банкам и режимом их работы осуществляют сигналами MRDC, MWTC, BHE, A<sub>0</sub> в соответствии с табл. 3.1. Блок ОЗУ, как следует из таблицы, выполняет операции записи и считывания как 16-разрядного слова, так и любого из его двух байтов. Сигналы выбора банков формируют логические элементы DD5.1 и DD5.2 в зависимости от значения сигналов A<sub>0</sub>, BHE и при наличии сигнала разрешения, снимае мого с выхода дешифратора DD3 в режиме обращения к O3У когда код A<sub>15</sub> — A<sub>12</sub> соответствует выделенной для блока O3У области адресного пространства

| BHE     | Au | AILT AI | AWTO  | MRDC  | Режины                 |  |  |
|---------|----|---------|-------|-------|------------------------|--|--|
| 0       | 0, | A       | 0     | i k   | Зались слова           |  |  |
| 0:      | 0  | A       | ₿ E - | 0.    | Чтение слова           |  |  |
| - E - 1 | 0  | A       | 0     | L R   | Запись L-байта         |  |  |
| - E - 1 | 0  | A       | 1     | 6     | Чтение L.байта         |  |  |
| 0       | L  | A       | 0     | E .   | Запись Н-байта         |  |  |
| 0       | L  | A       | 1 1   | 0     | Чтение Н-байта         |  |  |
| X       | х  | X       | 1     | E I - | Блокировка (Отключено) |  |  |

Таблица З.І. Режимы блока ОЗУ

Поскольку модуль ОЗУ реализован на микросхемах памяти тактируемого типа К537.РУ8, необходимо сигналы выбора банков формировать в форме импульса при каждом обращении к ОЗУ С этой целью использованы сигналы MRDC и MWTC, объединенные логическим элементом DD4, которые стробируют выход DD3 в каждом цикле обращения к намяти для записи или считывания информации.

Микросхемы К537РУ8, как и К537РУ9, РУ10, КМ581РУ5, имеют вход ОЕ для сигнала считывания. Поэтому при использовании указанных микросхем памяти отсутствует необходимость в логике управления режимом записи и считывания: сигнал записи MWTC подается на вход W/R, а сигнал считывания MRDC на вход OE.

На рис. 3.3 не показаны буферы шин адреса и давных, но предполагается, что шины буферизованы. В качестве буферных регистров адреса для мультиплексирования адресной магистрали микропроцессора КМ&10ВМ86 используют микросхены КР1810ИР82 или КР1810ИР83 (с инверсимми выходами), а также аналогичные им регистры серии К580, показание на рис. 3.1.

Для буферизации, шины данных применяют инкросжемы КР1810ВА86 или КР1810ВА87, а также аналогичные им магистральные формирователи серии К580.

Пример включения микросхемы магистрального формирователя в шину данных показан на рис. 3.2. Для 16-разрядной шины данных требуются две такие микросхемы.

При использовании микросхем памяти, не имеющих специального входа для сигнала считывания, несколько усложняется, схема устройства управления. Вариант построения блока Q3У на таких микросхемах приведен на рис. 3.4.

Модуль ОЗУ на микросхемах. КР537РУЗ состоит из двух банков памяти, информационные входы и выходы которых соединены с 16-разрядной шиной данных через микросхемы К589АП16, (по две на каждый банк). Принципиальная схема подключения



Рис 3.4 Блок статического ОЗУ с интерфейсом И41 на микросхемах памяти с одноразрядной организацией

указанного шиниого формирователя к ОЗУ и к магистрали показана на рис. 3.1

Селектор адреса DD17 и логические элементы DD18.1 — DD18.3 при обращении к блоку O3У формируют сигнал выбора для микросхем памяти и буферов шины данных DD21 — DD24 Причем сигнал выбора для модуля O3У стробирован сигналами MRDC или MWTC, что обусловлено принадлежностью микроскемы КР537РУЗ к брулле микроскем ламяти тактируемого типа

Сигналы управления режимом записи и считывания для микросхем ОЗУ формируют логические элементы DD19, а для буферов ШД логические элементы DD20, обеспечивая работу блока <u>ОЗУ</u> в соответствии с табл. 3.1. В режиме записи сигнал MWTC = 0 поступает на входы W/R либо обоих банков памяти через элементы <u>DD19</u>, либо одного из них в зависимости от значекия сигналов <u>BHE</u>, A<sub>0</sub>. Одновременно элементы DD20 формируют сигнал W/R = 1 для буферов ШД, одного или обоих, которым обеспечивается направление передачи информации от канала DB к каналу DO, т е. из шины данных в модуль ОЗУ.

В режиме считывания сигнал <u>MWTC</u> = 1 через элементы DD19 открывает для чтения данных оба банка памяти. Однако в ШД информация может поступить голько <u>через</u> те буферы, которые будут иметь на входах W/R сигнал MRDC = 0, обеспечивающий направление передачи от канала DI к каналу DB, т е с выходов модуля O3У в шину даиных Этот разрешающий считывание данных в ШД сигнал формируют элементы DD20.2 и DD20.4 в зависимости от значений сигналов BHE, A<sub>0</sub>.

При отсутствии обращения к блоку ОЗУ, когда сигналы на входах CS микросхем памяти и буферов ШД имеют неактивное значение, равное логической 1, блок ОЗУ отключен от магистрали.

Перейдем к рассмотрению особенностей построения блоков ОЗУ при использовании магистрали МПИ. Вариант реализации блока статического ОЗУ на микросхемах памяти тактируемого типа К537РУЗ приведен на рис 3.5.

Модуль ОЗУ построен по структурной схеме с двумя байтовыми банками: L-банка DD1 — DD8 и H-банка DD9 — DD16.

Банк состоит из восьми микросхем, у каждой из которых объединены информационный вход DI и выход DO одной линией. Таким образом у банков образовано по восемь совмещенных входов-выходов DIO, которые соединены с соответствующими линиями шины данных. Заметим, что применение микросхем памяти типа К537РУ8, РУ9, РУ10, имеющих байтовые совмещенные информационные входы-выходы, существенно упрощает схему блока ОЗУ и уменьшает число микросхем в нем. Кроме того, указанные микросхемы имеют вход для сигнала чтения, что позволяет использовать более простую схему управления режимами работы модуля ОЗУ

Одноименные адресные входы банков объединены и выведены на шину адреса. Три старших разряда адресиого кода A<sub>13</sub>A<sub>14</sub>A<sub>15</sub> использованы для адресации блока ОЗУ. Они подведены к адресному устройству (селектору адреса) DD17, назначение и работа которого были рассмотрены ранее.

Для выбора режима работы с банками служат сигналы  $A_0$  и WTBT, а режим записи и считывания задают сигналом <u>DOUT</u> при выполнении условия обращения к блоку ОЗУ, когда на выходе DD17, фиксированном перемычкой S1, появляется сигнал с уровнем логического 0.

Логика управления реализована на элементах DD18, DD19 Ключ DD26 нормально открыт для сигналов выбора банков. Он закрывается только при отключении или сбоях питания и формирует на своих выходах сигналы с уровнем логической 1, запрещающие доступ к банкам. Этот ключ вместе с устройством подключения буферного источника питания GB1 к микросхемам памяти обеспечивают сохранение информации в банках при отключении питания. Следует обратить внимание на то, что буферный источник питания через диод VD3 подключен к выводам питания всех микросхем памяти н ключа DD26. При пропадании напряжения 5 В диод VD3 открывается и указанные микросхемы оказываются под напряжением GB1, достаточным для сохранения информации

Рассмотрим работу модуля ОЗУ в различных режимах



Рис 3.5. Блок статического ОЗУ с интерфейсом МПИ

При активном значении сигнала WTBT реализуется режим работы с байтами, а выбор банка осуществляют сигналом А₀; при 0 открывается доступ к L-банку, при 1 к H-банку. Если сигнал WTBT принимает неактивное значение, то независимо от уровня сигнала А₀ открывается доступ к обоим банкам для записи или считывания 16-разрядного слова.

Для записи необходимо иметь активное значение сигнала DOUT, который элементом DD19.1 передается на входы W/R обоих банков. <u>Считывание</u> осуществляется при неактивном значении сигнала DOUT.

Сопряжение адресвой шины и шины данных с общей шиной «Данные-Адрес» осуществляют регистры DD20, DD21 к магистральные формирователи DD22, DD23. Буфер DD24 необходим для повышения нагрузочной способности линий управления. С выходов DD24 снимают буферизованные сигналы управления функциональными узлами блока ОЗУ.

Взаимодействие общей шины с внутримодульными осуществляется следующим образом. Код адреса фиксируется в регистрах DD20, DD21, имеющих <u>разрешающие</u> уровни сигналовна входах СЕ и ОЕ. Сигнал BSY формирует микропроцессор K1801BM1 на весь цикл обращения к памяти.

Возможен вариант подключения входа ОЕ к точке с нулевым потенциалом. В таком случае выход регистра постоянно открыт для считывания.

К выходам регистров подключаются линии шины адреса, по которым передаются сигналы кода адреса банков памяти  $A_{1}$  —  $A_{12}$ , блока памяти  $A_{13}$  —  $A_{15}$ , выбора банка памяти  $A_0$ .

Данные в общей шине для записи их в память появляются после кода адреса и поступают на входы как регистров, так и буферов ШД. Входы регистров в это время закрыты активным значением сигнала SYNC, так что воздействие данные оказывают только на входы буферов DD22, DD23. Направление передачи буферов определяет сигнал DIN, который при записи имеет уровень логической 1. Следовательно, данные передаются от канала А в канал В и далее в линии ШД. В <u>режиме</u> считываняя данных нз модуля ОЗУ в общую шину сигнал DIN с активным значением переключает направление передачи буферов от канала В к каналу А. Буферы открыты при обращении микропроцессора к блоку ОЗУ, когда сигнал DIN и ли DOUT имеет активные значения и в результате формируют с помощью элементов DD25.1 и DD25.2 сигнал доступа к буферам.

Буфер DD24 работает в режиме передачи от канала A к каналу B благодаря подключению к его входу W/R напряжения высокого уровня. Однако этот режим реализуется только при обращении микропроцессора к блоку O3V, когда сигнал <u>BSY</u>, действующий на вход CS буфера, принимает активное значение. 86



9 Рис 3.6. Блок статического ОЗУ с контроллером К588ВГ2

Другой вариант построения блока статического ОЗУ, ориентированного на интерфейс МПИ, представлен принципиальной схемой на рис. 3.6 [3, 60]. Модуль памяти реализован на микросхемах К537РУЗ в виде двух банков памяти: L-банка DD6 — DD13 и H-банка DD14 — DD21 емкостью 4К байт каждый.

По структурной схеме данный модуль ОЗУ аналогичен рассмотренному выше (см. рис. 3.5). Его отличительной особенностью является наличие контроллера ЗУ (КЗУ) DD23, реализованного на микросхеме К588ВГ2 и предназначенного для выполнения всех управляющих функций.

Другая особенность рассматриваемой схемы блока ОЗУ состоит в применении КМДП-микросхем серии К588 для реализации всех интерфейсных функций. Внутримодульную шину адреса формируют регистры К588ИРІ DDI, DD2. Устройство и режимы работы этого регистра описаны в § 2.3 (см. рис 2.19)

Шину данных формируют два магистральных приемопередатчика (МПП) K588BA1 DD4, DD5. Направление передач<u>и о</u>пределяют сигналы на входах AB и BA, например, при  $\overline{AB} = 0$ ,  $\overline{BA} = 1$  передача данных осуществляется от канала A к кана лу B. При  $\overline{AB} = \overline{BA} = 1$  выходы каналов переходят в третье (высокоомное) состояние.

Контроллер ЗУ предназначен для организации блоков ОЗУ и ПЗУ емкостью не менее 4К слов. В структуру КЗУ входит адресное устройство, программируемое перемычками S1 — S3 Сигналы DA<sub>13</sub> — DA<sub>15</sub> с общей шины адресуют КЗУ При их совпадении с адресным кодом, установленным перемычками, КЗУ осуществляет один из четырех режимов обмена магистрали с блоком ОЗУ в зависимости от значений сигналов управления и сигнала DA<sub>0</sub> адреса байта (табл. 3.2).

Для согласования КЗУ с микросхемами памяти по временным параметрам служат RC-цепи, подключаемые к выводам RCR и RCW. Постоянные времени <u>RC-цепей</u> определяют задержку выдачи сигнала готовности данных RPLY относительно сигналов CSO и CSI при считывании (RIC1) и записи (R2C2) данных в O3У. Параметры <u>RC-цепей</u> подбирают так, чтобы при DIN =0 ответный сигнал RPLY не опережал выдачу данных

| SYNC | DOIT | DIN | WTBT | DAn | CSO | CSI | Режим ОЗУ      |
|------|------|-----|------|-----|-----|-----|----------------|
| 0    | I    | 0   | 1    | X   | 0   | 0   | Чтение слова   |
| 0    | 0    | 1   | 1    | X   | 0   | 0   | Запись слова   |
| 0    | 0    | 1   | 0    | 0   | 0   | 1   | Запись L.байта |
| 0    | 0    | 1   | 0    | 1   | 1   | 0   | Запись Н.байта |
| 1    | х    | x   | х    | x   | 1   | 1   | Б.токировка    |

Таблица 3.2 Таблица истянности КЗУ

88

из ОЗУ на ШД, а при  $\overline{DOUT} = 0$  обеспечивал запись данных в модуль ОЗУ.

Шина «Данные-Адрес» разделена регистрами DDI, DD2 и МПП DD4, DD5 на ША и ШД, к которым подключены соответствующие выводы модуля ОЗУ.

Буферизованные линии управляющих сигналов BSYNC, BDIN, BDOUT, WTBT подключены к K3У, ко входам CS регистров (BSYNC) и W/R микросхем памяти (BDOUT) и ко входам управления направлением передачи МПП (BDIN, BDOUT).

В режиме обращения к блоку <u>O3У на</u>шину «Данные-Адрес» подают код адреса. По сигналу BSYNC=0 его 12 разрядов  $A_{12} - A_1$  записываются в регистры DD1, DD2, а старшие разряды  $A_{15} - A_{13}$  и разряд  $A_0$  поступают в K3У, где происходит сравнение поступившего кода с установленным перемычками S1 — S3. При совпадении кодов и в зависимости <u>от</u> сигналов управления формируются сигналы выбора CS0 и CS1 в соответствии с табл. 3.2, открывающие доступ для записи или считывания к модулю O3У и МПП DD4, DD5.

В режиме считывания при формировании сигналов выбора напряжение на выводе RCR снижается до низкого уровня и затем нарастает с постоянной времени RIC1. При достижении этим напряжением определенного уровня и с приходом сигнала BDIN=0 K3У формирует сигнал RPLY сопровождения данных, считываемых из ОЗУ в магистраль <u>через МПП DD4</u>, DD5, открытые в маправлении BA сигналом BDIN. При BDIN = 1 сигналы CS0 и CS1 переходят в состояние 1 и выборка ОЗУ прекращается. Выходы МПП переходят в третье состояние.

В режиме записи по сигналу BDOUT = 0 и в зависимости от состояния сигналов WTBT и  $DA_0$  (табл. 3.2) формируются сигналы выбора CSO, CSI. Через открытые в направлении AB МПП DD4, DD5 данные поступают в O3У. При этом напряжение на выводе RCW становится низкого уровня и затем нарастает с постоянной времени R2C2, вызывая с определенной задержкой сигнал RPLY = 0 При BDOUT = 1 выборка O3У прекращается.

Цикл обращения к ОЗУ завершается при переходе сигнала BSYNC в 1. При этом входной регистр КЗУ открывается для приема кода адреса в следующем цикле обращения к блоку ОЗУ

Применение контроллеров К588ВГ2 позволяет подключать к системной магистрали до восьми блоков, аналогичных рассмотренному, что обеспечивает расширение емкости памяти до 64К байт

Для сохранения данных при отключении напряжения питания в блоке ОЗУ предусмотрены буферный источник напряжения GBI и устройство его подключения (VD1, VD2, R3, R4) к микросхемам ламяти при сбоях в питании. Принципиальная схема устройства несколько отличается от приведенной на рис. 35, но по принципу действия они ацалогичны.

Рассмотренные варианты построения блоков ОЗУ показывают, что для сопряжения модуля ОЗУ с магистралью требуются дополнительные микросхемы, которые выполняют функции мультиплексирования линий магистрали, дешифрации кодов адреса, увеличения нагрузочной способности шин. Кроме того, сам тодуль ОЗУ состоит из большого числа микросхем памяти, осо бенно при использовании микросхем с одноразрядной организа цией

Все это обусловливает значительные размеры блоков памяти, трудоемкость их изготовления и затрудняет разработку компактных встраиваемых электронных устройств с памятью.

Значительную часть указанных затруднений можно устранить, применив однокристальные блоки памяти со встроенным интерфейсом, к которым относится БИС статического ОЗУ К1809РУ1 емкостью IK×16 бит (рис 3.7) Краткая характеристика БИС приведена в § 2.1

Мякросхема К1809РУ1 ориентирована на магистраль МПИ я имеет 16 выводов для подключения линий шины «Данные-Адрес» и пять выводов для сигналов управления. Встроенный интерфейс обеспечивает возможность подключения к системной магистрали ИПИ до 32 БИС без дополнительных микросхем [21]

По своей структуре и функциональным возможностям БИС аталогична блокам ОЗУ приведенным на рис 3.5 и 3.6. Выводы



Рис 37 Микросхема статического ОЗУ К1809РУ1 емкостью 1К×6 бит

в скема подключения к изгистрали МПИ 6 - ореженийе дивграниы при счи тивалии в в режиме записи г в режиме «Считывание модификация защись»  $ADIO_0 - ADIO_{15}$  в режиме адресации имеют следующее назна чение:  $A_0 - A_9$  - код адреса ячеек памяти накопителя БИС,  $A_{10}$  - бит блокировки записи: при 0 доступ к накопителю БИС для записи данных закрыт, при 1 - разрешен;  $A_{15}$  - бит адреса байта: при 0 адресуется младший байт, при 1 - старший;  $A_{11} - A_{15}$  - код адреса БИС.

Программирование адреса БИС осуществляют обращением к регистру адресного устройства по адресу FFFO и записи в него 5-разрядного кода. В дальнейшем при обращении к БИС в адресном устройстве компаратор сравнивает принятый код  $A_{15} - A_{11}$  и записанный в регистр адрес и при их совпадении разрешает режим обмена с магистралью. На рис. 3.7 представлены временные диаграммы, иллюстрирующие работу БИС в режимах считывания (рис. 3.7, 6), записи байта (рис. 3.7, с), при записи слова сигнал WTBT имеет уровень 1, считывания слова и записи байта (рис. 3.7, с). Во всех <u>режимах</u> код адреса удерживают на шине относительно сигнала SYNC на время не менее 20 нс для его надежной записи в адресный регистр БИС.

В режиме считывания (рис. 3.7, б) выбранное из накопителя слово сохраняется выходным регистром и выдается на шину по сигналу DIN в сопровождении сигнала RPLY. В режиме записи слова или байта данные поступают в накопитель при наличии разрешения на запись, которое содержит адресный сигнал A<sub>10</sub>. При отсутствии такого разрешения БИС работает только в режиме считывания аналогично ПЗУ.

Микросхема К1809РУ1 электрически и конструктивно совместима с микропроцессорными БИС серии К1801. На основе названных БИС построены одноплатные микроЭВМ нового поколения семейства «Электроника C5», в частности микроконтроллеры «Электроника C5-41», в которых на основе микросхемы К1809РУІ реализовано статическое ОЗУ емкостью (8...12) КХ ×16 бит. Совместно с данной микросхемой в микроконтроллерах применены микросхемы К1809РЕ1 масочного ПЗУ емкостью 4К×16 бит и К573РФЗ (см. § 4.1, 4.3). Положительной особенностью названных микросхем является то, что они, имея встроенный интерфейс, могут быть непосредственно подключены к системной магистрали и позволяют, таким образом, формировать блоки ОЗУ н ПЗУ требуемой емкости без дополнительных функциональных узлов.

## 3.2. Построение динамических ОЗУ

Для построения блоков оперативной памяти динамического типа применяют микросхемы динамических ОЗУ (см. § 2.2).

Эти микросхемы имеют ряд особенностей, существенно от-



Рис 38 Блок динамического ОЗУ

личающих их от микросхем статических ОЗУ: мультиплексирование адресного кода, более сложные временные диаграммы сигналов управления, регенерация хранимой информации, значительное рассогласование входов н выходов с ТТЛ-линиями по сопротивлению и возможность появления помех типа отражений, к которым динамические микросхемы весьма чувствительны

Указанные особенности микросхем памяти оказывают значительное влияние на структурные н схемотехнические решения при построении динамических ОЗУ, а также на режимы их работы. Как и для статических ОЗУ, задача реализации динами ческих ОЗУ многовариантна. Поэтому способы ее решения рассмотрим на некоторых примерах, обратив основное внимание на применение микросхем памяти и режимы управления их работой.

На рис 3.8 приведена структурная схема блока динамического ОЗУ емкостью 64К байт для 8-разрядных микропроцессорных устройств, реализованных на комплекте БИС К580 Варианты реализации функциональных узлов приведены на рис. 3.9 и 3.10 [30].

Модуль памяти (рис. 3.9) DD1 DD8 построен на микросхемах К565РУ5 путем соединения их одноименных выводов кроме информационных. Сигиалы <u>RAS и CAS</u> формирует контроллер ОЗУ CLC (рис. 3.10), сигнал MWTC с шины управления подан на вход W/R. Для снижения степени рассогласования с TTЛ управляющими элементами целесообразио подключение всех адресных и управляющих линий ко входам микросхем памяти осуществлять через резисторы с сопротивлением 20 30 Ом [28]







Рис 340 Контроллер динамического ОЗУ

Буфер выходных данных DD13 реализован на параллельном 8-разрядном регистре K580ИР82. Он может быть построен также на других регистровых микросхемах (табл. 214), магистраль ных приемопередатчиках, например K580BA86, или многорежимных буферных регистрах. Сигналы управления регистром выра, батывает контроллер O3У. Сигнал OE управляет выходами при 0 они. открыты для считывания, при 1 — переходят в третье состояние, сигнал CE управляет входами: при 1 они открыты для записи, при 0 — блокированы.

В рассматриваемом варианте реализации блока ОЗУ буферизованы только его выходные линии. Возможны и другие способы соединения модуля ОЗУ с шяной данных: через буферы входных и выходных информационных линий, как на рис. 3.1 или через магистральный приемопередатчик типа K580BA86 с объединением информационных входа и выхода каждой микросхемы, как на рис. 3.2 и 3.5.

Мультиплексор DD9 — DD12 обеспечивает последовательный во времени ввод адресного кода строк  $A_x$  { $A_0 - A_7$ } и столбцов  $A_y$  { $A_6 - A_{15}$ } в модуль O3У. Адресные сигналы поступают на входы K1, K2 и K5, K6 мультиплексорных микросхем (см рис 3.9) и коммутируются на выходы под управлением сигнала на входе  $A(A_y/A_x)$  при наличии на другом управляющем входе B(REF) уровня 0. Условия коммутации адресных сигналов: при  $A_y/A_x = 0$  к выходам подключаются каналы K1, K5 и, следова

тельно, на адресные входы ОЗУ поступает адрес строк  $A_x$ , **при**  $A_y/A_x = 1$  к выходам подключаются каналы K2, K6 и к ОЗУ направляется код адреса столбцов  $A_x$ .

Сигналы управления: REF — признак режима регемерации и A<sub>Y</sub>/A<sub>X</sub> — сигнал мультиплексирования каналов, вырабатывает контроллер.

В режиме регенерации REF = 1 и мультиллексор коммутирует на выходы при изменении  $A_Y/A_x$  каналы K3, K4 и K7, K8. Но так как указанные каналы попарно соединены, то на результат коммутации сигнал  $A_Y/A_x$  влияния не оказывает: при любых его значениях на выходы мультиплексора поступают адреса регенерации  $A_R$ , вырабатываемые счетчиком DD19, DD20 контроллера. Эти сигналы адресуют только строки, сигналы адреса столбцов в этом режиме на адресных входах отсутствуют.

Для реализации мультиплексора, кроме К155КП2, могут быть использованы микросхемы К555КП2, К555КП12 без изменения разводки посадочного места на печатной плате.

Контроллер ОЗУ (рис. 3.10) включает узел DD14 — DD18 формирования сигналов управления модулем ОЗУ и мультиплексором адреса и узел DD19, DD20 формирования 8-разрядного адресного кода регенерации A<sub>R0</sub> — A<sub>R7</sub>.

Временные диаграммы формируемых контроллеров сигналов управления приведены на рис. 3.11. Эадающими являются выходные сигналы генераторной микросхемы КР580ГФ24 OSC с частотой 18 МГц и Ф2 с периодом 0,5 мкс. Входными для контроллера являются также сигналы <u>MWTC</u>, <u>MRDC</u>, <u>INHI</u>, которые поступают из шины управления.

Сигналы управления мультиплексором формируют регистр DD14 и схема управления режимом обращения к модулю O3У на элементах DD15, DD16. При обращения к O3У на выходе DD16.1 появляется 1, которая по переднему фронту Ф2 записывается в DD15.1 и появляется на выходе этого триггера. Второй триггер DD15.2 сохраняет свое нулевое состояние, имея на инверсном выходе 1. Поэтому выход DD16.4 переходит в состояние 0 и обеспе-



Рис 311 Временные днаграммы сигналов управления

чивает REF = 0, при котором мультиплексор коммутирует на адрес ные входы ОЗУ адреса строк Ах и столбцов Ау. Ввод этих адресов в микросхему производят сигналы RAS и CAS, которые формируют регистр DDI4 и дополнительные логические элементы DDI7.1 DDI8.1 так, чтобы было выполнено требование по временному сдвигу сигнала CAS относительно RAS.

Одногременно с указанными сигналами в режиме обращения формируются сигналы CE = 1 и OE = 0 (при MRDC = 0), обеспечивающие обмен модуля ОЗУ с <u>ши</u>ной через буферный регистр DD13 для записи в O3У (CE = 1,  $\overline{OE}$  = 1 н выход DD13 отключен) и считывания из ОЗУ (CE=1, OE=0) информации В конце цикла обращения к ОЗУ, как видно из рис. 3.11, конт

роллер формирует сигнал регенерации REF = I, который через мультиплексор коммутирует выходы счетчика DD19, DD20 на адресные входы ОЗУ и таким образом обеспечивает регенерацию информации в ЭП адресуемой строки каждой микросхемы ламяти По сжончании сигнала REF счетчик адреса регенерации переходит в следующее состояние и формирует на своих выходах адрес оче редной строки

При отсутствии обращения к Q3У (MWTC=1, MRDC=1) или при наличии сигнала запрета INHI =0 блок O3У работает только в режиме регенерации С каждым тактом Ф2 контроллер формирует сигналы RAS, REF и код адреса очередной строки и инициирует работу модуля памяти по циклу регенерации

Процесс регенерации прекращается при обрашении микропроцессора к ОЗУ, и контроллер обрабатывает требование микропроцессора В конце цикла обращения контроллер переводит блок ОЗУ в режим регенерации, продолжая этот процесс с адреса на котором он был прерван

Регенерация, осуществляемая по описанному алгоритму, полу чила название «прозрачной»: она незаметна для микропроцессора и не снижает скорость обработки программ. Условием для приме нения этого способа является наличие временных интервалов между двумя любыми обращениями микропроцессора к ОЗУ, до статочных для проведения одного цикла регенерации, т. е. регене рации при обращении к модулю ОЗУ по одному адресу.

Алгоритмом работы микропроцессора К580ВМ80 такие интер валы предусмотрены: минимальный цнкл между двумя любыми обращениями к памяти состоит из трех тактовых периодов сигнала Ф2 При номинальной частоте генератора К580ГФ24 18 МГц длительность такта Ф2 равна 0,5 мкс. Если учесть, что на выпол нение одного цикла регенерации микросхем К565РУ5 Б-Д требу ется время 230 460 нс (табл 2.13), то очевидна возможность реализации в микропроцессорных устройствах на комплекте БИС К580 способа «прозрачной» регенерации. При этом способе время полной регенерации ОЗУ емкостью



Рис 3.12 Блок динамического ОЗУ с интерфейсом И41

64К слов, рассчитанное с учетом того, что для регенерации по одному адресу в системе отведен один такт Ф2, составит около 200 мкс Это время много меньше допустимого периода регенера ции микросхем серии K565.

Структурная схема блока ОЗУ емкостью 128К байт на мнкросхемах К565РУ5 приведена на рис. 3.12, второй вариант реализа ции контроллера СLM показан на рис. 3.13 [31] Структура ОЗУ ориентирована на 16-разрядный интерфейс И41 и включает два байтовых банка данных, имеющих раздельные входы управления режимом W/R, два буферных регистра с раздельным управлением разрешения выхода OE, мультиплексор н контроллер Мульти плексор, субмодули ОЗУ (банки), буферные регистры аналогичны приведенным на рис. 3.9 Контроллер (рис. 3.13) отличается от варианта на рис. 3.10, прежде всего, наличием формирователей сигналов управления банками ОЗУ W/RL и W/RH и буферными регистрами OEL и OEH

При реализации контроллера по схеме на рис 3 13 необходимо предусмотреть сопряжение выходов К561ИЕ10 со входами ТТЛ микросхем с помощью буферного каскада, например, на микросхемах К561ПУ4.

Несколько иначе построены схемы формирования и других управляющих сигналов, но эти отличия не имеют принципиального значения, а введены для расширения конкретных примеров схемотехнических решений по реализации контроллера ОЗУ 4-499 97



Рис 3 13 Принципнальная схема контроллера динамического ОЗУ (рис 3 12)

Другой вариант контроллера с аналогичными функциями рассмотрен в [29].

Режим обращения к модулю ОЗУ инициируется сигналами ENRAM (разрешения обращения к ОЗУ), ALEI (задержанный на 60 нс сигнал ALE — строб съема адреса с шины адреса системной магистрали), AMWC (сигнал упреждающего на такт управления режимом записи данных в ОЗУ, по значению аналогичный сигналу MWTC, MRDC (сигнал управления чтением данных из ОЗУ).

Тактовые импульсы CLK генерирует микросхема КРІ810ГФ44 с частотой 5 МГц.

Режим адресации ячеек модуля определяют сигналы: внешние CLK, ALEI и формируемые контроллером RAS, Ay/Ax, CAS, REF (рис. 3.14). С приходом ALEI триггеры DD2.1, DD2.2 устанавливаются в единичное состояние, что вызывает появление на инверсном выходе DD2.2 REF=0 (запрет регенерации) и на выходе DD1.6 сигнала Ay/Ax=0 передачи младшего байта A1-Ав адреса на адресные входы модуля ОЗУ. Заметим, что адресный код А0-А19 н сигнал ВНЕ записаны в буферные регистры системной магистрали и выставлены на линии ША и ШУ стробом ALE. В контроллере (рис. 3.13) сигнал ALEI выполняет также роль строба: он однозначно устанавливает состояние триггеров DD2, фиксируя тем самым начало цикла обмена Снятие сигнала ALEI разблокирует триггеры DD2, в результате на выходе DD2.1, ра ботающего в счетном режиме, формируется сигнал RAS, обеспе чивающий ввод в модуль ОЗУ адреса строк Ax (A1 — A8). На рис. 3 14 показано время удержания адреса Ах относительно сигнала RAS, оно обеспечено элементом DD1.6 и мультиплексором DD9 -



Рис 314 Временные диаграммы сигналов управления ди намическим ОЗУ (рис 312)

DD12 (см рис 3.9) и достаточно для фиксации адреса строк на бходном регистре в структуре микросхем памяти С переключе нием DD2 I меняется состояние сигнала  $A_Y/A_\lambda$  на I н на выходы мультиплексора передается адрес столбца  $A_Y A_A - A_{16}$  который вводится в модуль ОЗУ стробирующим сигналом CAS, формируемым элементом DD3.2

С окончанием сигнала CAS триггер DD2.2 переходит в нулевое состояние, на его инверсном выходе формируется сигнал регенерации REF, переключающий на выходы мультиплексора адресный код регенерации  $A_{R1} - A_{R8}$ , формируемый счетчиком DD6 с частотой следования сигналов RAS. При регенерации вводится только адрес строк, поэтому в этом режиме CAS = 1

Режим доступа <u>к модулю ОЗУ и</u> управления его работой обеспечивают сигналы BHE,  $A_0$ , AMWC, которые формируют на выходах DD4.1 и DD4.2 сигналы управления режимом банков ОЗУ для записи-считывания старшего байта W/RH, младшего байта  $\widehat{W}/RL$  или двухбайтового слова  $\widehat{W}/RH = \widehat{W}/RL$ 

Сигналы ENRAM, MRDC вместе с ВНЕ, А<sub>0</sub> формируют на вы ходах DD5 1, DD5.2 сигналы управления выходами буферных регистров для вывода в режиме чтения байта из L-банка OEL=0, из H-банка OEH=0 или обоих банков одновременно OEL= = OEH=0 Условием выполнения режима обмена является нали чие сигнала CE разрешения входа буферного регистра Этот сигнал формирует DD5.3 из сигнала CAS

Как видим, выбор банка памяти производят сигналы W/R Часто с этой целью используют сигналы CAS, формируя их деши фратором старших разрядов адресного кода [30]

При отсутствии обращения к модулю ОЗУ он работает только в режиме регенерации. Контроллер формирует адреса регенера ции, сигналы RAS, REF и Ау/Ау

Регенерация будет производиться до очередного обращения к блоку ОЗУ, когда ALE1 = 1 и контроллер без задержки переходит в режим обмена Следовательно, в рассмотренном модуле ОЗУ реализован способ «прозрачной» регенерации

Использование данного способа существенно затруднено при повышении тактовой частоты микропроцессора или при конвейер ной организации выборки команд, когда длительность интервалов между обращениями к памяти недостаточна для цикла регенера ции В таких случаях реализуют алгоритмы «пакетной» или чаще всего распределенной регенерации Алгоритм «пакетной» регене рации предполатает выполнение полной регенерации микросхемы в непрерывном интервале времени и вывод, таким образом, бло ка ОЗУ из режима обмена в каждый период регенерации на зна чительное время В этом состоит основной недостаток способа [28]

Способ распределенной регенерации состоит в том, что после обращения для регенерации по одному адресу микросхема откры 100

вается для режима обмена. Таким образом повышается степень «прозрачности» блока ОЗУ для микропроцессора.

Рассмотренные варианты построения динамических ОЗУ показывают, что наиболее трудоемкой является задача разработки контроллеров. Поэтому целесообразно использовать уже готовые устройства, изготовляемые в виде микросхем. В частности, для управления динамическим ОЗУ, реализованном на микросхемах К565РУЗ, К565РУ6, предназначен контроллер К1801ВГ11-030 Эта микросхема выполняет операции приема, хранения и преобразования адреса для ОЗУ, регенерации модуля ОЗУ, осуществляет связь модуля ОЗУ и буфера данных с магистралью МПИ (типа «Электронька-60») [61].

Некоторое упрощение контроллеров обеспечивают встраиваемые в кристалл динамического ОЗУ функциональные узлы, обеспечивающие проведение регенерации. В микросхеме К565РУ7 встроенный счетчик генерирует адреса регенерации Для управления этим счетчиком используют режим «CAS-перед RAS» [23] Таким образом, контроллер блока ОЗУ на микросхемах К565РУ7 может быть построен по <u>расс</u>мотренным структурным решениям с регенерацией сигналом RAS путем их некоторого усложнения увеличения разрядности счетчика регенерации и числа каналов мультиплексора [33] Но он может быть построен н по более простой схеме с использованием режима «CAS-перед-RAS» и встроен ного в кристалл К565РУ7 счетчика адресов регенерации

### 3.3. Устройство задержки цифровых сигналов

Микросхемы памяти статического и динамического типа с одноразрядной организацией можно эффективно использовать для выполнения функции задержки цифровых сигналов. Принцип построения такого устройства на микросхемах динамического ОЗУ иллюстрирует рис. 3.15

Собственно элементом задержки является микросхема ОЗУ или несколько микросхем, объединенных для увеличения емкости по правилам, рассмотренным в § 3.1, 3.2. Для обеспечения работы микросхемы памяти необходимы генератор тактовых импульсов, двоичный счетчик и другие узлы для формирования адресных и управляющих сигналов.

Генератор и двоичный счетчик формируют последовательность

Ряс 3 15 Применение динамическо го ОЗУ для задержки цифровых сисналов



адресных кодов с тактовой частотой  $F_u$  и, следовательно, с периодом их следования  $T_u = 1/F_u$ . Синхронно с адресным кодом формируются сигналы управления. Микросхема должна работать в режиме «Считывание-модификация-запись», при котором по одному адресу считывается бит информации и затем производится запись нового бита, поступившего на вход микросхемы (см. § 2.2, рис. 2.9). Таким образом, цифровые сигналы, записанные в накопитель при одном переборе всех адресов 2<sup>m</sup>, где m-разрядность адресного кода, будут считаны из него при следующем переборе адресов. Время заполнения накопителя 2<sup>m</sup> Тц и составляет время задержки цифровых сигналов рассмотренным устройством.

Временем задержки можно управлять, изменяя емкость накопителя и тактовую частоту.

Вариант реализации устройства задержки на микросхемах K565PV6 приведен на рис. 3.16 [36, 37]. Четыре микросхемы памяти DD15 — DD18 объединены в модуль емкостью 64K бит. Модуль может быть запрограммирован на четыре значения времени задержки с помощью дешифратора DD14 двух старших разрядов адресного кода A<sub>15</sub>, A<sub>16</sub> и переключателя SA1.

Формирование адресных сигналов А1 — А16 осуществляет двоичный счетчик DD6 - DD9, причем в зависимости от положения переключателя SA1 два старших разряда могут принимать различные значения: при положении 4 счетчик формирует полный набор комбинаций 16-разрядного адресного кода. В этом режиме дешифратор DD14, имея на своих входах А, В все возможные комбинации сигналов А15, А16, формирует последовательно стробы CAS для всех четырех микросхем памяти. Таким образом, используется вся емкость модуля ОЗУ и тем самым обеспечивается наибольшая длительность задержки сигналов. В другом крайнем положении 1 переключателя адресные сигналы A15, A15 имеют нулевые значения и не участвуют в формировании адресных кодов. Поэтому сигнал выбора микросхемы формируется только на одном выходе дешифратора DDI4 (вывод 7). Следовательно, в формировании длительности задержки участвует только одна микросхема памяти DD15 емкостью 16К бит. Промежуточные положения 3 и 2 переключателя SA1 обеспечивают включение в режим формирования задержки трех и двух микросхем соответственно.

Генератор на элементах DD1.1 и DD1.2 формирует колебания с частотой 4 МГц, которые счетчиком DD2 преобразуются в четыре последовательности импульсов с частотами 2, 1 МГц, 500 и 250 кГц. Последовательность импульсов с частотой 250 кГц является входной для адресного формирователя DD6 — DD9 и формирователя сигнала RAS на R5, C3, C4 и DD4.1, задержанного на 200 нс относительно сигнала тактовой частоты для обеспечения надежной записи адреса в микросхему памяти. При использовании других микросхем в рассматриваемых функциональных узлах необходимо в расчет задержки сигнала RAS принимать требуе-102



õ

мое значение временного параметра (<sub>уа каз</sub> микросхемы памяти (табл. 2.13)

Импульсные последовательности 250 и 500 кГц используются для формирования сигнала W/R (DD4.2, DD3.4, DD4.3) и тактового сигнала для выходного буферного триггера DD17.

Адресный код подводится к микросхемам памяти через мультиплексор DD10 — DD13.1, управляемый сигналами, которые формируют элементы DD3.3 и DD13.2. Вначале в микросхемы памяти вводится адрес строки A<sub>1</sub> — A<sub>7</sub>, сопровождаемый сигналом RAS, затем адрес столбца A<sub>8</sub> — A<sub>14</sub>, сопровождаемый сигналом CAS при активном уровне сигнала RAS. Сигнал CAS здесь является и сигналом выбора микросхемы.

Регенерация содержимого микросхем памяти происходит в каждом цикле обращения. Длительность цикла 4 мкс. Следовательно, адресация всех строк микросхем осуществляется за время 0,5 мс, что значительно меньше максимально допустимого периода регенерации, равного I или 2 мс в зависимости от типа микросхемы (см. табл 2 13).

Возможности рассмотренного устройства по задержке цифровых сигналов определяются положением переключателя SAI и составляют 65.5; 131; 196,6; 262 мс при положениях от 4 до 1 соответственно. Очевидно, эти возможности могут быть легко расши рены увеличением числа микросхем памяти и введением соответствующих изменений в схему контроллера: увеличением разрядности счетчика-формирователя адресов, дешифратора DD14 и числа позиций переключателя SAI

Применение описанного устройства особенно эффективно при необходимости формирования длительных задержек, когда при менение регистровых цепей становится нецелесообразным по ряду причин, в том числе из-за повышенной опасности сбоев. Действительно, для выполнения функций описанного устройства понадобятся регистровые линейки, состоящие из более 65 тыс. разрядов

Среди возможных применений программируемых устройств задержки на микросхемах памяти интерес может представить реа лизация на их основе эффекта реверберации звука [36]

# 3.4. Устройства хранения и индикации кодовых последовательностей

Микросхемы памяти с одноразрядной организацией широко применяют для записи, временного хранения и выдачи для регистрации или индикации кодовых последовательностей.

Принцип действия таких устройств основан на последовательной во времени поразрядной записи кодовой последовательности в накопитель микросхемы при переборе адресов с нулевого до конечного. Записанная информация может сохраняться и затем по требованию выводится так же, как и записывалась, т е. последовательно во времени поразрядно по мере изменения адре сов. В отличие от устройства задержки здесь нет необходимости в режиме «Считывания-модификация-запись», и поэтому снимается ограничение номенклатуры микросхем ОЗУ, пригодных для применения в устройствах

Примером использования микросхемы ОЗУ в качестве буфер ной намяти кодовых последовательностей может служить аналого-цифровое устройство для исследования и регистрации электрических сигналов [38].

Устройство (рис. 3.17) включает аналого-цнфровой преобразователь (АЦП) DAI, DD5- DD8, буферную память DD3, мультиплексор DD4, счетчик-формирователь адресов DD2, генератор тактовых импульсов DD1 Аналого-цнфровой преобразователь реализован по принципу поразрядного уравновешивания [8] на микросхемах компаратора DA1 (К521СА3), регистра последовательного приближения DD5 (К155ИР17), буферного регистра DD7 (К155ТМ7), цифро-аналогового преобразователя (ЦАП) DD6 (К572ПА1).

Микросхема статического ОЗУ имеет емкость 2<sup>т</sup> бит, где тразрядность адресного кода. Генератор и счетчик фор мируют адресные коды в стартстопном или непрерывном режимах Максимальная тактовая частота, с которой может произ водиться дискретизация входного аналогового сигнала U<sub>x</sub>, зави сит от динамических параметров элементов АЦП, главным образом от времени установления ЦАП DD6.

При выборе микросхемы памяти необходимо обеспечить соответствие ее быстродействия тактовой частоте. В [38] использована микросхема К565РУ2 емкостью ІК бит. Вместо нее можно применить любую другую микросхему, например К537РУ3 ем



Рис 3 17 Устройство аналого-цифрового преобразования сигналов с буферной памятью

костью. 4К бит (m = 12), имеющую меньшее энергопотребление и один источник питания Генератор DD1 и счетчик-формирователь адреса DD2 могут быть реализованы по схемам на рис 3.16 с изменением параметров времязадающей цепи генератора для получения нужной тактовой частоты.

Устройство может работать в режимах измерения, хранения измерите**л**ьной информации и ее вывода для индикации или ре **г**истрации в цифровой и аналоговой форме представления

При наличии на входе «Измерение» сигнала с уровнем логической 1 АЦП с. частотой тактовых импульсов выбирает значение напряжения аналогового сигнала U<sub>\*</sub> и преобразует их в 8-разрядный цифровой код, снимаемый с выхода буферного регистра DD7 Микросхема памяти включена параллельно цепи преобразования и находится в режиме записи. Цифровые сигналы с выхода DA1 поступают на вход микросхемы памяти и поразрядно записываются в накопитель по мере изменения адресов. При переборе всех адресов в микросхему емкостью 4К бит можно записать цифровые коды 512 выборок. Эта информация может быть сохранена заданное время при снятии разрешения со входа «Измерение» Микросхема в этом случае находится в режиме считывания, но мультиплексор DD4 при отсутствии сигнала разрешения «Вывод» закрывает ее выход для считывания

В режиме вывода DD3 включена через DD4 в цепь преобразовании считываемых с ее выхода по мере возрастания адресов сигналов в 8-разрядный параллельный код на выходе DD7 и в соответствующий ему аналоговый уровень напряжения на выходе ЦАП DD6 Выходные сигналы можно подать на регистрирующее устройство и индикатор, например на экран осциллографа В ре жиме вывода измерительной информации из накопителя мульти плексор DD4 исключает из цепи преобразования компаратор DA1, и, следовательно, изменения его состояния под воздействием сигнала на входе U<sub>x</sub> не влияют на вывод информации

Время одного измерения равно длительности установления на выходе DD7 цифрового кода, отображающего значение ампли туды выборки входного сигнала U<sub>x</sub> Для формирования кода не обходимы восемь тактов При тактовой частоте 100 кГц время одного измерения равно 80 мкс Следовательно, для измерения сигнала в 512 выборках (точках) необходимо 41 мс

Если в схеме использовать быстродействующие ЦАП, напри мер К111817А1 или ПА2 с временем установления менее 100 нс, компаратор К521СА1, то можно повысить тактовую частоту до 3 МГц и снизить время измерения сигнала в 512 точках до 1,2 мс В таком устройстве могут быть применены микросхемы серий К132, К541 и многие из серии К537

Увеличение емкости буферной памяти можно осуществить соединением нескольких микросхем ОЗУ в модуль и введением в схему управления дешифратора выбора микросхем



Рис. 3.18. Устройство для записи, хранения кодовых последовательностей и вывода их на экран осциялографа

На рис. 3.18 приведена схема устройства (разработка Н. П. Романова), обладающего благодаря наличию в его структуре микросхемы статического ОЗУ DD17 набором практически полезных возможностей. Оно позволяет побитно заносить информацию по требуемому адресу, наблюдать на экране осциллографа содержимое каждого элемента памяти матрицы накопителя, проверять исправность микросхемы памяти способом занесения и считывания 0 и 1 в весь массив элементов памяти, построчно или по столбцам в разных вариантах сочетаний темных (ЭП заполнены 0) и светлых (ЭП заполнены 1) вертикальных и горизонтальных полос в матрице с наблюдением этой картины на
экраяе осциллографа. Причем для отображения информации может быть использован серийный осциллограф любого типа, имеющий вход Z.

Устройство можно использовать в качестве составной части программатора микросхем ППЗУ и РПЗУ, так как оно позволяет в режиме ручного набора программировать матрицу ОЗУ с контролем на экране осциллографа всей матрицы и с возможностью побитной коррекции информации. Затем эта информация в режиме побитного считывания должна быть передана на вход микросхемы ППЗУ или РПЗУ

Следует обратить внимание и на возможность использования устройства в учебных целях для построення макетов для изучения микросхем памяти и режимов их работы.

В структурную схему устройства включены генератор DD1 и счетчик-формирователь адресных кодов DD2—DD13, наборное поле SA0— SA11 для ручного набора адреса, формирователь сигнала записи DD14—DD16, подаваемый на вход W/R замыкајнем кнопки SB2, два ЦАП DA1, DA2, формирующие напряжения развертки для осциллографа. Онн могут быть реализованы на резисторах, соединенных в матрицу R=2R, но в этом случае нужно отобрать резисторы с малым допуском на разброс сопротивлений.

Схемы ЦАП позволяют получать на экране осциллографа растр, состоящий из 4096 точек, расположенных в форме матрицы 64 × 64.

Схема DA1 преобразует сигналы шести младших разрядов адреса в 64 точки строки. Каждой точке соответствует один шаг прирашения напряжения на выходе DA1. Пока формируются 64 точки строки, напряжение на выходе DA2 неизменно, так как на выходы этого ЦАП поданы старшие разряды кода адреса, которые примут очередное состояние только после всех 64 комбинаций младших разрядов С каждым прирашением напряжения на выходе ЦАП DA2 формируемая строчка перемещается вниз на один шаг, и таких шагов при переборе всех комбинаций старших разрядов -> 64. Частота смены адресов достаточно высокая, например 100 кГц, так что вследствие проявления эффекта динамической индикацни на экране отображается матрица, состоящая из 4096 точек

Однако точка на экране — это только указатель расположения элемента памяти в матрице накопителя. Если уменьшить яркость луча осциллографа, то изображение матрицы исчезнет Для отображения на экране содержимого накопителя выход микросхемы памяти непосредственно, как на рис. 3.18, или через предварительный формирователь подают на вход Z осциллографа.

Микросхема памяти работает постоянно в режиме считывания по непрерывно перебираемым адресам. Нарушение этого режима вызывают кратковременные нажатия кнопки SB2 для записи информации в ручном, когда переключатель SB3 находится в положении «Р», или в автоматическом режиме, когда SB3 переведен в положение «А».

Считываемая информация отображается на экране в виде светящихся точек, если 1, н темных мест, если 0.

Для записи бита информации необходимо переключатель SB3 перевести в положение «Р» и набрать адрес элемента памяти переключателями наборного поля. Затем кратковременным нажатием кнопки SB2 в микросхему памяти по набранному адресу вносится бит, равный 0 или 1 в зависимости от положения переключателя SB1, заносимый бит автоматически переносится на экранное изображение матрицы накопителя. Избирательная адресация обеспечена дешифратором DD14—DD16, на выходе которого формируется сигнал записи W/R = 0 только в момент появления на выходах адресного счетчика кода, соответствующего набранному.

В автоматическом режиме (SB3 в положении «А») сигнал записи формируется в каждом такте. Поэтому можно занести в накопитель или все 1, или все 0, или чередующиеся темные н светлые строкн или столбцы, если вход D1 соединить с выходом счетчика  $A_0$  или  $A_6$  соответственно. Полосы могут быть более широкнми, если использовать сигналы с других выходов адресного счетчика.

При необходимости можно вводить информацию в микросхему памяти с телеграфного ключа, редактировать ее и затем выводить на передачу. Устройство такого типа для выполнення функций автоматического телеграфного ключа с селективной памятью описано в. [40].

На основе рассмотренного способа практического использования микросхем ОЗУ могут быть построены более сложные устройства индикации аналого-цифровой и графической информации, предназначенные для совместной работы с микропроцессорами. Один нз вариантов такого устройства, ориентирован ный для работы с магистралью МПИ, приведен на рис. 3.19 [39].

В устройство входят генератор DD3 и делитель DD4.1, формирующие тактовые импульсы с частотой 250 кГц, счетчикформирователь адресных кодов DD5, адресное устройство DD1 DD2, устройство управления режимом счетчика и микросхемы O3У DD4.2, устройство сопряжения с осциллографом DA1 DA2, DD7-DD10, VT1-VT4.

Устройство взаимодействует с магистралью при обращенни к нему по установленному адресу и только в цикле записи информации. Функции адресного устройства выполняет дешифратор DD1. При установленном адресном коде на выходе DD1 появляется 1, которая по сигналу SYNC заносится в триггер DD2. Этот сигнал лереводит триггер DD4.2 в нулеьое состояние



Рис 3 19 Устройство вывода информации с магистрали МПИ на экран осциллографа

110

и тем самым обеспечивает режим параллельной записи для счетчика DD5 и режим записи для микросхемы памяти.

За кодом адреса по шине «Данные-Адрес» поступает слово  $D_0 - D_{15}$ , в котором разряд  $D_0$  является информационным, а разряды  $D_1 - D_{12}$  — адресными (об использовании  $D_{13} - D_{15}$  см. [39]). Адрес через DD5 передается на адресные входы DD6 н обеспечивает выборку соответствующего элемента памяти для записи в него  $D_0$ . Цикл записи одного бита завершается формированием ответного сигнала RPLY (на рис. 3.19 не показан).

Вывод записанной информации производится в автономном режиме работы при наличии на входе V счетчика DD5 уровня 0 и на входе W/R микросхемы DD6 уровня 1. В режиме вывода счетчик DD5 перебирает адреса с нулевого до конечного. Синхронно с каждым адресным кодом изменяется сигнал на входе CS и выводит один бит из накопителя. На выходе DD6 включен триггер DD7.1, синхронизированный с микросхемой памяти и счетчиком. Он управляет элементами DD10.2 и DD11 и выходным каскадом VT1—VT4 так, что если из DD6 выводится 0, то на выходе Z сигнал отсутствует, если 1, то появляется знакопеременный меандр с тактовой частотой. Амплитуду этого сигнала можно регулировать резистором R7.

Синхронно с сигналом Ż ЦАП DA1, DA2 формируют сигналы Х н Y, что н обеспечивает индикацию выводимого бита в виде светлой или темной точки в определенном месте матрицы на экране осциллографа

На время обратного хода луча сигнал, формируемый DD8 для строк, DD9 по завершению перебора всех адресов, DD10.1 и DD7.2, задерживает счетчик DD5 и закрывает выход Z.

Реализация описанных устройств (см. рис. 3.18 и 3.19) не налагает никаких ограничений на микросхемы памяти, включая и разрядность адресного кода

### Глава 4

МИКРОСХЕМЫ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

# 4.1. Микросхемы масочных ПЗУ

Микросхемы ПЗУ по способу программирования, т. е занесения в них информации, подразделяют на три группы ПЗУ, однократно программируемые нэготовителем по способу заказного фотошаблона (маски), масочные ПЗУ (ПЗУМ, ROM), ПЗУ, однократно программируемые пользователем по способу пережчгания плавких перемычек на кристалле (ППЗУ, PROM).



Рис 41 Устройство микрослемы масочного ПЗУ на биполярных структурах



Рис 4.2. Элементы памяти ПЗУ на МДП транзисторах с программируемым пороговым напряжением

ПЗУ, многократно программируемые пользователем, репрограммируемые ПЗУ (РПЗУ, ЕРКОМ).

Общим свойством всех микросхем ПЗУ являются их многоразрядная (словарная) организация, режим считывания как основной режим работы и энергонезависимость. Вместе с тем. у них есть и существенные различия в способе программирования, режимах считывания, в обращении с ними при применении. Поэтому целесообразно рассмотреть каждую группу микрохем ПЗУ отдельно.

Микросхемы ПЗУМ изготавливают по биполярной ТТЛ, ТТЛШ-технологии, *n*-канальной, *p*-канальной и КМДП-технологиям. Принцип построения у большинства микросхем группы ПЗУМ одинаков и может быть представлен структурой микросхем К155PE21—К155PE24 (рис. 4.1) Основными элементами структурной схемы являются: матрица элементов памяти, дешифраторы строк DCX и столбцов DCY, селекторы (ключи выбора столбцов), адресный формирователь, усилители считывания Матрица состоит из массива ЭП, каждый из которых размещен на пересечении строки и столбца. Элемент памяти ПЗУМ представляет собой резистивную или полупроводниковую (диодную, транзисторную) перемычку между строкой и столбцом. Информацию в матрицу заносят в процессе изготовления микросхемы и осуществляют эту операцию в основном двумя разными технологическими способами

Микросхемы на биполярных транзисторах программируют путем формирования перемычек между строками и столбцами в тех точках матрицы, куда следует занести логическую 1. В тех точках матрицы, где должен быть логический 0, перемычку не формируют

Матрица на рис 41 содержит 32×32 ЭП. Она состоит из 32 транзисторов по числу строк, каждый из которых имеет 32 эмиттера по числу столбцов (разрядных шин) Коллекторы 112 всех транзисторов соединены с шиной питания. Базы транзисторов образуют строки матрицы. Они подключены к выходам дешифратора адреса строк. Эмиттеры либо имеют соединение с разрядной шиной («1»), либо не имеют («0»). Разрядные шины разделены на четыре группы по восемь шин в каждой. Каждая из четырех групп шин замыкается на селектор, который под управлением сигналов с выходов дешифратора столбцов DCY выбирает из восьми шин одну и коммутирует ее на выход.

На выходы селекторов включены усилители считывания, стробируемые сигналами  $\overline{CS}_1$  и  $\overline{CS}_2$ . При  $\overline{CS}_1 = \overline{CS}_2 = 0$  усилители открыты для считывания информации, при других комбинациях этих сигналов — закрыты и на их выходах устанавливаются уровни 1.

Выборку 4-разрядного слова осуществляют 8-разрядным кодом адреса, поступающим на адресный формирователь F, который необходим для согласования схем на кристалле с внешними цепями, и затем на входы дешифраторо́в строк  $A_7$ — $A_3$  и столбцов  $A_2$ — $A_0$ . На одном из выходов каждого дешифратора формируются высокие уровни напряжения, которые выбирают из матрицы 4-разрядное слово. На выход микросхемы выбранное слово поступает при разрешающих сигналах управления считыванием  $\overline{CS_1} = \overline{CS_2} = 0$ . В микросхемах ПЗУМ, изготовленных по МДП-технологии,

элементами памяти являются МДП-транзисторы с каналами *п*-типа, *р*-типа или комплементарные. Они включены на пересеченнях строк и столбцов матрицы. Программирование таких микросхем осуществляют либо по способу формирования перемычек, т е. схемы подключения транзисторов к шинам столбцов, либо по способу формирования МДП-транзисторов с двумя порогами отпирания: низким и высоким. В матрицах, программируемых по второму способу, все транзисторы соединены с шинами строк и столбцов, как показано на рис 4.2, но имеют разную толщину подзатворного диэлектрика и, следовательно, разное пороговое напряжение более низкое у транзистора VT1, что соответствует 1, и более высокое у VT2, что соответствует 0. При возбуждении строки Х, напряжением, значение которого лежит между двумя пороговыми напряжениями, транзистор VTI будет открыт, а VT2 останется в закрытом состоянии, в результате на разрядную шину РШ1 передается потенциал высокого уровня, а потенциал РШ2 не изменяется Различие в потенциалах разрядных шин выходные усилители трансформируют в стандартные уровни напряжений 1 и 0 соответственно.

Программирование микросхем ПЗУМ осуществляют однократно. Поскольку схема соединений или пороговые напряжения транзисторов не зависят от режима работы микросхемы, она обладает свойством энергонезависимости. Благодаря этому свойству микросхемы ПЗУМ широко используют в качестве ноентелей постоянных программ, подпрограмм различного назначения, кодов физических констант, постоянных коэффициентов и т. п. Занесенную в ПЗУМ информацию в технической документации называют «прошивкой».

Среди микросхем ПЗУМ разных серий (табл. 4.1) многие имеют стандартные прошивки. Например, в микросхемы ПЗУМ К155PE21—К155PE24 записаны соответственно коды букв русского PE21, латинского PE22 алфавитов, арифметических энаков и цифр PE23, дополнительных знаков PE24. В совокупности эти микросхемы образуют генератор символов на 96 знаков формата 7×5. Пример реализации такого генератора символов рассмотрен в гл. 5.

Одна из микросхем серии КР555РЕ4 содержит прошивку

| Тип микросхемы | Емкость,<br>бит | t <sub>e a</sub> (1 <sub>11 11</sub> ) He | Unari B | Р <sub>ин</sub> т, мВт | Тип<br>выхода | Рисунак             |
|----------------|-----------------|---|---------|------------------------|---------------|---------------------|
| K155PE21       |                 |   |         |                        |               |                     |
| K155PE22       | 256×4           | 30  | 5       | 650                    | ттл-ок        | 4.3, a              |
| K155PE23       | 1 1             |   |         |                        |               |                     |
| K155PE24       | 1 1             |   |         | e                      |               | 1                   |
| K555PE4        | 2K×8            | 110                                       | 5       | 850                    | ттл-ок        | 4.3, 0              |
| K541PE1        | 2K×8            | 150                                       | 5       | 1000                   | ттл-ок        | 4.3, 6              |
| K596PE1        | 8K×8            | 350                                       | 4       | 640                    | ТТЛ∙З         |                     |
| KA596PE2       | 64K×16          | 450                                       | 5       | 1050                   | ттл.3         |                     |
| K563PE1        | 8K×8            | (580)                                     | 5       | 50                     | ТТЛ∙З         | 4.3, <b>x</b>       |
|                |                 |   |         | (0,05)**               |               |                     |
| K563PE2        | 32K×8           | (500)                                     | 5       | 20                     | ттл-з         | 43,3                |
|                |                 |   |         | (0.5) *                |               |                     |
| K505PE3        | 512×8           | 1500                                      | 5, -12  | 500                    | ттл-з         | 4.3, 6              |
| KP568PE1       | 2K×8            | 600                                       | 5; 12   | 450                    | ТТЛ-3         | 4.3, 2.             |
| KP568PE2       | 8K×8            | 400                                       | 5; 12-  | 600                    | ттл.з         | 4.3,∂               |
| KP568PE3       | 16K×8           | 800                                       | 5; 12   | 300                    | ттл-3         | 4.3, e              |
| KM568PE4       | 8K×8            | 300                                       | 5; 12   | 400                    | ТТЛ-3         | -                   |
| K568PE5        | 128K×8          | 200                                       | 5; 12   | 300                    | ттл.з         | -                   |
| K1801PE1       | 4K×16           | 300                                       | 5       | 75                     | ттл.з         | 4.3, u              |
|                |                 |   |         | (40) *                 |               |                     |
| K1809PE1       | 4K×16           | 300                                       | 5       | 275                    | ТТЛ-3         | 4.3, u              |
| KA1603PE1      | 2K×8            | (410)                                     | 5       | 50                     | ТТЛ-3         | 4.3, κ <sup>1</sup> |
|                |                 |   |         | (0.05) *               |               |                     |
| KP1610PE1      | 2K×8            | 500                                       | 5       | 300                    | ТТЛ-3         | 4.3, ĸ              |
| KM1656PE1      | 2K×8            | 80  | 5       | 925                    | ттл.3         | 4.3, 0              |
| KM1656PE2      | 2K×8            | 80  | 5       | 925                    | ТТЛ-ОК        | 4.3, <i>B</i>       |
| KM1656PE3      | 512×8           | 60  | 5       | 775                    | ТТЛ-3         | ŀ                   |

Таблица 4.1. Минросхемы масочных ПЗУ

Jodannen Buton 11 LIN CHENALA (S2.

• При кранении

160 символов, соответствующих 8-разрядному коду обмена информавии КОИ 2 ~-8 с форматом знаков 7×11 Прошивку кодов алфавитно-цифровых символов содержит микросхема КМ1656РЕ2.

Значительный перечень модификаций со стандартными прошивками имеет микросхема К505РЕЗ.

Две совместно применяемые микросхемы K505PE3-002, K505PE3-003 содержат коды букв русского и латинского алфавитов, цифр, арифметических и дополнительных знаков и ис пользуются как генератор 96 символов формата  $7 \times 9$  с горизонтальной разверткой знаков. Модификации 0059, 0060 имеют то же назначение, но генерируют знаки формата  $5 \times 7$  Модификации 0040—0049 содержат прошивки коэффициентов для быстрого преобразования Фурье. Ряд модификаций содержит прошивку функции синуса от 0 до 90° с дискретностью 10' (0051, 0052), от 0 до 45° (0068, 0069) и от 45 до 90° (0070, 0071) с дискретностью 5' Модификации 0080, 0081 содержат прошивку функции  $Y = X^2$  при X = 1 128.

Модификации микросхемы КР568РЕ2 содержат стандартные прошивки символов международного телеграфного кода № 2 форматов 5×7 и 7×9-(0001), символов русского и латинского алфавитов, кодовых таблиц, цифр и арифметических знаков (0003, 0011), функции синуса от 0 до 90° (0309), ассемблера (0303--0306), редактора текстов (0301, 0302).

Микросхема КР568РЕ2—0001 имеет прошивку международных телеграфных кодов № 2 и 5, а КР568РЕЗ-0002 — редактора текстов для ассемблера.

Модификации микросхемы КР1610РЕ1-0100—КР1610РЕ1-0107 содержат прошивки программного обеспечения микро-ЭВМ «Искра».

Названные микросхемы ПЗУМ со стандартными прошивками следует рассматривать как примеры. число таких микросхем и их модификаций постоянно растет.

Для программирования микросхем ПЗУМ по заказу пользователя в технических условиях предусмотрена форма заказа

Микросхемы ПЗУМ работают в режимах: хранения (невыборки) и считывания. Для считывания информации необходимо подать код адреса и разрешающие сигналы управления Назна чение выводов микросхем ПЗУМ указано на рис. 4.3.

Сигналы управления можно подавать уровнем 1, если вход СS прямой (рис. 4.3, б), или 0, если вход инверсный (рис. 4.3, г)

Многие микросхемы имеют несколько входов управления (рис. 4.3, *a*), обычно связанных определенным логическим оператором В таких микросхемах необходимо подавать на управляющие входы определенную комбинацию сигналов, например 00 (рис. 4.3, *a*) или 110 (рис. 4.3, *в*), чтобы сформировать условие разрешения считывания

Основным динамическим параметром микросхем ПЗУМ яв-



яяется время выборки адреса. При необходимости стробировать выходные сигналы на управляющие входы CS следует подавать импульсы после поступления кода адреса. В таком случае в расчет времени считывания надо принимать время установления сигнала CS относительно адреса и время выбора. У микросхемы KP1610PE1 предусмотрен дополнительный сигнал OE для управления выходом.

Выходные сигналы у всех микросхем ПЗУМ имеют ТТЛуровни. Выходы построены в основном по схеме с тремя состояниями.

Для снижения потребляемой мощности некоторые микросхемы, например К596РЕ1, допускают применение режима импульсного питания, при котором питание на микросхему подают только при считывании информации (§ 5.6).

Устойчивая тенденция к функциональному усложнению БИС памяти проявляется и в микросхемах ПЗУМ: в их структуру встраивают интерфейсные узлы для сопряжения со стандартной магистралью и для объединения микросхем в модуль ПЗУ без дополнительных дешифраторов K1801PE1. K1809PE1, устройства для самоконтроля и исправления ошибок KA596PE2, K563PE2 [41, 42].

Микросхемы К1801РЕ1 и К1809РЕ1 имеют много общего в назначении, устройстве и режимах работы. Назначение выводов микросхем показано на рис: 4.3, и. Обе микросхемы предназначены для работы в составе аппаратуры со стандартной системной магистралью для микроЭВМ [43]: встроенное в их структуру устройство управления (контроллер) позволяет подключать микросхемы непосредственно к магистрали. Как микросхемы ПЗУМ они содержат матрицу емкостью 65384 ЭП, регистры и дешифраторы кода адреса, селекторы, имеют организацию 4K×16 бит Информация заносится по картам заказа изготовителем.

В структуру встроены также 3-разрядный регистр с «зашитым» кодом адреса микросхемы и схема сравнения для выбора мнкросхемы в магистрали. Наличие встроенного устройства адресации позволяет включать в магистраль до восьми микросхем одновременно без дополнительных устройств сопряжения

Особенностью микросхем, обусловленной их назначением, является совмещение адресных входов  $A_1 - A_{15}$  и выходов данных  $DO_0 - DO_{15}$ . Выходные формирователи выполнены по схеме на три состояния. Три старших разряда кода адреса  $A_{15} - A_{13}$  предназначены для выбора микросхемы, остальные разряды  $A_{12} - A_1$  для выборки считываемого слова. Разрешение на прием основного адреса формирует схема сравнения по результату сопоставления принятого и «зашитого» адресов микросхемы. Принятый адрес фиксируется на адресном регистре, а входы выходы переходят в третье состояние. Система управляющих сигналов включает: DIN — разрешение чтения данных из ОЗУ (иначе RD); SYNC — синхронизация обмена (иначе CE — разрешение обращения), CS — выбор микросхемы, RPLY — выходной сигнал готовности данных сопровождает информацию DO<sub>0</sub>—DO<sub>15</sub>, считываемую в магистраль.

\_\_\_\_\_Режим хранения обеспечивается сигналами  $\overrightarrow{SYNC} = 1$  или  $\overrightarrow{CS} = 1$ . В режиме <u>считывания</u> время обращения к микросхеме определяет сигнал  $\overrightarrow{SYNC} = 0$ . Кроме <u>него</u> поступают сигналы кода адреса на выводы  $ADO_1 - ADO_{15}$  и  $\overrightarrow{CS} = 0$ . При совпадении адреса  $ADO_{15} - ADO_{13}$  с адресом микросхемы во входной регистр поступает адрес считываемого слова, а выводы  $ADO_1 - ADO_{15}$  переходят в третье состояние. Считанное слово из матрицы записывается в выходной регистр данных и по сигналу DIN = 0 появляется на выходах  $DO_0 - DO_{15}$  и передается в магистраль. Одновременно на выходе  $\overline{RPLY}$  формируется сигнал 0. Выходные регистры возвращаются в исходное состояние после снятия сигнала  $\overrightarrow{SYNC}$ .

В режиме считывания сигналы интерфейса и назначения выводов микросхем K1801PE1, K1809PE1, K573PФ3, K1809PУ1 совпадают. Поэтому названные микросхемы можно совместно применять для построения ЗУ различной емкости и назначения для различных модификаций микроЭВМ. Совместимость микросхем можно использовать и на этапе отладки программного обеспечения управляющих и вычислительных устройств: отлаженную с помощью РПЗУ К573РФЗ программу затем можно переписать («зашить») в K1809PE1 или K1801PE1.

Микросхемы ПЗУМ КА596РЕ2 (64К×16 бит) и К563РЕ2 (32К×8 бит) имеют встроенные схемы самоконтроля и исправления одиночных ошибок с помощью кода Хэмминга. В случае обнаружения и исправления ошибки в считываемом коде на выходе К1 (рис. 4.3, з) появляется сигнал — логическая 1. Можно корректор выключить сигналом К2=0. В этом режиме данные из матрицы будут проходить на выход, минуя схему исправления ошибок.

В структуре указанных ПЗУМ имеется также дополнительная матрица для тестовых комбинаций и другой информации. Емкость дополнительной матрицы равна  $64 \times 16$  бит у микросхемы KA596PE2 и  $32 \times 8$  бит у микросхемы K563PE2. Адресацию ячеек этой матрицы осуществляют частью разрядов адресного кода:  $A_0 - A_5$  у KA596PE2 и  $A_0 - A_4$ ,  $A_{10}$ ,  $A_{11}$  у K563PE2 при наличии разрешающего сигнала K3=1. При отсутствии разрешения по входу K3 дополнительная матрица для обращения закрыта.

Встроенные в структуру ПЗУМ устройства используют для повышения выхода годных схем, отбора бездефектных мик-118 росхем при отбраковочных испытаниях, повышения надежности функционирования ПЗУ

Сопоставляя микросхемы серий К596, выполненные по *n*-канальной МДП технологии, и К563, выполненной по КМДП технологии, по быстродействию и энергопотреблению и учитывая их аналогию в части функционального усложнения, можно сделать вывод о преимуществе микросхем КМДП и перспективности серии К563 К аналогичному заключению можно прийти сравнив микросхемы КА1603РЕ1 (КМДП) и КР1610РЕ1 (*n*-МДП) Обе указанные микросхемы в режиме считывания взаимозаменяемы в аппаратуре с микросхемами РПЗУ К573РФ2 или К573РФ5 Следовательно, отлаженную с помощью К573РФ2 или К573РФ5 программу можно переписать в микросхемы ПЗУМ и заменить ими РПЗУ на печатных платах без каких-либо переде лок посадочных мест

# 4.2. Микросхемы ППЗУ

Микросхемы программируемых ПЗУ по принципу пост роения и функционирования аналогичны масочным ПЗУ, но имсют существенное отличие в том, что допускают программи рование на месте своего применения пользователем Операция программирования заключается в разрушении (пережигании) части плавких перемычек на поверхности кристалла импульсами тока амплитудой 30 ... 50 мА Технические средства для выпол нения этой операции достаточно просты н могут быть построены самим пользователем. Это обстоятельство в сочетании с низкой стоимостью и доступностью микросхем ППЗУ обусловило их широкое распространение в радиолюбительской практике

Выпускаемые отечественной промышленностью микросхемы ППЗУ (табл 42, рис 44) в большинстве своем изготовлены по ТТЛШ технологии, и среди них преобладающее положение занимает серия К556 Функциональный состав серии включает микросхемы емкостью до 64К бит со словарной 4 и 8-разряд ной организацией с временем выборки 45 85 нс и уровнем по требляемой мощности от 0,6 до 1 Вт

Небольшая часть микросхем ППЗУ выполнена по другим тех нологиям ИИЛ (К541), *п*-МДП (К565), ЭСЛ (К500, К1500), КМДП (К1623) Микросхемы серии К1623 отличаются самым низким уровнем энергопотребления, но по быстродействию они существенно уступают микросхемам К556 серии.

Для микросхем ППЗУ всех серий, кроме К500, К1500, К565, характерны такие свойства, как единое напряжение питания 5 В, наличие входных и выходных ТТЛ уровней напряжения логического 0 (0,4 В) и логической 1 (2,4 В) и, следовательно, полная совместимость микросхем, однотипные выходы: либо с тремя состояниями, либо с открытым коллектором Микросхемы с выхо-

#### Таблица 42 Микросхемы ППЗУ

| Тип инкросисны  | Емкость,<br>бит |     | Р <sub>ил</sub> мВт | Тил<br>выхода | Исходное<br>состояние | Рисунок |
|-----------------|-----------------|-----|---------------------|---------------|-----------------------|---------|
| KP556PT1        | плм             | 70  | 850                 | ттл-ок        | 1920 *                | 45 a    |
| KP556PT2        | ПЛМ             | 80  | 950                 | ттл-3         | 1920                  | 45,a    |
| KP556PT4        | 256×4           | 70  | 690                 | ТТЛ-ОК        | 0                     | 45,6    |
| KP556PT5        | 512×8           | 80  | 1000                | ттл.ок        | 1                     | 45.8    |
| KP556PT6(PT7)   | 2K'×8           | 80  | 900                 | ТТЛ-3(ОК)     | 0                     | 4 5. e  |
| KP556PT11       | 256×4           | 45  | 650                 | ттл.3         | 0                     | 45,6    |
| KP556PT12(PT13) | JKX4            | 60  | 740                 | ТТЛ-ОК(3)     | 0                     | 45,∂    |
| KP556PT14(PT15) | 2K×4            | 60  | 740                 | ТТЛ-ОК (3)    | 0                     | 45, e   |
| KP556PT16       | . 8K×8          | 85  | 1000                | ттл з         | 0                     | 45,ж    |
| KP556PT17       | 512×8           | 50  | 900                 | ттл.3         | 1                     | 4 5. 8  |
| KP556PT18       | 2K×8 、          | 60  | 950                 | ТТЛ-3         | 0                     | 45.2    |
| K541PT1         | 256×4           | 80  | 400                 | ттл-ок        | 0                     | 45,6    |
| K541PT2         | 2K×8            | 100 | 770                 | ттл∙ок        | 0                     | 45 e    |
| K1608PT2        | 512×8           | 40  | 920                 | ТТЛ-3         | 0                     |         |
| K1623PT1        | 2K×8            | 200 |                     | ТТЛ-3         |                       |         |
| K155PE3         | 32×8            | 70  | 550                 | ттл-ок        | 0                     | 4,5, 3  |
| K1500PT1416     | 256×4           | 20  | 670                 | эсл.оэ        | L .                   | 45, u   |

IIрнмечание Напряжения литания микросхем серия К500 5 В серия К1500 4.5 В для остальных серий +5 В

ТТ.1.3 выход на три состояния с уровиями ТТ.7. ТТ.7. ОК выход с открытым коллекторо ЭСЛ ОЭ выход с открытым эмиттером с уровиями ЭСЛ (см. табл. 2.1) - Чик-го перемычек из имк в матрице И 1536, в матрице И.731.384

дами ТТЛ-ОК требуют подключения к ним внешних резисторов и источника напряжения питания

Типичный вариант реализации мнкросхемы ППЗУ представ лен на рис. 4.5. Для конкретности рассмотрения взята структура микросхемы K556PT4. Во всех основных элементах она повторяет структуру ПЗУМ (см. рис. 4.1), но имеет дополнительные устрой ства  $F_1 - F_4$  для формирования тока программирования

Матрица до программирования, т е. в исходном состоянии, содержит однородный массив проводящих перемычек, соединяющих строки н столбцы во всех точках их пересечений Перемычки устанавливают из нихрома (у микросхем серии К556 и др.), из поликристаллического кремния (К541), из силицида платины (К1608) и других материалов. Перемычка в матрице выполняет роль ЭП Наличие перемычки кодируют логической I, если усилитель считывания является повторителем, и логической I, если усилитель считывания является повторителем, и логическим 0, если усилитель считывания — инвертор, как на рис 4 4 Сле довательно, микросхема ППЗУ в исходном состоянии перед программированием в зависимости от характеристики выходного усилителя может иметь заполнение матрицы либо логическим 0, либо логической 1 Информация о принадлежности микросхем ППЗУ к той или другой группе по данному признаку при



Рис 44 Микросхемы ППЗУ

ведена в табл. 4.2 Если такой информации нет, ее необходимо получить с помощью начального контроля микросхемы: устанавливая разрешающие значения управляющих сигналов (в схеме на рис  $44 \overline{\text{CS1}} = \overline{\text{CS2}} = 0$ ), следует перебрать адреса, контролируя при этом состояние выходов.

Программирование микросхемы, матрица которой в исходном состоянии заполнена 0, заключается в пережигании перемычек в тех ЭП, где должны храниться 1. Если матрица в исходном состоянии заполнена 1, то пережигают перемычки в ЭП, где должны храниться 0.

Работа запрограммированной микросхемы ППЗУ в режиме считывания ничем не отличается от работы микросхемы ПЗУМ, рассмотренных в § 4.1 У некоторых микросхем, в частности КР556РТ5, КР556РТ17, имеется вывод для напряжения програм мирования U<sub>PR</sub> (рис 4.5, *в*) В режиме считывания этот вывод не задействуют

Разновидностью ППЗУ являются программируемые выжига нием плавких перемычек логические матрицы (ПЛМ), выполненные по ТТЛШ-технологии, К556РТ1 и К556РТ2, имеющие идеитичные характеристики и конструктивные параметры, но от личающиеся типом выхода: у первой из микросхем выход с откры тым коллектором, у второй — на три состояния (рис. 4.5, a) Названные микросхемы ПЛМ имеют 16 входов А<sub>15</sub>—А<sub>0</sub> для пере менных над, которыми ПЛМ выполняет запрограммированные операции вход CS с нулевым разрешающим уровнем, вход PR разрешения записи, т е программирования, и восемь выходов



Рис 45 Устройство икросхемы ППЗУ



Рис. 4.6. Структура микросхемы ПЛМ

Структура микросхемы (рис. 4.6) включает операционную часть из матрицы И, матрицы ИЛИ, входных и выходных усилителей и программирующую часть из адресных формирователей FA1, FA2 и дешифратора DCPR.

• Основу ПЛМ (рис. 4.7) составляют матрицы И и ИЛИ. Матрица И выполняет операции конъюнкции над 16 входными переменными и их инверсными значениями, которые поступают на строчные шины матрицы. Требуемые логические произведения



Рис. 4.7. Функциональная схема ПЛМ

формируют на шинах столбцов путем выжигания ненужных перемычек между строками и столбцами (на рис. 4.7 оставленные перемычки указаны точками). Число столбцов 48, следовательно, на выходе матрицы И можно получить до 48 логических произведений, в каждое из которых может входить до 16 переменных и их инверсий. Матрица ИЛИ выполняет операцию дизъюнкции над логическими произведениями, сформированными матрицей И Число выходов этой матрицы 8, поэтому она способна сформировать до восьми логических сумм, в каждую из которых может входить до 48 логических произведений. Таким образом, возможности ПЛМ характеризуются числом точек коммутации, равным в данном примере 1920. Программирование матрицы ИЛИ выполняется так же, как и матрицы И, путем выжисания «ненужных» перемычек. На выходах матрицы ИЛИ размещены программируемые усилители, которые в зависимости от состояния перемычки могут передавать значение выходной функции в прямой или инверсной форме представления.

Для программирования служат встроенные в микросхему узлы программирующей части, которые возбуждает разрешающий сигнал PR. Программирование осуществляют способом, аналогичным программированию ППЗУ, в три этапа: вначале программируют матрицу И, затем матрицу ИЛИ и выходные инверторы [49]

Широко применяют ПЛМ, программируемые по способу заказного фотошаблона на заводе-изготовнтеле. Такие ПЛМ являются разновидностью масочных ПЗУ. Они включены, в частности, в состав многих микропроцессорных комплектов в качестве ПЗУ микрокоманд. На основе ПЛМ можно строить самые различные цифровые устройства как комбинационного, так и последовательностного типов

Как отмечалось ранее, микросхемы []ПЗУ потребляют бояьшую мощность от источника питания. Поэтому представляется целесообразным использовать их свойство работать в режиме импульсного питания, когда питание на микросхему подают только при обращении к ней для считывания информации Особенности применения микросхем ППЗУ в этом режиме состоят в следующем во-первых, на управляющие входы должны быть поданы уровни, разрешающие доступ к микросхеме если необходим 0, то данный вывод соединяют с общим выводом, есля 1, то с шиной U<sub>сс</sub> через резистор с сопротивлением 1 кОм, в этом случае функции сигнала выбора микросхемы выполняет импульс напряжения питания Ucc, во-вторых, для обеспечения режима импульсного питания применяют транзисторные ключи, на переходах которых падает часть напряжений, поэтому напряжение, подаваемое к внешним ключам, должно быть выбрано с учетом требования иметь на выводе питания микросхемы номинальное напряжение 5 В, в-третьих, нз-за инерционности про

цессов коммутации цепи питания время выборки адреса микросхемы увеличивается в 2—3 раза

При использовании импульсного режима питания среднее значение потребляемого тока и, следовательно, уровень потреб ляемой мощности существенно уменьшаются Пример реализа ции режима импульсного питания микросхем ППЗУ рассмотрен в гл. 5

## 4.3. Микросхемы РПЗУ

Основная отличительная особенность микросхем РПЗУ заключается в их способности к многократному (от 100 до 10 тыс.) перепрограммированию самим пользователем. Это свой ство микросхем обеспечено применением ЭП со свойствами управляемых «перемычек», функции которых выполняют транзисторы со структурой МНОП (металл Al-нитрид кремния Si<sub>3</sub>N<sub>4</sub> окисел кремния SiO<sub>2</sub> — полупроводник Si) и транзисторы *п*.МОП с плавающим затвором (ПЗ) с использованием механизма ла винной инжекции заряда. ЛИЗМОП.

Всю номенклатуру выпускаемых микросхем РПЗУ можно разделить на две группы: РПЗУ с записью и стиранием электри

| Тип микросхемы | Емкость,<br>бит | ts. мкс | P <sub>no1</sub><br>MBT | U., B  | L., B | եր•ւ | tei* L | Рисунов       |
|----------------|-----------------|---------|-------------------------|--------|-------|------|--------|---------------|
| KP558PP1       | 256×8           | 5       | 307                     | 5, -12 | 30    | 1    | 0,005  | 48,0          |
| KP558PP2       | 2K×8            | 0.35    | 480                     | 5      | 18    | 20   | 1      | 48,6          |
| KP558PP3       | 8K×8            | 0,4     | 400                     | 5      | 24    | 40   | 20     | 48,8          |
| KP1601PP1      | 1K×4            | 1,8     | 625                     | 5, ~12 | - 32  | 20   | 0,2-   | 4 8, <i>2</i> |
| KP1601PP3      | 2K×8.           | 1,6     | 850                     | 5, -12 | 36    | 40   | 0,2    | 48,∂          |
| KM1609PP1      | 2K×8            | 0,35    | 525                     | 5      | 21    | 24   | 0,012  | 486           |
| K1609PP2       | 8K×8            | 0,3     | 525                     | 5      | 22    |      |        |               |
| K1611PP1       | 8K×8            | 0,3     | 850                     | 5      | 22    |      | 1 1    |               |
| K573PP2        | 2K×8            | 0,35    | 620                     | 5      | 22    | 100  | 0,05   | 48,6          |
| К573РФ1        | IK×8            | 0,45    | 1100                    | ±5, 12 | 26    | 300  | 30 мин | 4 8, e        |
| К573РФ2        | 2K×8            | 0,45    | 580                     | 5      | 25    | 100  | То же  | 48,6          |
| К573РФ3        | 4K×16           | 0,45    | 450                     | 5      | 18    | 40   | 1 1    | 4.8, ж        |
| К573РФ4        | 8KX8            | 0,5     | 700                     | 5, 12  | 25    | 800  |        | 48, 8**       |
| К573РФ5        | 2K×8            | 0,45    | 580                     | 5      | 25    | 100  |        | 48,6          |
| К573РФ6        | 8K×8            | 0.3     | 870                     | 5      | 19    | 400  |        | 4 8, 8**      |
| К573РФ7        | 32K×8           | 0,3     | 600                     | 5      | 25    |      |        |               |
| К573РФ9        | 128K×8          | 0,35    | 550                     | 5      | 25    |      |        |               |

Таблица 43 Микросхемы РПЗУ

Тип элемента памяти р МНОП к КР558РРІ КРІбОІРРІ (РРЗ) л МНОП у КР558РР2 РРЗ) КІбІІРРІ ЛИЗМОП у остальных микросхем \* Время Программирования Ім. и кіпрания і указані в расчете на всю емхость чикро

\*\* Вывод 20 свободный сигнал ER отсутствует

ческими сигналами (группа ЭС) и РПЗУ с записью электрическими сигналами и стиранием ультрафиолетовым излучением (группа УФ). Характеристики микросхем РПЗУ наиболее популярных серий приведены в табл. 4.3, а разводка их выводов на рис. 4.8.

Микросхемы РПЗУ-ЭС содержат ЭП типа МНОП (К558, КI601) и ЛИЗМОП с двойным затвором (К573РР2, КI609РР1 и др.). Микросхемы РПЗУ-УФ имеют ЭП типа ЛИЗМОП с двойным затвором, отличающнеся от аналогичных структур в группе РПЗУ-ЭС тем, что требуют для стирания УФ облучение.

Элемент памяти со структурой МНОП представляет собой МДП-транзистор с индуцированным каналом *р*-типа (рис. 4.9, *a*) или *n*-типа, имеющий двуслойный диэлектрик под затвором. Верхний слой формируют из нитрида кремния, нижний — из окисла кремния, причем нижний слой значительно тоньше верхнего.

Если к затвору относительно подложки приложить импульс напряжения положительной полярности с амплитудой 30

40 В, то под действием сильного электрического поля между затвором и подложкой электроны приобретают достаточную энергию, чтобы пройти тонкий днэлектрический слой до границы раздела двух диэлектриков. Верхний слой (нитрида кремния) имеет значительную толщину, так что электроны преодолеть его не могут.

Накопленный на границе раздела двух диэлектрических слоев заряд электронов снижает пороговое напряжение и смещает передаточную характеристику транзистора влево (рнс. 4.9, б). Это состояние ЭП соответствует логической 1. Режим занесения заряда под затвор называют режимом программирования.

Логическому 0 соответствует состояние транзистора без заряда электронов в диэлектрике. Чтобы обеспечить это состояние, на затвор подают импульс напряжения отрицательной полярности с амплитудой 30 40 В. При этом электроны вытесняются в подложку. При отсутствин заряда электронов под затвором передаточная характеристика смещается в область высоких пороговых напряжений. Режим вытеснения заряда из подзатворного диэлектрика называют режимом стирания

Режим стирания и программирования можно осуществить с помощью напряжения одной полярности: отрицательной для *p*-МНОП, положительной для *n*-МНОП структур. Эта возможность основана на использовании явления лавинной инжекции электронов под затвор, которая происходит, если к истоку и стоку приложить импульс отрицательного напряжения 30... 40 В, а затвор и подложку соединить с корпусом. В результате электрического пробоя переходов исток-подложка и сток-подложка происходит лавинное размножение электронов и инжекция не-





Рис 49 Элементы памяти РПЗУ а типа МНОП 6 передаточная характеристика в типа ЛИЗМОИ пом затвороч с расшоложение ЭП в матрице микросхеми

которых из них, обладающих достаточной кинетической энерги ей («горячих» электронов), на границу между слоями диэлектрн ков Для стирания необходнмо подать импульс отрицательного иапряжения на затвор. В режиме считывания на затвор подают иапряжение U<sub>сч</sub>, значение которого лежит между двумя пороговыми уровнями Если в ЭП записана I, транзистор откроется а при 0— останется в закрытом состоянии. В зависимости от этого, как видно из рис 49, г, в разрядной шине либо будет протекать ток на выход, либо нет Усилитель считывания транс формирует состояние шины в уровень напряжения I или 0 на выходе микросхемы

Микросхемы РПЗУ с ЭП на *р*-МНОП транзисторах КР558РР1, КР1601РР1, КР1601РР3 (табл 4.3) имеют сравнительно низкое быстродействие, высокое напряжение программирования (30...40 В) и требуют двух источников питания

Для улучшения характеристик РПЗУ широко применяют технологию изготовления ЭП на *n*-МНОП транзисторах. Такие ЭП устроены аналогично рассмотренным, но имеют проводимость подложки *p*-типа, а истока и стока *n*-типа Микросхемы с ЭП на *п*-МНОП транзисторах КР558РР2, КР558РР3, К1611РР1 обладают втрое превосходящим быстродействием, сниженным до 22 В напряжением программирования и работают от одного источника питания.

Вариант ЭП на структуре ЛИЗМОП с двойным затвором (рис. 4.9, *в*) представляет собой *n*-МОП транзистор, у которого в подзатворном однородном диэлектрике SiO<sub>2</sub> сформирована изолированная проводящая область из металла или поликристаллического кремния. Этот затвор получил название «плавающего».

В режиме программирования на управляющий затвор, исток и сток подают импульс напряжения 21 25 В положительной полярности. В обратно смещенных *p-n* переходах возникает процесс лавинного размножения носителей заряда и часть электронов инжектирует на ПЗ. В результате накопления на ПЗ отрицательного заряда передаточная характеристика транзистора смещается в область высокого порогового напряжения (вправо), что соответствует записи 0.

Стирание записанной информации, т. е. вытеснение заряда с ПЗ, в структурах ЛИЗМОП осуществляют двумя способами: в РПЗУ-ЭС электрическими сигналами, в РПЗУ-УФ с помощью УФ облучения. В структурах со стиранием электрическими сигналами импульсом положительного напряжения на управляющем затворе снимают заряд электронов с ПЗ, восстанавливая низковольтный уровень порогового напряжения, что соответствует 1. В структурах с УФ облучением электроны рассасываются с ПЗ в подложку в результате усиления теплового движения за счет полученной энергии от источника УФ излучения.

Режим считывания осуществляют так же, как в ЭП на структуре МНОП. В режиме хранения обеспечивают отсутствие напряжений на электродах ЭП с тем, чтобы исключить рассасывание заряда в диэлектрической среде. Теоретическими расчетами доказана возможность сохранения заряда сотни лет. На практике это время ограничивают для одних типов микросхем несколькими тысячами часов, для других — несколькими годами, например, у К573РФ6 гарантийный срок сохранения информации без питания составляет пять лет. Следовательно, микросхемы РПЗУ относятся к группе энергонезависимых.

Устройство, принцип действия, режимы управления работой микросхем РПЗУ разных групп во многом аналогичны. Например, микросхемы К558РР2, К1609РР1, К573РР2, К573РФ2 емкостью 2К × 8 бит, относящиеся к разным группам РПЗУ по типу элемента памяти, имеют похожую структуру и одинаковую разводку выводов корпуса (рис. 4.8, б). Отличие между микросхемами групп ЭС и УФ состоит в способе реализации режима стирания.

Принцип построения и режим работы РПЗУ рассмотрим на 5-499 129 примере микросхемы КР1601РРЗ емкостью 2К×8 с ЭП на р'-МНОП транзисторах.

Структурная схема (рис. 4.10) содержит все элементы, необходимые для работы микросхемы в качестве ПЗУ: матрицу с элементами памяти, дешифраторы кода адреса строк и столбцов, селектор (ключи выбора столбцов), устройство ввода-вывода УВВ. Кроме того, в структуре предусмотрены функциональные узлы, обеспечивающие ее работу в режимах стирания и программирования (записи информации) — это коммутаторы режимов и формирователи импульсов напряжений требуемой амплитуды и длительности из напряжения программирования Upg. По сравнению с микросхемами ПЗУМ и ППЗУ система управляющих сигналов дополнена сигналами программирования PR и стирания ER. Накопитель с матричной организацией содержит 128 строк и 128 столбцов, на пересечениях которых расположены 16 384 элементов памяти. Управление накопителем осуществляют семью старшими разрядами адресного кода, который после дешифрирования выбирает строку со 128 элементами памяти. Сигналы, считанные с элементов выбранной строки, поступают на входы селектора, назначение которого состоит в выборе из 128разрядного кода на входах восьми разрядов, которые далее поступают через УВВ на выходы микросхемы. Селектором управляют четыре младших разряда адресного кода, которые после дешифрирования обеспечивают выборку одного восьмиразрядного слова из 16 слов, содержащнхся в выбранной строке. Устройство управления под воздействнем сигналов на своих входах обеспечивает работу микросхемы в одном из следующих режимов: хранения, считывания, стирания, записи (программированяя). Управляющие сигналы имеют следующее назначение: CS — выбор микросхемы; PR — разрешение на режим записи (программирования); U<sub>PR</sub> — напряжение программирования; RD — сигнал считывания; ER — сигнал стирания информации. Входы сигналов инверсные, поэтому разрешающим значением этих сигналов является О. Многие микросхемы группы ЭС допускают избирательное стирание по адресу. Условия реализации названных режимов для микросхем РПЗУ группы ЭС приведены в табл. 4.4. Рассмотрим эти условия для микросхемы КР1601РРЗ. обращаясь при этом к рис. 4.10.

В режиме общего стирания на управляющие входы подают сигналы, соответствующие табл. 4.4, в том числе напряжение программирования  $U_{pR} = -36$  В. Процесс стирания начинается с момента подачи импульса ER, который должен иметь длительность от 100 до 200 мс. По окончании стирания все ЭП матрицы переходят в состояние, соответствующее логическому 0. В этом режиме сигналы на адресных и информационных выводах могут иметь произвольные значения.



Рис. 4.10. Структура микросхемы РПЗУ-ЭС

Микросхема КР1601РРЗ допускает построчное стирание. Этот режим отличается от рассмотренного значением сигнала  $\overline{PR} = 0$ , наличием на всех информационных выводах. сигналов с уровнем 1, а на адресных входах — сигналов адреса строки  $A_4 - A_{10}$ , по которому следует стереть информацию из всех 128 ЭП. Время нзбирательного стирания то же, что и общего.

В режиме записи (программирования) на выводы микросхемы подают записываемый байт, код адреса, управляющие сигналы по табл. 4.4 и затем импульс сигнала программирования PR = 0 на время 20 мс. Для программирования в автоматическом режиме всей микросхемы с числом адресов 2048 требуется 41 с.

В режиме считывания на вывод  $U_{PR}$  коммутируют напряжение питания — 12 В (см. табл. 4.4) для снижения потребляемой мощности, подают код адреса и управляющие сигналы по табл. 4.4, причем сигнал считывания  $\overline{RD}$  должен иметь импульсную форму. Спустя 0,4 мкс на информационных выходах появляется считываемое слово.

Режим хранения обеспечивают сигналом  $\overline{CS} = 1$ , запрещающим обращение к микросхеме независимо от значений сигналов на других входах. Возможен второй вариант обеспечения режима хранения при использовании импульсного питания напряжением —12 В. Такой режим позволяет уменьшать потребляемую мощность. Когда в паузах между обращениями к микросхеме отключают напряжение питания, она переходит в режим хранения. 5° 131

| Тип микросхемы | Снгналы<br>управлення | Стирание<br>общее 1 | Запись<br>слова | Считывание   | Храненне |
|----------------|-----------------------|---------------------|-----------------|--------------|----------|
| KP558PP2       | CS                    | 1                   | 1               | 0            | I        |
| 2K×8           | OE                    | 0                   | 1               | 0            | X        |
| n-MHO <b>Γ</b> | UPR, B                | 18*                 | 18 *            | 5            | 5        |
| 104 циклов     | т, мс                 | 10 <sup>3</sup>     | 10              | 0,35 мкс *** |          |
| KP558PP3       | CS                    | 0*                  | 0*              | 0            | 1        |
| 8K×8           | OE                    | 1                   | 0*              | 0            | X        |
| л-МНОП         | ER                    | 0                   | 1               | 1            | х        |
| 100 циклов     | U <sub>PR</sub> , B   | 18                  | 24              | 0            | X        |
|                | T, MC                 | 2,104               | 5 **            | 0,35 мкс     | -        |
| KP1601PP3      | CS                    | 0                   | 0               | 0            | 1        |
| 2K×8           | RD                    | 1                   | 1               | 0            | X        |
| р-МНОП         | PR                    | 1                   | 0*              | 1            | X        |
| 104 циклов     | ER                    | 0*                  | 1               | 1            | X        |
|                | U <sub>PR</sub> , B   | - 36                | - 36            | -12          | X        |
|                | τ, мс                 | 200                 | 20              | 0,4 мкс      | -        |
| KM1609PP1      | CS                    | 0                   | 0               | 0            | 1        |
| 2K×8           | ŌĒ                    | 12 B                | 1               | 0            | X        |
| лизмоп         | UPR, B                | 21 *                | 21 *            | 5            | 5        |
| 104 циклов     | T, MC                 | 12                  | 12              | 0,3 мкс      | -        |
| K573PP2        | CS                    | 0                   | 0               | 0            | 1        |
| 2K×8           | OE                    | 12 B                | 1               | 0            | X        |
| лизмоп         | UPR. B                | 22 *                | 22 *            | 5            | 5        |
| 104 циклов     | т, мс                 | 50                  | 50              | 0,35 мкс     | _        |

#### Таблица 4.4. Режимы микросхем РПЗУ-ЭС

Стирание по адресу допускают КР1601РРЗ, К573РР2, КМ1609 рр.
Воздействие в форме импульса длительностью х;

\*\* 1=1y. BM. OE:

••• Время выборки адреса.

Управление переключениями питания целесообразно осуществлять сигналом CS.

При эксплуатации микросхем РПЗУ необходимо обеспечить требуемый порядок включения и выключения напряжений питания и программирования: при включении вначале подают 5 В. затем -12 В и последним напряжение программирования, при выключении последовательность меняется на обратную. Можно все три напряжения включать и выключать одновременно.

Достоинством микросхем РПЗУ группы ЭС является возможность перепрограммирования без изъятия их из устройства, где они работают. Другим положительным свойством микросхем данной группы является значительное число циклов перепрограммирования, достигающее для большинства микросхем 10 тыс. Это их свойство в сочетании с энергонезависимостью позволяет их широко использовать в аппаратуре в качестве встроенных ПЗУ со сменяемой информацией Гарантийный срок сохранения информации при отключенном питании составляет от 3 тыс. ч до 5 лет (КМ1609PP1).

Номенклатура микросхем РПЗУ много шире представленной в табл. 4.4 за счет модификаций базовых микросхем. Например, в семействе микросхем К1601РРЗ имеется восемь модификаций от РРЗ1 до РРЗ8, отличающихся друг от друга информационной емкостью, как можно видеть из табл. 4.5, и, следовательно, вариантами использования выводов корпуса для адресных входов и информационных выходов, так как число тех и других может отличаться от базовой микросхемы. То же можно сказать и о семействах микросхем других серий. Такое разнообразие микросхем РПЗУ позволяет решать на их основе практически любые задачи по созданию энергонезависимых перепрограммируемых ПЗУ.

| Farmer             | Модиф | нкация        | Исполь   | зуемые выводы      | чуемые выводы Соединению |               |  |
|--------------------|-------|---------------|----------|--------------------|--------------------------|---------------|--|
| Dajoban mnkpoczena | Тип   | Бнт           | Адрес    | Данные             | выводов                  | FREJHON       |  |
| KP558PP1           | PP11  | 256×4         | Bce      | 7, 8, 9, 10        |                          | 4.8, a        |  |
| KP558PP2           | PP2I  | IK×8          | Кроме 19 | Bce                | i9=12*                   | 4.8,6         |  |
|                    | PP22  | IK×8          | То же    | Bce                | 19=24                    |               |  |
|                    | PP23  | 2K×4          | Bce      | 11, 13, 14, 16     |                          |               |  |
|                    | PP24  | 2K×4          | Bce      | 10, 11, 13, 14, 16 | 10=11                    |               |  |
| KP1601PP1          | PPII  | 512×4         | Кроме І  | Bce                | I = 4                    | 4.8, 2        |  |
|                    | PP12  | 512×4         | То же    | Bce                | I = 24                   |               |  |
| KPI60IPP3          | PP31  | IK×8          | Кроме 8  | Bce                | 8=23                     | 4.8,∂         |  |
|                    | PP32  | :K×8          | То же    | Bce                | 8=1                      |               |  |
| 1                  | PP33  | $2K \times 4$ | Bce      | 4, 5, 6, 7         | -                        |               |  |
|                    | PP34  | $2K \times 4$ | Bce      | 9, 10, 11, 12      |                          |               |  |
|                    | PP35  | 2K×4          | Bce      | 4, 5, 9, 10        |                          |               |  |
|                    | PP36  | 2K×4          | Bče      | 4, 5, 11, 12       | _                        |               |  |
|                    | PP37  | $2K \times 4$ | Bce      | 6, 7, 9, 10        |                          |               |  |
|                    | PP38  | $2K \times 4$ | Bce      | 6, 7, 11, 12       | -                        |               |  |
| KM1609PP1          | PPII  | IK×8          | Кроме 19 | Bce                | 19=12                    | 4.8,6         |  |
|                    | PP12  | IK×8          | То же    | Bce                | 19 = 24                  |               |  |
| K673PP2            | PP21  | IK×8          | Кроме 19 | Bce                | 19=12                    | <b>4.8, б</b> |  |
|                    | PP22  | IK×8          | То же    | Bce                | 19=24                    |               |  |

Таблица 4.5. Модификации вазовых микросхем РПЗУ-ЭС

<sup>1</sup> Микросхемы — модификации имеют нараметры базовых микросхем.

• Вывод 19 сосдинен с выводом 12.

| Базсная    | Модкфикация |        | Исаользуе     | Соединения     | Рису         |        |
|------------|-------------|--------|---------------|----------------|--------------|--------|
| микросхема | Тип         | Бит    | Адрес         | Данные         | BUBULOB      | нок    |
| K573PΦ1    | <b>ΡΦ13</b> | IK×4   | Bce           | 10, 11, 13, 15 | _            | 4.8, e |
|            | PΦ14        | IK×4   | Bce           | 9, 10, 11, 15  | - 1          | 1      |
| K573PΦ2    | PΦ21        | IK×8   | Всс, кроме 19 | Bce            | 19=12*       | 4.8,6  |
|            | PΦ22        | IK×8   | То же         | Bce            | 19=24        |        |
|            | PΦ23        | 2K×4   | Bce           | 10, 11, 13, 15 | -            |        |
|            | <b>ΡΦ24</b> | 2K×4   | Bce           | 9, 10, 11, 15  | - 1          |        |
| К573РФ3    | PP31        | 2K×16  | Все, кроме 17 | Bce            | 17 = 24      | 4.8, ж |
|            | PP32        | 2K×16  | То же         | Bce            | 17=12        | ×      |
|            | PP33        | 1K×16  | Все, кроме    | Bce            | 11=17=24     |        |
|            |             |        | 11,17         |                |              |        |
|            | PP34        | 1K×16  | То же         | Bce            | 11 = 17 = 12 |        |
| К573РФ4    | PΦ41        | 4K×8 - | Все, кроме 4  | Bce            | 4=14         | 4.8, 8 |
|            | PΦ42        | 4K×8   | То же         | Bce            | 4 = 28       |        |
|            | PΦ43        | 8K×4   | Bce           | 13, 15, 16, 18 |              |        |
|            | PΦ44        | 8K×4   | Bce           | 12, 13, 15, 18 | - 1          |        |

Таблица 4.6. Модификации в базовых микросхем РПЗУ-УФ

<sup>1</sup> Микросхемы — модифинваля имеют электрические параметры базовых микросхем

\* Вывод 19 соединен'с выводом 12

Группа микросхем РПЗУ-УФ представлена серией К573, имеющей развитый функциональный состав, который расширен за счет значительного числа модификаций базовых микросхем (табл. 4.6).

В устройстве и режимах работы микросхем РПЗУ-УФ много общего с микросхемами группы ЭС. Исключение составляет режим стирания, для реализации которого необходим источник УФ излучения. Для стирания записанной информации микросхему извлекают из контактного устройства, замыкают все ее.выводы полоской фольги и помещают под источник УФ света. обеспечив ее обдув. Стирание можно произвести, не извлекая микросхему из контактного устройства, но тогда надо отключить напряжения питания и сигналы. Типовые источники стирающего излучения — дуговые ртутные лампы и лампы с парами ртутив кварцевых баллонах: ДРТ-220, ДРТ-375, ДБ-8, ДБ-60 и др. Излучение проникает к полупроводниковому кристаллу РПЗУ через прозрачное окно в крышке корпуса. Время стирания ин-формации составляет 30 ... 60 мин. Расстояние от корпуса до баллона лампы должно быть 2,5 см. Очевидно, необходимо обеспечить чистоту стекла крышки, так как в противном случае стирание будет неполным.

Режимы работы микросхем РПЗУ-УФ: хранение, считывание, запись (программнрование) обеспечивают сигналами укравле-

ння, приведенными в табл. 4.7. В реализации названных режимов существенных особенностей, по сравнению с микросхемами группы ЭС, нет, за исключением наличия у некоторых микросхем (РФ2, РФ5, РФ6) режима контроля записи, который реализуют вслед за программированием.

Среди микросхем серии К573 выделяется более сложной структурой и расширенными функциональными возможностями микросхема К573РФЗ емкостью 4К×16 бит. Ее отличительная особенность состоит в том, что она приспособлена для непосредственной работы со стандартной магистралью, имея необходимые встроенные интерфейсные средства обеспечения режима обмена с нею. Кроме этого, микросхема имеет встроенное программируемое адресное устройство, которое позволяет без дополнитель-

| Тип инкросхемы   | Снгналы<br>управления                                | Запись<br>слова                 | Контроль<br>записи <sup>г</sup> | Считывание                   | Хранение                   |
|--|--|---------------------------------|---------------------------------|------------------------------|----------------------------|
| К573РФІ<br>ІК×8<br>100 циклов                                | CS<br>PR<br>t, mc                                    | 12 B<br>26 B *<br>1 × 300       |                                 | 0<br>0<br>0,45 ** мкс        | 1<br>X<br>—                |
| К573РФ2 (РФ5)<br>2К×8<br>100 циклов (РФ2)<br>25 циклов (РФ5) | С <u>S</u><br>ОЕ<br>U <sub>PR</sub> , В<br>т, мс     | 1 *<br>1<br>25<br>50            | 0<br>0<br>25<br>. —             | 0<br>0<br>5<br>0.45 мкс      | 1<br>X<br>5                |
| К573РФЗ<br>4К×16<br>10 ́циклов                               | CS<br>CE<br>OE<br>PR<br>U <sub>PR</sub> ; B<br>t, MC | 0*<br>i<br>1<br>0<br>- 18<br>10 | 0 *<br>0<br>1<br>1<br>18<br>10  | 0<br>0<br>1<br>5<br>0,45 мкс | 1<br>1<br>1<br>0<br>5<br>— |
| К573РФ4<br>8К×8<br>25 циклов                                 | CS<br>PR<br>U <sub>PR</sub> , B<br>T, MC             | 0<br>0*<br>25<br>100            | _<br>_<br>_<br>_                | 0<br>І<br>5<br>0,5 мкс       | 1<br>X<br>5<br>—           |
| К573РФ6<br>8К×8<br>25 циклов                                 | CS<br>OE<br>PR<br>U <sub>PR</sub> , B<br>T, MC       | 0<br>1<br>0*<br>19<br>50        | 0<br>0*<br>1<br>19<br>          | 0<br>0<br>I<br>5<br>0,3 мкс  | l<br>X<br>5                |

Таблица 4.7. Режимы микросхемы РПЗУ-УФ

<sup>&</sup>lt;sup>1</sup> Для РФЗ режим записи кода микросхемы.

<sup>•</sup> Воздействие в форме импульса длительностью т

<sup>\*\*</sup> Время выборки адреса.

ного оборудования объединять до восьми микросхем в блок ПЗУ их подключением к магистрали.

Указанные возможности микросхемы позволяют комплексировать ее с микросхемами ОЗУ К1809РУ1, ПЗУ К1809РЕ1, К1801РЕ1, с которыми она полностью совместима по разводке и входным сигналам в режимах считывания и хранения, для создания универсальных модулей ЗУ на основе стандартной магистрали [43].

Сигналы микросхемы (рис. 4.8, ж):

A<sub>1</sub> — A<sub>12</sub> — код адреса ячейки памяти;

А13-А15-код адреса микросхемы;

DIO<sub>0</sub> — DIO<sub>15</sub> — входные (при программировании) и выходные (при считывании) данные,

Адресные входы и информационные входы-выходы совмещены;

СЕ — разрешение обмена (идентичен сигналу системного интерфейса SYNC — «Синхронизация»);

OE — разрешение выдачи информации (DIN);

<u>CS</u> — выбор микросхемы; сигнал управляет адресным устройством микросхемы;

**PR** — программирование (запись, WTBT);

RPLY — выходной сигнал сопровождения считываемой информации.

Значения сигналов управления в различных режимах работы микросхемы приведены в табл. 4.7. При реализации управления необходимо иметь в виду, что совмещенные адресные и информационные выводы работают в мультиплексном режиме: вначале при  $\overline{CE}=0$  и совпадении внутреннего кода микросхемы с принятым  $A_{13}-A_{15}$  происходит запись во входной регистр кода адреса  $A_1-A_{12}$ , затем выводы переходят в режим приема данных  $DI_0-DI_{15}$  для записи или в режим вывода считанных данных  $DO_0-DO_{15}$  в магистраль. При программировании сигнал  $\overline{CE}$  на этапе приема адреса имеет значение 0, затем при приеме данных принимает значение 1.

В режиме считывания после фиксации адреса на входном регистре выходы переходят в третье состояние, а считанная из матрицы информация размещается во внутреннем выходном регистре. На выходах она появляется при сигнале OE разрешения по выходу.

Недостатками микросхем РПЗУ-УФ является малое число циклов перепрограммирования (от 10 до 100), что обусловлено быстрым старением диэлектрика под воздействием УФ излучения, необходимость изъятия из аппаратуры для стирания информации, большое время стирания, потребность в специальном оборудовании для стирания, высокая чувствительность к освещению и возможность случайного стирания информации. Вместо с тем 136 у микросхем этой группы есть и существенные достоинства сравнительно высокое быстродействие, большое разнообразие вариантов исполнения по информационной емкости, невысокая стоимость и доступность. Эти свойства микросхем РПЗУ-УФ обусловливают их широкое применение в радиолюбительских разработках.

# Глава 5

# ПРИМЕНЕНИЕ МИКРОСХЕМ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

## 5.1. Блок памяти на микросхемах РПЗУ-УФ

Известно, что наиболее критичным элементом в отношении отказоустойчивости в любых автоматизированных системах является память программ, поскольку разрушение содержащейся в ней информации, вызванное сбоем питания или другой неисправностью, приводит к отказу ЭВМ и всей системы в целом. Выходом из этого положения может служить размещение в блоках ПЗУ программ и другой важной информации, которая должна быть сохранена при сбоях и отключении питания.

Решение практических задач по применению микросхем ПЗУ (ПЗУМ, ППЗУ, РПЗУ) включает этап их программирования и этап встраивания в принципиальную схему разрабатываемого устройства. При использовании микросхем ПЗУМ и ППЗУ программирование осуществляют предварительно, так что в устройстве эти микросхемы работают только в режимах считывания и хранения и для управления ими достаточно иметь вход для сигнала выбора микросхем. Многие микросхемы ППЗУ имеют несколько таких входов (см. рис. 4.5), что позволяет повышать гибкость управления.

Микросхемы РПЗУ имеют более сложное управление (см. рис. 4.8), допускающее их программирование в составе устройства. Эти особенности сказываются на структуре контроллера ПЗУ.

Рассмотрим вопросы применения микросхем РПЗУ для построения постоянной памяти контроллеров и других микропроцессорных средств на примере блока программируемого ПЗУ, ориентированного на интерфейс И41 [31]. Структура блока (рис. 5.1) включает модуль РПЗУ емкостью 32К байта DD10 — DD25 и контроллер, обеспечивающий управление модулем.

Модуль РПЗУ на микросхемах К573РФ5 организован в виде 16 страниц, каждая из которых состоит из двух байтовых банков данных: L-банк содержит младшие байты, H-банк — старшие. Емкость каждого банка определена микросхемой и равна 2К





Рис. 5.1. Блок памяти на микросхемах РПЗУ-УФ

байт. Заметим, что аналогичная структура блока ОЗУ рассмотрена в § 3.1.

При построении модуля соедниены: одноименные адресны входы и выходы программирования (вывод 21) у всех микросхем, входы CS у микросхем в каждой странице и одноименные информационные выводы у микросхем, относящихся к одной группе банков, как показано на рис. 5.1. Адресные линии соеди нены с линиями ША  $A_0 - A_{11}$ . Причем каждая линия шины на гружена 16 входами, что обусловливает необходимость буферизации ША. Этот вопрос подробно рассмотрен в § 3.1. В данном случае он решается аналогично.

Информационные выводы соединены с одноименными линиями ШД по схеме: выводы микросхем всех L-банков с линиями  $D_0 - D_{15}$  шины, H-банков с линиями  $D_8 - D_{15}$ .

Выводы ,CS микросхем каждой страницы подключены к де шифратору DD7, а выводы ОЕ микросхем L-банков подключень к выходам дешифратора DD8, а H-банков дешифратора DD9. Дешифраторы DD7, DD8 и DD9 преобразуют адресный код A<sub>12</sub> — A<sub>14</sub> в сигналы выбора страницы при считывании слова (DD7), L-банка (DD8) и H-банка (DD9) при записи (программировании).

Кроме указанных дешифраторов, в структуру контроллера входят адресное устройство DD1, DD2 и устройство формирования управляющих сигналов для режима записи DD3 – DD6, VT1.

Блок памяти может работать в режимах хранения, считывания и программирования. Требования к управляющим сигналам микросхемы К573РФ5 в названных режимах приведены в табл. 4.7. Стирание информации производят облучением УФ светом кристалла микросхемы с соблюдением требований, указанных в § 4.3.

Для обращения к блоку РПЗУ необходимо совпадение кода адреса блока, установленного перемычками S1 — S4 (см. также рис. 3.2) и кода A<sub>15</sub> — A<sub>18</sub>, принятого с линий ША. Выполнение этого условия контролирует компаратор DD1, на выходе которого появляется 1. Элемент DD2 анализирует уровень сигнала EPROM2 разрешения обращения к ПЗУ и при 1 формирует сигнал разрешения для DD7 и других узлов контроллера.

В режиме считывания при  $\overline{MRDC} = 0$  DD7 выбирает. страницу, формируя сигнал 0 на одном из своих выходов, соответствующем коду  $A_{12} - A_{14}$ . В это время выходы дешифраторов DD8, DD9 находятся в состоянии 0 из-за блокирующего действия сигнала 1-на их V входах. Этот сигнал формирует DD3 при  $\overline{AMWC} = 1$  (упреждающий на такт сигнал записи) и EPROM1 = = 0 (запрещение обращения к блоку РПЗУ для программирования). Наличие 0 на входах ОЕ всех микросхем означает, что они подготовлены к считыванию информации по выставленному

на ША адресу. Но переходят в режим считывания только две микросхемы выбранной страницы.

Блок РПЗУ находится в режиме хранения при отсутствии обращения, когда DD7 закрыт и имеет 1 на всех выходах.

Режим программирования обеспечивают сигналы  $\overline{AMWC}=0$ и EPROMI = 1 при выполнении условия обращения к блоку РПЗУ. Контроллер в этом режиме формирует сигналы управления, требования к которым приведены в табл. 4.7. На выходе DD3 формируется отрицательный импульс длительностью 50 мс, задаваемой времязадающими элементами R2, C1. Этот импульс блокирует DD7, обеспечивая тем самым на входах CS всех микросхем уровень 1, и открывает доступ к DD8, DD9 через элементы DD4.1 и DD4.2 сигналам выбора банков: A<sub>0</sub> и BHE.

При  $A_0 = 0$  и <u>BHE</u> = 0 открыты для формирования сигналов OEL = 1 и OEH = 1 на одном из выходов оба дешифратора DD8, DD9. Если равен 0 один из сигналов, то появится на выходе соответствующего дешифратора 1 и будет, следовательно, выбран для записи один из банков.

Записываемое слово или байт поступает на информационные выводы микросхем по линиям ШД. Записываются все разряды одновременно в выбранные дешифраторами DD8, DD9 микросхемы при поступлении на вход программирования U<sub>PR</sub> напряжения 26 В. Это напряжение коммутирует на входы U<sub>PR</sub> всех микросхем при закрытом ключе SB1 транзистор VT1, открываемый сигналом EPROM1 через элемент DD6. Диод VD1 необходим для развязки цепей напряжений\_питания 5 В и программирования. Запись длится 50 мс. Для задержки процессора на это время контроллер направляет ему сигнал низкого уровня для подтверждения обмена.

Таким образом, программирование блока РПЗУ встроенными средствами осуществляется в обычном цикле обращения для записи, но с удлинением длительности цикла.

Рассмотренный блок ПЗУ может быть существенно упрощен, если с контроллера снять функцию встроенного программатора. Возможны другие варианты контроллеров, в том числе и применение микросхемы К588ВГ2 по способу, показанному на рис. 3.6.

Изменение емкости блока ПЗУ в сторону ее уменьшения не требует изменений в схеме контроллера. При применении микросхем РПЗУ других типов такие изменения необходимы, поскольку существуют отличия управляющих сигналов в режиме программирования.

Наибольший эффект при реализации, перепрограммируемой энергонезависимой памяти с минимальными аппаратными средствами позволяет получать микросхема К573РФЗ, представляющая собой однокристальный блок РПЗУ емкостью 4K×16 бит. Достаточно сказать, что четыре таких микросхемы способны полностью

заменить устройство памяти, приведенное на рис. 5.1, которое для своей реализации требует более 23 микросхем.

Микросхема в своей структуре содержит все функциональные узлы, которые имеет рассмотренный блок РПЗУ. Встроенные интерфейсные средства ориентированы на подключение к 16-разрядной магистрали МПИ без дополнительных элементов сопряжения. Встроенное адресное устройство, эквивалентное по выполняемой функции DDI на рис. 5.1, но программируемое извне электрическими сигналами, позволяет подключать к магистрали до 8 микросхем и формировать таким образом блоки памяти емкостью до 64К байт.

Свойства и характеристики микросхем К573РФЗ приведены в § 4.3.

# 5.2. Функциональные узлы на микросхемах ППЗУ

Применение микросхем ППЗУ позволяет эффективно решать задачи по разработке логических узлов с меньшими затратами аппаратных средств по сравнению с их аналогами на комбинационных микросхемах [44—48]. Это свойство микросхем ППЗУ широко применяют при построении дешифраторов, формирователей управляющих сигналов, кодопреобразователей, устройств сопряжения, знакогенераторов и т. д.

•Следует обратить внимание и на то обстоятельство, что микросхемы ППЗУ могут быть запрограммированы пользователем под конкретную задачу. Имея в своем распоряжении несколько «чистых» микросхем ППЗУ, разработчик может на основе одного типа микросхемы реализовать различные функциональные узлы. Эти же задачи можно решить и с помощью микросхемы РПЗУ, причем даже с еще более высокой эффективностью, поскольку они допускают неоднократное программирование. Однако чаще применяют микросхемы ППЗУ: они дешевле, проще в программировании, а главное, более быстродействующие (см. табл. 4.2 и 4.3).

Рассмотрим ряд примеров применений микросхем ППЗУ для выполнения различных функций, обратив основное внимание на способы решения схемотехнических задач по построению функциональных узлов и управлению ими.

На рис. 5.2 приведена схема мультиплексора адресных кодов, реализованного на трех микросхемах К556РТ5, который заменяет аналогичное устройство на четырех микросхемах К155КП2 (см. рис. 3.9) в контроллере динамического ОЗУ.

Микросхемы DD1, DD2 предназначены для передачи на адресные входы микросхем O3У адресов строк  $A_x \{A_0 - A_7\}$  и столбцов  $A_y \{A_8 - A_{15}\}$ , поступающих с линий шины адреса: линии  $A_x$  подведены ко входам DD1, линии  $A_y$  ко входам DD2. Микро-



схема DD3 служит для передачи адресов регенерации A<sub>R0</sub> — A<sub>R7</sub>, которые формирует счетчик регенерации.

Все микросхемы имеют одинаковую прошивку: в каждую ячейку микросхемы «зашит» код ее адреса. Способы и режимы программирования микросхем ППЗУ рассмотрены в § 5.3.

При объединении микросхем в модуль учтено, что они имеют открытые коллекторные выходы. Поэтому для соединения одноименных выходов применен способ «монтажное ИЛИ» с подключением к ним напряжения питания через нагрузочные резисторы. Сопротивления резисторов выбраны из условия ограничения навбольшего выходного тока любой микросхемы предельно допустимым значением.

Управляющие сигналы  $A_Y/A_X$  и REF поданы на входы CS1 — CS4 микросхем так, чтобы обеспечить заданный режим их работы. В режиме обмена магистрали с ОЗУ сигнал регенерации REF = 0. Поэтому микросхема DD3 блокирована, ее выходы находятся в высокоомном состоянии, а микросхемы DD1, DD2 поочередно сигналом  $A_Y/A_X$  открываются и передают на адресные входы блока ОЗУ адреса строк при  $A_Y/A_X = 0$  и столбцов при  $A_Y/A_X = 1$ .

В режиме регенерации сигнал REF = 1 блокирует DD1, DD2 и открывает DD3 для передачи в блок O3У адресов, строк  $A_{R0} - A_{R7}$ .



Рис. 5.3. Формирователь сигналов управления

На основе микросхем ППЗУ можно выполнить и другие функциональные узлы контроллеров ОЗУ и ПЗУ, запрограммировав их для выполнения требуемых функций.

Пример реализации формирователя управляющих сигналов представлен на рис. 5:3. Устройство построено на микросхеме DD5, в которую предварительно заносят коды заданных временных последовательностей сигналов. Для подготовки таблицы программирования (карты прожига) необходимо каждому коду адреса, начиная с нулевого, поставить в соответствие выходной код, который определен видом временных диаграмм.

Задающий генератор DD1 и счетчик DD2 — DD4 формируют код адреса. В непрерывном режиме работы этих узлов на адресмых входах DD5 происходит перебор адресов с-частотой  $F_0$  от нулевого до конечного, в результате чего на выходах этой микросхемы формируются запрограммированные временные диаграммы. Взаимный сдвиг сигналов на выходах кратен длительности такта.  $T_0 = 1/F_0$ . Это надо учитывать при оценке возможности использования такого способа реализации генератора управляющих сигналов. Например, для микросхемы К556РТ5 минимальная длительность такта определяется временем цикла считывания и равна 80 100 нс (см. табл. 4.2). Следовательно, частота смены адресов на ее входах  $F_0$  не должна превышать 10 МГц. Исходя из этого, выбирают микросхемы и способ реализации генератора DD1 и счетчика адресов.

Например, при расчете быстродействия устройства, приведенного на рис. 5.3, следует исходить из того, что с учетом
времени установления счетчика DD2 - DD4, равного 200 нс, минимальная длительность такта  $T_0$  не может быть меньше 300 нс, а наибольшая частота  $F_0$ , следовательно, не должна превышать 3 МГц. Если принять в расчет максимальные значения временных параметров, то частота будет еще ниже.

При наличии на выходе схемы мультиплексора DD6 устройство можно использовать в качестве одноканального формирователя кодовых последовательностей заданного вида с возможностью изменять вид последовательностей в автоматическом режиме, как показано на рис. 5.3, или под воздействием управляющего кода A<sub>0</sub> — A<sub>2</sub>, подаваемого на DD6 от другого источника.

При  $A_0A_1A_2 = 000$  на выход DD6 коммутируется последовательность, получаемая с выхода DO<sub>0</sub> микросхемы DD5, при коде 100 — последовательность с выхода DO<sub>1</sub> и т. д. В автоматическом режиме эти последовательности циклически чередуются с периодом в 512 тактов. Триггер DD7 необходим для исключения влияния процессов установления кодов счетчика на выходной сигнал.

Входы  $\overline{C}$ , CS,  $\overline{CS}$  расширяют возможности устройства в отношении гибкости управления его работой, наращивания емкости ППЗУ и за этот счет увеличения числа вариантов кодовых последовательностей.

Для уменьшения периода последовательностей можно ограничить используемое адресное пространство микросхемы ППЗУ, сократив разрядность измеряемого адресного кода и соответственно разрядность счетчика формирователя. В таком случае целесообразно использовать микросхему ППЗУ меньшей емкости.

Некоторое видоизменение рассмотренной схемы путем замены мультиплексора цифроаналоговым преобразователем позволяет получать генератор аналоговых сигналов с заданными характеристиками.

На рис. 5.4 приведен фрагмент схемы синтезатора аналоговых сигналов, построенный на основе микросхемы ППЗУ К556РЕЗ. Формирователь адресных кодов в этом устройстве



Рис. 5.4. Формирователь аналоговых сигналов

может быть выполнен по схеме на рис. 5.3. Микросхема DD1 содержит кодовые комбинации, определяющие форму аналогового сигнала, который формирует цифроаналоговый преобразователь DA1 при последовательном переборе адресов DD1. Операционный усилитель на выходе DD2 обеспечивает формирование уровней напряжения в диапазоне 0 10,24 В. Заметим, что при необходимости можно ввести схему управления значением и полярностью опорного напряжения и получить биполярные выходные сигналы.

Точность задания синтезируемой функции зависит от разрядности ППЗУ и ЦАП и определяется значением младшего разряда цифрового кода и шкалой преобразования ЦАП. В данном примере она равна 40 мВ. Повышение точности задания функции достигается увеличением разрядности ППЗУ и ЦАП.

Центральным элементом устройства является ППЗУ, которое предварительно программируется цифровыми кодами заданной функции (сигнала). Для составления карты прожига необходимо найти на одном периоде, равном  $2^m$ , изменения синтезируемой функции, где т — разрядность кода ППЗУ, ее значения в  $2^m$  точ-ках отсчета: по одной в каждом такте, в масштабе от 0 до  $2^n$ , где п — разрядность ЦАП. В рассматриваемом примере т =5, n =8. Затем значение каждой выборки отображают 8-разрядным ко-дом, учитывая при этом, что наибольшее значение функции соответствует единичному набору разрядов кода. Номер отсчета является адресом ячейки ППЗУ, куда требуется занести цифровой код данной выборки функции.

На основе рассмотренного принципа могут быть реализованы генераторы стимулирующих воздействий в измерительных системах, в том числе генераторы с управляемой формой колебаний, генераторы тона в цифровых электромузыкальных инструментах и т. д.

Такое устройство можно применить для автоматического управления исполнительным прибором (переключателем, регулятором и т. п.). Тогда в микросхему ППЗУ необходимо занести программу, соответствующую кодам управляющего воздействия на входах DD1. При объединении нескольких микросхем с использованием входа CS появляется возможность синтезировать несколько функций, записав предварительно их коды в микросхемы ППЗУ.

Может представить интерес для многих применений вариант использования микросхемы ППЗУ, приведенный на рис. 5.5. Устройство аналогично рассмотренному по принципу построения, но имеет более широкие возможности по синтезу сигналов, что обусловлено увеличением емкости ППЗУ и схемой управления. Триггер DD3 под воздействием входного цифрового сигнала формирует на выходе сигнал управления старшим разрядом кода адреса A<sub>10</sub> микросхемы ППЗУ DD4. Таким образом, адрес-



Рис 5.5. Преобразовитель диск ретных сигналов в двухтональные

ное пространство DD4 разделено на две странищы, в каждую из которых заносят коды разных функций.

При работе устройства на выходе ЦАП (см рис. 5.4) будут формироваться сигналы, соответствующие одной из двух функций, а именно той из них, которая выбрана значением сигнала на входе



Рис 5.6 Преобразователь двоично-деся тичного кода в семиэлементный код управ ления индикатором

| ٨  | Europiz DO |    |   |       |    |       |     |     |
|----|------------|----|---|-------|----|-------|-----|-----|
|    | 0          | 1  | 2 | :5    | 4  | 3     | - 6 | 7   |
| 0  | 0          | G  | ú | 0     | 4  | U     | 1   | Ti  |
| 1  | 11         | 0  | 0 | 11    | 1  | [1]   | 1 1 | 1 r |
| 2  | 0          | 0  | 1 | 0     | a  | E L I | 1 0 | 11  |
| 3  | 1 0        | 0  | 0 | 0     | 1  | łι    | 0   | 11  |
| 4  | 11         | 1  | 0 | 11    | Т  | 0     | -n  | ŧτ  |
| 3  | f n        |    | 0 | 0     | 1  | 0     | U   | 11  |
| ti | 10         | 11 | 0 | 0     | 0  | 0     | 0   | 11  |
| 7  | 0          | 0  | 0 | 8 I I | 1  | 11    | 1   | 11  |
| 8  | \$ 0       | υ  | 0 | U-    | ÷. | 6     | 10  | 1 L |
| 9  | 10         | 0  | 0 | 0     | 1  | 1.    | 0   | 11  |

Va=0

DD3. Устройство может быть использовано, например, для преобразования двоичного сигнала в двухтональный сигная звуковой частоты. Для реализации этой возможности следует одну страницу, соответствующую  $A_{10}=0$ , запрограммировать функцией синуса с периодом  $T_1=1/F_1$ , а, вторую  $A_{10}=1$  — функцией синуса с периодом  $T_2=1/F_2$ , где  $F_1$ ,  $F_2$  — выбранные частоты. Далее надо определить, как разместить в адресном пространстве страниц коды функций. Потребуем, чтобы функции укладывались в адресном пространстве целым числом периодов  $\Pi_1$ ,  $\Pi_2$  соответственно. Тогда из равенства адресного пространства страниц следует  $\Pi_1 T_1 = \Pi_2 T_2$ , или  $F_2/F_1 = \Pi_2/\Pi_1$ .

Для примера выберем  $F_1 = 1400$  Гц,  $F_2 = 2100$  Гц, тогда  $\Pi_2/\Pi_1 = 3/2$ , т.е. полный цикл перебора адреса для первой страницы соответствуст двум периодам частоты 1400 Гц, а для второй — трем периодам частоты 2100 Гц.

Для составления карты прожига необходимо найти значения 1024 выборок на интервале двух периодов первой функции для страницы ППЗУ при А<sub>10</sub>=0 и на интервале трех периодов второй функции для страницы А<sub>10</sub>=1. Учитывая, что номер выборки является адресом ячейки ППЗУ, занести в карты первой и второй страниц ППЗУ 8-разрядные коды выборок функций. При возможности снизить требования к точности задания функций можно использовать микросхемы меньшей емкости, например две микросхемы K155PE3, объединив их одноименными выводами и использовав вход CS для сигнала адреса страниц.

Напротив, если требования к точности заданий функций повышены, то следует применять микросхемы с большей емкостью. Для синтеза синусондальных колебаний целесообразно использовать микросхемы ПЗУМ со стандартными прошивками синусфункций (см. § 4.1).

В рабочем режиме устройства на рис. 5.5 переключение страниц. ППЗУ производит сигнал на входе DD3: при 0 на выходе ЦАП устройства появляется сигнал с частотой  $F_1 = 1400$  Гц, считываемый с первой страннцы, при 1 — сигнал  $F_2 = 2100$  Ги, считываемый со второй страницы. Наибольшая частота синтези руемых колебаний определяется предельной частотой операционного усилителя, временем установления ЦАП и временем цикла считывания микросхемы ППЗУ.

Пример реализации на основе микросхемы ППЗУ К155РЕЗ преобразователя двоично-десятичного кода в семиэлементный код управления индикатором приведен на рис. 5.6. Здесь же показана таблица состояний микросхемы ППЗУ, которая является и таблицей программирования: слева в десятичной форме представлены адреса ячеек памяти от нулевого до девятого, справа — код, который надо занести в соответствующие ячейки. При составлении таблиц учтено, что микросхема DD1 имеет открытый коллекторный выход, и поэтому для зажигания сегмента на нем должен быть уровень 0. Точкой управляет сигнал V<sub>h</sub>, полаваемый на вход старшего разряда кода адреса. при V<sub>h</sub> = 0 точка отсутствует, при V<sub>h</sub> = 1 — индицируется. Вывод CS использован для сигнала гашения индикатора: при 1 все выходные транзисторы микросхемы DD1. закрываются, разрывая цени для токов через сегменты индикатора.

Для построения различных логических устройств, особенно устройств управления с нерегулярной логикой формирования выходных сигналов, целесообразно применять микросхемы ПЛМ [48]

Характеристика микросхем ПЛМ приведена в § 4.2. Способы их применения в устройствах аналогнчны микросхемам ППЗУ матричного типа. Основнюе отличие состоит в режимах програм мирования

## 5.3. Программирование микросхем ППЗУ

Процедуру предварительной записи информации в микросхему ППЗУ перед установкой на печатную плату называют ее программированием Эта операция является важнейшей составной частью решения любой практической задачи по применению микросхем ППЗУ. В этом убеждают и те примеры устройств, которые рассмотрены в § 5.2.

В исходном для программирования состояния микросхема ППЗУ в своей матрице имеет все перемычки, что соответствует наличию во всех элементах памяти 0 или 1 в зависимости от характеристики усилителя считывания (см. § 4.2). Программирование микросхемы представляет собой процесс пережигания перемычек в тех ЭП, где требуется изменить информацию. Эту операцию выполняют с помощью устройства, называемого программатором, в ручном или автоматическом режиме.

Пережигание перемычек производят по одной последовательно во времени, чтобы не нарушить температурный режим микросхемы. Принцип программирования поясним с помощью рис. 5.7, на котором показаны элементы простейшего программатора: устройство для формирования кода адреса, устройство контроля, генератор одиночных импульсов, группа переключателей SA1— SA4 и контактов реле K1.1—K1.3, обеспечивающих коммутацию цепей при программировании микросхемы.

На этапе подготовки микросхему проверяют на наличие логических 0 во всех ЭП, подавая на адресные входы  $A_0 - A_7$  все адресные наборы и контролируя состояние выходов устройством контроля. Надо иметь в виду, что предприятие-изготовитель оставляет за собой право поставлять микросхемы ППЗУ с начальной информацией в некотором количестве ячеек памяти, обычно не более четырех. Причиной такого явления могут быть испытания микросхем на программируемость при их выпуске. Применительно к микросхеме К556РТ4 это означает, что ряд ячеек памяти может содержать логические 1. Ячейки с началь-



Рис. 5.7. Простейший программатор микросхем ППЗУ

ной информацией указывают в сопроводительном документе. При программировании надо либо исключить из обращения ячейки с начальной информацией, либо записывать в них информацию с учетом имеющихся в них логических 1. По окончании контроля начального состояния микросхемы ключами SA1 - SA4 закорачивают ее выходы с корпусом. Управляющие входы CS1 и CS2 также соединены с корпусом. Заметим, что при программировании микросхем с начальным заполнением логическими 1 выходы соединяют не с корпусом, а с источником напряжения 5 В. На этапе программирования кодом адреса выбирают ячейку памяти, в которую необходимо занести логические I. Затем размыкают ключ того выхода, которому принадлежит программируемый ЭП, и запускают генератор одиночных импульсов. Реле К1, переключив свои контакты, коммутирует на выводы CS2, U<sub>сс</sub> и выбранного выхода DO напряжение 12,5 В на короткое время. Время программирования в нашем примере определяет длительность удержания реле во включенном состоянии. Обычно для пережигания перемычки достаточно 100 300 мс. С началом программирования в структуре микросхемы (см. рис. 4.4) открывается формирователь выбранного выхода. например  $F_2$ , и создается низкоомная цепь для тока от  $U_{cc} = 12,5$  В через открытый эмиттерный переход транзистора і строки и второго столбца, через открытый ключ VT2 и выход F2 на корпус. Протекающий через перемычку импульс тока значительной амплитуды пережигает ее. В это время формирователи других выходов закрыты, поскольку все ключи, кроме SA2, замкнуты. В следующий цикл программируют другой ЭП этой же ячейки памяти, и так до тех пор, пока не будут занесены все 1 в данную ячейку. Затем изменением адреса переходят к соседней ячейке, и цикл повторяется.

После программирования следует проверить состояние всех ячеек памяти и при необходимости повторить программирование. Необходимость повторения вполне вероятна, так как предприятие-изготовитель гарантирует надежное программирование только части выпускаемых микросхем. Эту часть оговаривают в технических условиях коэффициентом программирования, значение которого для разных типов микросхем ППЗУ лежит в пределах 0,65 0,9. Например, для рассматриваемой микросхемы КР556РТ4 коэффициент программирования равен 0,65. Это означает, что из 100 микросхем, подвергнутых программированию, только у 65 гарантирована правильная запись информации и соответствие их электрических параметров установленным нормам.

Более надежным является программирование путем подачи трех серий импульсов (на вход управления, на выход питания и на выбранный выход) длительностью 25 50 мкс каждый со скважностью 10 с фронтом 0,3 3 мкс. Такой режим программирования может быть реализован схемой программатора с автоматическим формированием программирующих импульсов.

При программировании микросхем ППЗУ надо учитывать возможность восстановления проводящей перемычки со временем из-за явления миграции ионов. Установлено, что если пережигание происходит при импульсе с крутым фронтом, то оно носит характер микровзрыва с интенсивной окислительной реакцией на краях разрыва. В таком случае возможность восстановления перемычки существенно уменьшается. Практически отсутствует эффект восстановления после пережигания перемычек из поликристаллического кремния (серия K541) и силицида платины (серия K1608).

Технология программирования микросхем ППЗУ предусматривает три режима: нормальный, форсированный и дополнительный. Более подробно вопрос программирования микросхем ППЗУ рассмотрен в [3, 49]. Здесь лишь уместно заметить, что указанные режимы отличаются длительностью программирующих импульсов и их числом. Например, если в нормальном режиме для микросхем серии К556 общее время записи не должно превышать 400 мс, то в форсированиом режиме это время увеличивают до 1,5 с. Если после указанных режимов программирования информацию записать не удается, то микросхему бракуют.

Для выявления слабых мест в запрограммированной микросхеме ее подвергают электротермотренировке в течение не менее 168 ч при температуре 125° С с последующим контролем правильности записанной информации и электрических параметров. В случае нарушения записанной информации повторяют цикл программирования и электротермотренировку. При повторном нарушении микросхему бракуют.

При программировании микросхем с перемычками из поликристаллического кремния (серия К541) и из силицида платины (серия К1608) электротермотренировку можно не проводить.

Варнант программатора, рассчитанный на ручной режим программирования и удобный для практической работы в любительских условиях, приведен на рис. 5.8 [47]. Функциональная схема содержит генератор одиночных импульсов длительностью 50 100 мс, построенный на элементах DD2.1 — DD2.4 и управляемый кнопкой S6, формирователь кода адреса на переключателях S1 — S5, электронный ключ VT1 — VT4 с временем коммутации менее 1 мкс для подачи на выбранный переключателем S7 выход микросхемы ППЗУ DD1 и на ее вывод U<sub>се</sub> напряжения программирования U<sub>PR</sub> = 10 В, устройство контроля записи на диодах VD4, VD5.

Устройство можно достаточно легко приспособить для программирования микросхем ППЗУ большей емкости, чем К155РЕЗ. Для этого надо расширить адресное устройство.

В исходном состоянии матрица микросхемы К155РЕЗ запол-



Рис. 5.8. Принципнальная схема программатора микросхем ППЗУ

нена 0. Чтобы проверить это, необходимо последовательно обратиться при установленном переключателями S1 — S5 адресе к каждому ЭП переключателем S7- Если в данном ЭП перемычка цела, т. е. находится 0, то светоднод VD5, защунтированный днодом VD4, гореть не будет. При нарушении перемычки, что соответствует 1 в данном ЭП, светодиод загорится. Эту процецуру повторяют для всех 32 адресов микросхемы.

Программирование осуществляют в соответствии с картой прожига (см. § 5.2) в следующем порядке: набирают адрес ЯП, переключателем S7 выбирают ЭП, в который следует записать 1, и кнопкой SG запускают генедатор. При этом формируется сигнал 1 разрешения программирования, который с выхода DD2.2 поступает на вход микросхемы ПНЗУ. На выходе DD2.4 появ ляется отрицательный импульс, длительность которого 50 ... 100 мс задает цень R6C1. Транзистор VT1 закрывается, а VT2 — VT4 открываются и коммутируют напряжение 10 В на вывод питания DD1 через R8, VD4 и выбранный S7 выход DD1 через R9, VD3. После отжатия SG автоматически осуществляется контроль: если диод VD5 загорелся, то запись 1 удалась. При необходимости у K155PE3 равен 0,3) рекомендуют увеличивать напряжение программирования ступенями по 0,5 В до 14 В.

Аналогичное по назначению устройство для микросхем РПЗУ-УФ описано в [52]

Выпускаемые промышленностью программаторы, предназначенные для автономного примечения, позволяют программиро-



Рис. 5.9. Устройство автоматического программирования микросхем ППЗУ, РПЗУ: а — структурная схема, б схема подключения микросхемы ППЗУ в ~ времени " граммы подвжений программировании

вать микросхемы ППЗУ и РПЗУ в пошаговом и автоматическом режимах с контролем записи и предварительным редактированием заносимой в микросхему информации. Такими возможностями располагают, в частности, серийные программирующие устройства типа АУПП, 815, УЗП-80 и др. [3].

Активно разрабатываются и встроенные средства программирования, ориентированные на конкретные микроЭВМ, например «Электроника К1-20» [55], «Электроника Д3-28» [56], «Радио-86РК» [51] и др. Перспективным для практики является направление создания универсальных программаторов для всех микросхем ППЗУ и РПЗУ, способных к быстрой перенастройке при изменении типа микроЭВМ [50].

Такие программаторы должны иметь три программируемых

источника с напряжением от 0 до 26 В с токами нагрузки до сотен миллиампер и электронные ключи с временем переключения менее 0,6 мкс. Вариант структурного построения программатора встроенного типа представлен на рис. 5.9. Конструктивно программатор представляет собой модуль, который имеет средства сопряжения с системной магистралью через узел промежуточного интерфейса и с микросхемой ППЗУ, РПЗУ, которая должна быть запрограммирована. В структуру модуля входят блок программируемых источников напряжения, контроллер этого блока, буферные регистры адресов и данных, узел промежуточного интерфейса и узел сопряжения с программируемой микросхемой.

Основное назначение модулей программирования состоит в преобразовании сигналов в той или иной системной магистрали в сигналы, необходимые для программирования микросхемы конкретного типа. Например, микросхема К556РТ5 подключается к модулю по схеме на рис. 5.9, б и ее программирование осуществляют сигналы генерируемых модулем амплитудно-временных диаграмм, показанных на рис. 5.9, в.

Комплект модулей программирования и узлов сопряжения для микросхем ППЗУ, РПЗУ всей номенклатуры приведен в [54]

# 5.4. Знакогенератор на микросхемах ПЗУМ

Применение микросхем ПЗУ масочного типа со стандартной прошивкой рассмотрим на примере генератора знаков (символов), реализованного на микросхемах К155РЕ21 (буквы русского алфавита), К155РЕ22 (буквы латинского алфавита), К155РЕ23 (арифметические знаки и цифры). Каждая из названных микросхем применяется совместно с микросхемой К155РЕ24, содержащей дополнение к знакам.

Схема блока памяти, который обеспечивает формирование символов, представлена на рис. 5.10 [57, 18]. Микросхемы ПЗУМ DD1 — DD4 объединены одноименными адресными входами и выходами, причем объединение выходов ОК выполнено по схеме «монтажное И» с подключением к ним нагрузочных резисторов и источника напряжения питания. Входы СS использованы для выбора нужной из микросхем старшими разрядами кода адреса A<sub>8</sub>, A<sub>9</sub>.

Выходы K155PE24 через мультиплексор DD5, управляемый сигналами A<sub>8</sub>, A<sub>9</sub>, используют как дополнение с выходами основных трех микросхем: DO<sub>2</sub> с K155PE21, DO<sub>1</sub> K155PE22, DO<sub>0</sub> с K155PE23.

Блок памяти имеет 10 адресных входов A<sub>0</sub> — A<sub>9</sub> и пять выходов V1 — V5, на которых формируются сигналы управления устройством отображения информации.

Код адреса состоит из трех частей: A<sub>0</sub> — A<sub>2</sub>, A<sub>3</sub> — A<sub>7</sub>, A<sub>8</sub>A<sub>9</sub>. Младшие разряды выбирают строку символа, разряды A<sub>3</sub> — A<sub>7</sub>





$$A_1 - A_2 = 0, \ A_3 = 1, \ A_4 = 0$$

| A, | $\Lambda_1$ | Aa  | V1_ | V2 | V3      | V4 | V5 |
|----|-------------|-----|-----|----|---------|----|----|
| 0  | U           | 0   |     |    |         |    |    |
| 0  | 0           | - I | 5   |    | 1       |    | 1  |
| 0  | 1           | 0   |     | 1. | - T - 1 |    | 1  |
| 0. | 1           | L L |     |    | - T - 1 |    | -1 |
| 1  | 0           | 0   | 1   | 1  |         |    | 1  |
| 1  | 0           | 1   | 1   |    |         |    | 1  |
| 1  | - 1         | 0   | E E |    | L       |    | 1  |
| 1  | 1           | 1   |     |    | 1       | 1  | 1  |

определяют вид символа из набора символов одной микросхемы, A<sub>8</sub>A<sub>9</sub> выбирают микросхему и дополнительный к ней выход K155PE24.

При  $A_9A_8 = 01$  управляющие сигналы формируют DD1 и выход DO<sub>2</sub> микросхемы DD4. В соответствии с таблицей прошивки микросхемы K155PE21 при нулевом наборе  $A_7 - A_3$  и при переборе комбинаций  $A_2A_1A_0$  с ее выходов считываются управляющие сигналы, соответствующие букве Ю, как показано в таблице на рис. 5.10 (для иаглядности в нзображениях кодовых комбинаций V1-V5 опущены 0).

Изменение кода  $A_3 - A_7$  вызывает из памяти требуемый символ. Общее число символов 32. Формат их представления  $7 \times 5$  (нулевая комбинация  $A_0 - A_2$  не используется).

Для ознакомления со способами сопряжения блока памяти с устройствами отображения информации можно обратиться к [57].

В номенклатуре современных микросхем ПЗУМ со стандартными прошивками широко представлены микросхемы для знакогенераторов разного типа. Информация о таких микросхемах помещена в § 4.1.

## 5.5. Динамическое питание микросхем ПЗУ

Микросхемы ППЗУ и РПЗУ потребляют мощность 0,8 1 Вт на корпус. Для снижения уровня энергопотребления используют способ динамического питания, вариант реализации, которого приведен на рис. 5.11 [58]

Схема динамического питания включает дешифратор выбора микросхем DD17, транзисторные ключи VT1-VT16. Дешифратор DD17 под воздействием сигналов старших разрядов кода адреса А11-А14 формирует на одном из своих выходов уровень 0 и обеспечивает открывание соответствующего транзистора. Через открытый транзистор на вывод питания микросхемы памяти поступает напряжение питания и приводит ее в рабочее состояние. Остальные микросхемы памяти, не имея питания, находятся в выключенном состоянии. Таким образом, схема динамического питания, помимо своей основной функции, реализует логику выбора микросхем памяти. При отсутствии обращения к блоку памяти при A15=1 на выводах 14, 18 DD17 присутствует уровень 1, при котором на всех выходах устанавливаются I и поддерживают транзисторные ключи в закрытом состоянии. При этом все микросхемы памяти выключены н не потребляют тока от источника питания.

При использовании динамического питания существенно снижается потребляемая мощность, несколько увеличивается длительность цикла обращения к микросхемам памяти для считыва-



Рис. 5.11 Схема импульсного питания ПЗУ

ния и снижается напряжение питания на значение падения напряжения на открытом транзисторе. При недопустимости снижения уровня напряжения питания необходимо предусмотреть питание блока памяти от отдельного источника с напряжением 5,6 В.

Аналогичную схему динамического питания можно применить и для блока на микросхемах РПЗУ [59].

| Указатель | микросхем |       |      |
|-----------|-----------|-------|------|
| Серия     | Стр.      | Серия | Cip. |
| K132      | 45        | K581  | 45   |
| K134      | 55        | K588  | 73   |
| K155      | 54        | K589  | 66   |
| K176      | 38        | K596  | 114  |
| K185      | 55        | K1002 | 70   |
| K500      | 38        | K1500 | 56   |
| K505      | 115       | K1601 | 125  |
| K531      | 66        | K1603 | 114  |
| K537      | 40        | K1608 | 120  |
|           |           |       |      |

| K541 | 52  | K1609 | 125 |
|------|-----|-------|-----|
| K555 | 68  | K1610 | 115 |
| K556 | 120 | K1611 | 125 |
| K558 | 125 | K1623 | 120 |
| K561 | 69  | K1656 | 114 |
| K563 | 114 | K1800 | 71  |
| K565 | 56  | K1801 | 117 |
| K568 | 115 | K1802 | 66  |
| K573 | 125 | K1804 | 66  |
| K580 | 66  | K1809 | 51  |
|      |     |       |     |

#### Список литературы

- Полупроводниковые запоминающие устройства и их применение/В. А. Андреев, В. В. Баранов, Н. В. Бекин и др.; Под ред. А. Ю. Гордонова. М.: Радио и связь, 1981. — 343 с.
- 2. Полупроводниковые БИС запоминающих устройств: Справочник. Под ред. А. Ю. Гордонова, Ю. Н. Дьякова. — М.: Радио и связь, 1986. — 360 с.
- Хвощ С. Т., Варлинский И. Н., Попов Е. А. Микропроцессоры и микроЭВМ в схемах автоматического управления. Справочник/Под общей ред. С. Т. Хвоща. — Л.: Машиностроение, 1987.—640 с.
- Огнев И. В., Шамаев Ю. М. Проектирование запоминающих устройств. М.: Высшая школа, 1979 — 320 с.
- 5. Андресв В. П. РПЗУ на основе стеклообразных полупроводников. М.: Радно и связь, 1985. — 201 с.
- Схемотехника БИС постоянных запоминающих устройств/О. А. Петросян, И. Я. Козырь, Л. А. Коледов, Ю. И. Щетинин. М.: Радно и связь, 1987. — 304 с.
- 7. Караханян Э. Р., Шилин В. А. Динамические интегральные схемы памяти с МДП структурой. — М.: Радио и связь, 1984.—136 с.
- Веннаминов В. Н., Лебедев О. Н., Мирошинченко А. И. Микросхемы и их применение. — 3-е изд., перераб. — М.: Радио и связь, 1989. — 240 с.
- 9. Заморин А. П., Мячев А. А., Селиванов Ю. П. Вычислительные машины, системы, комплексы: Справочник/Под ред. Б. Н. Наумова, В. В. Пржиялковского. — М.: Энергоатомиздат, 1985.—264 с.
- ГОСТ 2.743—82. Обозначения условные графические в схемах. Элементы цифровой техники.
- ГОСТ 19480—74 (с изменениями 1985 г.). Микросхемы интегральные. Термины, определения и буквенные обозначения электрических параметров.
- 12. ГОСТ 17467-79. Микросхемы интегральные. Основные размеры.
- 13. ГОСТ 17467-72. Микросхемы интегральные. Корпуса, типы и размеры.
- Аналоговые и цифровые интегральные микросхемы. Под ред. С. В. Якубовского. — М.: Радио и связь, 1985. — 432 с.
- Шило В. Л. Популярные цифровые микросхемы: Справочник. М.: Радно и связь, 1987.—352 с.
- 16. Ланцов А. Л., Зворыкин Л. Н., Оснпов И. Ф. Цифровые устройства на комплементарных МДП-интегральных микросхемах. М.: Радно и связь, 1983. 272 с.
- Аваев Н. А., Дулин В. Н., Наумов Ю. Е. Большие интегральные схемы с инжекционным питанием. — М.: Сов. радио, 1977.—248 с.
- 18. Применение интегральных микросхем в электронной вычислительной техинке: Справочник/Под ред. Б. Н. Файзулаева, Б. В. Тарабрина.— М.: Радио и связь, 1986.—384 с.
- Однолько А. Б. Сверхбыстродействующее статическое ОЗУ емкостью 64К // Электроиная промышленность. — 1987. — Вып. 3. — С. 17.

- Боулен М. Энергонезависимое ЗУПВ с литневыми батареями // Электроника. – 1983. – Вып. 13. – С. 49.
- Лашевский Р. А., Тенк Э. Э., Хорин В. С. Однокристальнос статическое ОЗУ со встроенным интерфейсом // Микропроцессорные средства и системы. — 1984. — Вын. 2. - С. 85.
- Ахметжанов Б. М. н др. СБИС динамического ЗУПВ емкостью 256К// Электронная промышленность.—1987 — Вып. 3. — С. 14.
- Анализ функциональных возможностей, закладываемых в новое поколение динамических ЗУПВ емкостью 256К // Электроника.—1984.—№ 14.— С. 29.
- 24 Коган Л. л. и др. БИС регистрового ЗУ К1002ИР1 // Электронная промышленность. – 1982. – Вып. 1 – С. 18.
- ОСТ 25969—82. Системы малых электронных вычислительных машин. Интерфейс 1141. Технические. требования.
- ГОСТ 26765.51—86. Система электронных модулей Магистральный параллельный интерфейс (МПИ) Общие требования.
- 27 Мячев А. А., Никольский О. А. Стандартные интерфейсы микропроцессорных систем // Микропроцессорные средства и. системы. — 1984. — Вып. 1. — С. 27
- Коффрон Д., Лонг В. Расширение микропроцессорных систем. -- М. Маш исстроение, 1987 — 320 с.
- 29 Дианов А. П., Щелкунов Н. Н. Организация динамической памяти микросистем // Микропроцессорные средства и системы.— 1987.— Вып. 4.-- С. 75.
- Еремин Ю. А., Морозов А. Г. Контроллер динамического ОЗУ для микропроцессорных устройств // Микропроцессорные средства и системы.—1986.--Вык. 3.— С. 75.
- 31. Иванов С. Н., Романов А. Ф., Чернышов Ю. Н. Одноплатная микроЭВМ на МПК БИС серии К1810 // Микропроцессорные средства и системы.— 1986.— Вып. 6.— С. 8.
- 32. Горинков Д., Зеленко Г., Озеров Ю., Попов С. Персональный радиолюбительский компьютер «Радно-86РК» // Радио. — 1986. — № 4. — С. 24; № 5. — С. 31
- Курмаев О. Ф., Балабанов А. А. Контроллер динамической памяти // Микропроцессорные средства и системы.—1988.— Вып. 1.— С. 79.
- 34. Дианов А. П., Щелкунов Н. Н. Малогабаритные источники питания для микросистем // Микропроцессорные средства-и системы.—1987.— Вып. 3.— С. 73.
- 35. Крылов А. Блок питания компьютера «Радно:86РК» // Радио, 1986. -- № 11 --С. 26; № 12. -- С. 17.
- Влаския А., Годин С. Цифровой ревербератор // В номощь радиолюбителю. Вып. 95.— С. 29.
- 37. Рао В. Использование ЗУПВ для формирования длительных задержек // Электроника.—1983.—№ 7.— С. 62.
- Кутыркин С. Б., Маньжов Б. Н., Шиндов В. С. Апалого-цифровое устройство для исследования и регистрации электрических сигналов // Электронная промышленность. – 1985. – Вып. 9. – С. 15.
- Овчинныков Л. Г., Сороченко Н. И. Устройство индикации // Микропроцессорные средства и системы. -- 1987. -- Вып. 4 -- С. 46.
- Пузаков А. Телеграфный ключ с селективной памятью // В помощь раднолюбителю. -- Вып. 99. -- С. 27
- Абрамов С. Н. и др. КМОП ПЗУ К563РЕ2 со встроенной схемой исправлеция ошнбок // Электронная промышленность. ~1987.... Вып. 4. - С. 50
- Демин С. Г., Кружанов Ю. В., Энис В. И. Биполярное ПЗУ КА596РЕ2 со встроенными схемами исправления ошибок и самоконтроля // Электроиная промышленность.—1985. Вым. 9.— С 6.
- Агалкин В. П. н др. Комплект схем постоянной памяти для микропроцессорной техники // Электронная промышленность. 1985. Вын. 7. С. 17.
- 44 Лукьянов Д. А. ПЗУ -- универсальный элемент инфровой техники // Микропроцессорные средства и системы.—1986. — Вып. 1.— С. 75.
- Щелкувов Н. Н., Дианов А. Л. ПЗУ вместо произвольной логики // Микропроцессорные средства и системы. — 1986. — Вып. 1 — С 83.

- 46. Власенко В. Применение ППЗУ // Радно.—1987 № 11 С 27
- 47 Пузаков А. ПЗУ в спортивной аппаратуре // Радно:-1982.- № 1 С. 22
- Щербаков О. А. Особенности применения ПЛМ в микропроцессорных системах // Микропроцессорные средства и системы — 1986. — Вып. 2. — С. 80.
- 49 Дианов А. П., Щелкунов Н. Н. Методика программирования микросхем ПЗУ // Микропроцессорные средства и системы — 1985. — Вып. 3. — С. 75.
- 50 Лукьянов Д. А. Схемотехника универсальных программаторов ПЗУ // Микропроцессорные средства и системы.—1985.— Вып. 3. — С 84
- 51 Лукьянов Д., Богдан А. «Радио 86РК» Программатор ПЗУ // Радио. 1987 — № 8. — С 21, № 9. — С 24, 1988 — № 2. – С 24
- 52 Лукьянов Д. Радно о «Рално-86РК» // Радно. 1986. № 10. С 32.
- Щелкунов Н. Н., Дианов А. П. Процедуры программирования логических матриц // Микропроцессорные средства и системы. —1986. — Вып 2. — С. 71
  Дианов.А. П., Щелкунов Н. Н. Модули программирования логических схем //
- 54 Днанов.А. П., Щелкунов Н. Н. Модулн программирования логических схем // Микропроцессорные средства и системы.—1988.—Выя 1—С 40.
- 55. Найденов А. В., Романенко В. А. Программатор ППЗУ на базе микроЭВМ «Электроника: К1-20» // Микропроцессорные средства и системы.—1986.— Вый, 5.— С. 34
- 56 Жихарев В. И. Программатор на базе микроЭВМ «Электроника ДЗ-28» // Микропроцессорные средства и системы.—1986.— Вып. 5 — С 40.
- 57 Бирюков С., Краснов Е. Свето-ниформационное табло // Радио.--1987.--№ 6.- С. 17
- 58. Сергеев А. Динамическое питание ПЗУ // Радно.-1987 № 12.- С. 26.
- 59. Шуман Д. Снижение мощности потребления устройств памяти на СППЗУ путем стробирования // Электроника. — 1983. — № 10. — С. 56
- 60 Гладышев В. В. Энергонезависимое ОЗУ в качестве имитатора ПЗУ // Микропроцессорные средства и системы. 1988. Вып 2 С 32
- 61 Интерфейсные БИС микропроцессорного комплекта К1801 // Микропроцессорные средства и системы.—1988.— Вып 4 — С 89
- 62 Семейство ЭВМ «Электроника К1»/Под ред. Л Н Преснухина М. Высшая школа, 1988.—191 с

# ЦАП и АЦП

# предисловие

Увеличение скорости и точности обработки информации в устройствах. и системах радиоэлектронной и вычислительной техники потребовало разработки большого класса быстродействующих однокристальных схем аналого-цифровых и цифро-аналоговых преобразователей (АЦП и ЦАП) широкого применения.

Развитие интегральной микроэлектроники за последние три десятилетия можно разделить на два этапа: первый (1960—1975 гг.) разработка, освоение в производстве и расширение промышленного выпуска логических микросхем для ЭВМ; второй (1976— 1986 гг.) — дальнейшее развитие работ по разработке и серийному производству сложных цифровых больших интегральных схем (БИС) и сверхбольших интегральных схем (СБИС) и использование планарной технологии в изготовлении широкого класса линейных схем прецизионной точности для обработки и преобразования аналоговых сигналов (операционных усилителей, компараторов, АЦП и ЦАП).

Микросхемы преобразователей сигналов по сравнению с цифровыми микросхемами имеют следующие особенности:

высокую точность и большую стабильность выходных и входных характеристик в широком диапазоне температур;

сравнительно большое число контролируемых параметров в технологическом цикле производства, при контроле готовых схем и механических и климатических испытаниях;

высокие требования к контрольно-измерительной аппаратуре по точности и производительности при проверке статических и динамических параметров.

При разработке и изготовлении микросхем ЦАП и АЦП необходимо учитывать большую номенклатуру входящих компонентов и повышенные по сравнению с цифровыми микросхемами требования к их электрическим параметрам по точности и температурной стабильности; нерегулярность структуры и наличие в ней узлов, выполняющих линейные и нелинейные функции обработки сигналов (разрядные ключи, усилители, компараторы, источники опорного напряжения, резисторные матрицы, схемы управления и запоминания). Возникает много проблем технологического характера, которые связаны с обеспечением требований по точности и контролю геометрических размеров многослойных микроструктур, формируемых на пластине кремния.

В настоящее время промышленностью выпускается большая номенклатура микросхем ЦАП серий К594ПАІ, КІІ08ПА, КІІ18ПА, К572ПА и АЦП серий КІІ07ПВ, К572ПВ, КІІІ3ПВ и др. Для пост-6-499 161 роения современных вычислительных систем обработки информации широко применяются быстродействующие ЦАП и АЦП.

Несбходимо отметить следующие основные тенденции развития микросхем ЦАП и АЦП; расширение функциональных возможностей за счет увеличения схемной и конструктивной сложности; повышение разрядности с одновременным снижением потребляемой мощности; рост быстродействия до 100—150 МГц при преобразовании сигналов с полосой частот от 25 до 50 МГц.

# Глава I

# ОСОБЕННОСТИ ПОСТРОЕНИЯ БЫСТРОДЕЙСТ-ВУЮЩИХ МИКРОСХЕМ ЦАП, АЦП И АППАРАТУРЫ ДЛЯ ИЗМЕРЕНИЯ ИХ ЭЛЕКТРИЧЕСКИХ ПАРА-МЕТРОВ

#### I. I. ОСОБЕННОСТИ ПОСТРОЕНИЯ И КОНСТРУКТИВНОЕ ИСПОЛНЕНИЕ ЦАП

Цифро-аналоговыми преобразователями (ЦАП) называют устройства, генерирующие выходную аналоговую величину, соответствующую цифровому коду, поступающему на вход преобразователя [1]. Цифро-аналоговые преобразователи используются для согласования ЭВМ с аналоговыми устройствами, а также в качестве внутренних узлов в аналого-цифровых преобразователях (АЦП) и цифровых измерительных приборах [2]. Цифро-аналоговое преобразование в рассматриваемых в данной книге ЦАП состоит в суммировании эталонных величин, соответствующих разрядам входного кода. Применяются в основном два метода инфро-аналогового преобразования: суммирование единичных эталонных величин и суммирование эталонных величин, веса которых отличаются. В первом при формировании выходной аналоговой величины используется только одна эталонная величина весом в один квант. Во втором методе применяются эталонные величины с весами, зависящими от номера разряда, и в суммировании участвуют только те эталонные величины, для которых в соответствующем разряде входного кода имеется единица [1]. При этом используется двоичный позиционный код или двоично-десятичный. В случае двоичного позиционного кода значения всех разрядов поступают одновременно на все входы ЦАП. Работа таких ЦАП описывается выражением  $X = P(a_1 2^{-1} + a_2 2^{-2} + ... + a_i 2^{-b})$ , где X — выходная аналоговая величина; а, — коэффициенты соответствующих двоичных разрядов, которые принимают дискретные значения единица или нуль; P — опорный сигнал; b — число разрядов. Опорным сигналом может служить напряжение постоянного или переменного тока. В преобразователях из опорного сигнала формируются эталонные величины, соответствующие значениям разрядов входного кода, которые суммируются и образуют дискретные значения выходной аналоговой величины. Дальнейшая классификация ЦАП может быть проведена по разным признакам [3]: 6.

 а) способу формирования выходного сигнала (с суммированием напряжений, делением напряжения, суммированием токов);

б) роду выходного сигнала (с токовым выходом, выходом по напряжению);

в) полярности выходного сигнала (униполярные, биполярные);

r) характеру опорного сигнала (постоянный, переменный);

 д) конструктивно-технологическому исполнению (модульные, гибридные, интегральные);

е) типу элементов для суммирования и деления (резистивные, емкостные, оптоэлектронные).

Основные структуры, используемые в ЦАП интегрального исполнения, — это структуры с суммированием токов [1, 4]:

ЦАП со взвешенными резисторами в цепях эмиттеров (рис. 1.1). Структура характеризуется малой рассеиваемой мощностью, независимостью токов разрядов друг от друга, большим диапазоном сопротивлений резисторов н большим значением напряжения смещения нуля на выходе;

ЦАП со взвешенными резисторами в цепях нагрузки (рис. 1.2). В этой структуре суммарное сопротивление резисторов меньше, но диапазон сопротивлений достаточно большой;

ЦАП с лестничной матрицей R = 2R в цепях эмиттеров транзисторов источников токов (рис. 1.3). В этой структуре суммарное сопротивление резисторов и диапазон сопротивлений намного меньше, чем в первых двух, однако при «подгонке» тока одного из разрядов изменяются токи соседних, что создает неудобства при настройке прибора;



Рис. І.І. Цифро-аналоговый преобразователь со взвешеннымя резисторами в цепях эмиттеров

Цифровой нод



Рис. 1.2. Цифро-аналоговый преобразователь со взвешенными резисторами в цепях нагрузки





Цифровой код

старший разряд

Рис. 1.3. Цифро-аналоговый преобразователь с лестничной матрицей в эмит терах источников токов

Рис. 14. Цифро-аналоговый преобразователь с выходной лестничной матрицей

Рис 1.5. Цифро-аналоговый преобразователь с комбинированным взвешиваннем

ЦАП с выходной лестничной матрицей R = 2R (рис. 1.4). Эта структура характеризуется наименьшим значением суммарного со-противления;

ЦАП с комбинированным взвешиванием (рис. 1.5). В таких структурах взвешивание в каждом разряде или их группе выполняется различными способами.

Приведенные в настоящей книге ЦАП выполнены по структурным схемам, относящимся к одной из указанных групп или к их комбинациям.

# I.2. ОСОБЕННОСТИ ПОСТРОЕНИЯ И КОНСТРУКТИВНОЕ ИСПОЛНЕНИЕ АЦП

В последнее время получила распространение классификация АЦП, показывающая, как во времени развертывается процесс преобразования [3]. Исходя из этого все АЦП можно разбить на три типа последовательные, параллельные и параллельно-последовательные

К последовательным АЦП относятся, например, преобразователи, основанные на преобразовании напряжение — частота, интегрирующего типа, последовательных приближений, следящего типа [5] Все эти АЦП позволяют получить высокую разрядность, однако имеют невысокое быстродействие.

Параллельные АЦП построены на принципе одновременного преобразования сигнала путем его квантования с помощью набора компараторов. Такие АЦП являются самыми быстродействующими и позволяют достичь частот преобразования 100...400 МГц [3, 5, 130]. К недостаткам параллельных АЦП относится резкое увеличение числа компонентов при увеличении разрядности, что, в свою очередь, приводит к увеличению потребляемой мощности и размеров кристалла.

Параллельно-последовательные АЦП представляют собой комбинацию нз малоразрядных параллельных АЦП, ЦАП, операционных усилителей (ОУ), устройств выборки-хранения (УВХ) и т д. Принцип преобразования таких АЦП обычно сводится к двухступенчатому алгоритму -- в начале производится определение старших разрядов значения входного напряжения с помощью первого малоразрядного параллельного АЦП, затем формируется разностный сигнал с помощью ЦАП и ОУ и осуществляется формирование младших разрядов с помощью второго малоразрядного параллельного АЦ[1 [5]. Такое построение позволяет уменьшить число элементов в преобразователе и получить разрядность 12 бит при частоте преобразования 10 МГц [7]. Основными недостатками АЦП такого типа являются наличие большого числа линейных узлов, требования к точностным и динамическим характеристикам которых очень высоки, а также трудности, связанные с прецизионной стыковкой этих узлов друг с другом, что требует настройки каждого индивидуального преобразователя. По указанным причинам такие АЦП в полупроводниковом интегральном исполнении в настоящее время практически не выпускаются. Они изготавливаются в виде блоков, гибридных микросхем, печатных плат [6, 7, 142-144].

В настоящей работе рассматриваются отечественные быстродействующие параллельные АЦП, имеющие разрядность 6...8 бит при максимальной частоте преобразования 20...100 МГц.

В общем случае построение всех параллельных АЦП однотипно [8]: делитель опорных напряжений, набор компараторов напряжения, шифратор, выходные каскады (рис. 1.6). Такой АЦП, без учета ряда погрешностей, работает следующим образом: входной сигнал подается одновременно на одни входы компараторов, в которых он сравнивается с опорными напряжениями, подаваемыми на другие входы компараторов от делителя опорных напряжений. В момент подачи на тактовый вход стробирующего сигнала на выходах компараторов фиксируется значение кода, соответствующее



мгновенному значению входного сигнала. Далее результат кодирования с выходов компараторов подается на шифратор, в котором происходит преобразование в выбранный тип выходного кода АЦП С выхода шифратора сформированный код подается на выходные каскады преобразователей внутрисхемных уровней в стандартные уровни ЭСЛ, ТТЛ или КМОП. В зависимости от конкретных реализаций АЦП может содержать различное число стробируемых блоков (штриховая линия на рис. 1.6).

Основным узлом параллельных АЦП являются компараторы напряжения. Как правило, в быстродействующих АЦП они выполняются стробируемыми, т. е. в состав компаратора входит устройство, переключающее компаратор из режима сравнения сигналов в режим хранения результата сравнения (стробирования) [9-12]. Особенностью стробируемых компараторов напряжения являются небольшой коэффициент усиления в режиме сравнения (единицы десятки) и резкое его увеличение (в сотни раз) при стробировании, т. е. при переходе в режим хранения результата сравнения. Такое построение позволяет получить большую полосу пропускания по при большой его чувствительности аналоговому входу Компаратор, построенный по такому принципу, имеет весьма малое число компонентов, что принципиально важно для параллельных АЦП Число компараторов в параллельном АЦП  $N_{\mu} = 2^{\mu} - 1$ 

Делитель опорных напряжений в параллельных АЦП служит для формирования опорных напряжений, их значения являются эталонами, с которыми сравнивается входной сигнал. Обычно делитель выполняется по схеме последовательного делителя напряжений. Число резисторов в делителе напряжений параллельного АЦП  $N_{R} = 2^{n}$ Номиналы резисторов делителя опорных напряжений одинаковы, за исключением первого и последнего резисторов, которые могут быть различны в конкретных реализациях АЦП. При этом получается линейная характеристика преобразования АЦП. Однако при b≥8 для компенсации токовой составляющей нелинейности номинальные значения резисторов делителя опорных напряжений могут быть неодинаковы (см. гл. 9). Для уменьшения влияния входных токов компараторов на опорные напряжения необходимо использовать резисторы делителя с возможно меньшими номинальными значениями. В качестве материала для изготовления резисторов делителя в ИС используются разного рода сплавы металили низкоомные диффузионные области кремния лов 151. Конструктивно резисторы делителя опорных напряжений выполняются в виде прямоугольной конфигурации или конфигурации типа «меандр».

Шифратор в параллельных АЦП необходим для преобразования кода компараторов в выходной код АЦП заданного типа. Практически шифратор делается двух-трехступенчатым, что позволяет реализовать регулярность топологии [9—11]. В состав шифратора могут входить регистры хранения, предназначенные для хранения промежуточных результатов шифрации (см. гл. 4). Выходные каскады АЦП служат для получения стандартных цифровых уровней (ЭСЛ нли ТТЛ) выходного кода.

Параллельные АЦП имеют регулярную структуру кристалла, что позволяет упростить процесс проектирования и за счет равных длин межсоединений снизить статические и динамические погрешности АЦП. К конструктивным особенностям кристаллов следует отнести: расположение транзисторов дифференциальных каскадов компараторов в непосредственной близости друг к другу (для уменьшения напояжения смещения компараторов), группировку компараторов 2", где по n = 4, 5, 6, ..., обеспечение B линейки равной длины проводников, по которым подводится тактовый сигнал к линейкам компараторов для обеспечения минимальной динамической погрешности при преобразовании сигналов с высокой скоростью изменения.

Конструктивное исполнение АЦП определяется значительной рассенваемой мощностью (до 3,0 Вт), уто предъявляет определенные требования к конструкции корпусов. Корпуса используются преимущественно металлокерамические, некоторые из них имеют дополнительный радиатор.

1.3. ОСОБЕННОСТИ ПОСТРОЕНИЯ АППАРАТУРЫ ДЛЯ ИЗМЕРЕНИЯ ЭЛЕКТРИЧЕСКИХ ПАРАМЕТРОВ ЦАП И АЦП

Одной из наиболее сложных и трудоемких операций в процессе разработки и изготовления ЦАП и АЦП (особенно быстродействую щих) является измерение электрических параметров и проведение ис пытаний. Отечественная и зарубежная практика показывает, чтс стоимость операций измерений и испытаний ИС ЦАП и АЦП, вклю чая стоимость контрольно-измерительной аппаратуры и испытатель ного оборудования, превышает 30...50% общей стоимости их изготов ления [13]. В отличие от измерения электрических параметров ло гических микросхем, измерение и испытание ИС ЦАП и АЦП имеют ряд особенностей.

Во-первых, требуется очень высокая точность измерения Погрешность измерения статических параметров ЦАП и АЦП опре деляется разрядностью проверяемого прибора, а ее абсолютная величина, зависящая от диапазона входных или выходных токое или напряжений, должна быть в несколько раз меньше напряжения или тока единицы младшего разряда; для высокоразрядных ЦАП и АЦП оно составляет единицы или доли милливольта (единицы или десятки микроампера). Погрешность измерения динамических пара метров также определяется разрядностью измеряемого ЦАП или АЦП, диапазоном значений измеряемого параметра и быстродейст вием объекта измерения. Значения измеряемых напряжений состав ляют единицы или доли милливольта в диапазоне времен десятки единицы наносекунд.

Во-вторых, результат измерения параметров ЦАП и АЦП (ха рактеристик преобразования) является косвенным; он получается в результате многократных вычислений, усреднений и сравнений

В-третьих, для определения электрических параметров (ха рактеристик преобразований) необходимо большое число точек измерения и вычисления. При большом числе измерений необходимс обеспечить приемлемую производительность при серийном изготовлении.

В-четвертых, при малых абсолютных значениях параметрое измеряемых сигналов значительное влияние на достоверность результатов измерения имеют шумы источников питания и шумы уп равляющих или задающих режим узлов и элементов. Величина этих паразитных шумов и наводок соизмерима или даже превышает амплитуду измеряемого сигнала.

Специфические требования предъявляются к конструктивному исполиению ҚИА и отдельных ее узлов. Высокие точности измерения статических параметров требуют малых значений переходных сопротивлений, коммутирующих и канализирующих измерительных цепей, а также малого разброса из электрических и конструктивных параметров.

Учитывая, что измеряемые объекты имеют большую широкополосность, составляющую более сотен мегагерц, они склонны к генерациям так как паразитные конструктивные параметры ИС ЦАП и АЦП совместно с паразитными конструктивными параметрами элементов, задающих режим, образуют сложные резонансные системы и контуры. Для уменьшения и устранения паразитных генераций, искажающих результаты измерения, применяется специальное конструктивное исполнение узлов подключения ИС к измерителю.

Обеспечение достоверного измерения малых токов и напряжений, а также временных параметров, находящихся в субнаносекундном диапазоне, требует определенного конструктивного исполнения узлов измерителя, экранирования, канализации измеряемых и управляющих сигналов. Для этих целей используются специальные меры защиты от индустриальных помех и измерительные заземляющие устройства. Особые условия предъявляются к поверочной аппаратуре, так как ее точность должна не менее чем в три раза превышать точность аппаратуры проверки и измерения электрических параметров ЦАП и АЦП в процессе производства. Аттестация и поверка производятся в экранированных комнатах, имеющих постоянную температуру и влажность, (хорошую стабилизацию климатических факторов) температуры, влажности, автономную помехозащищенную питающую сеть и измерительное заземление, а также экранировку от электрических и магнитных полей.

Совокупность перечисленных факторов, а также малое число публикаций по методам измерения электрнческих параметров ИС ЦАП и АЦП обусловливают отсутствие контрольно измерительной и испытательной аппаратуры, предназначенной для метрологического обеспечения, разработки и изготовления быстродействующих ИС ЦАП и АЦП.

#### Глава 2.

# ПАРАМЕТРЫ МИКРОСХЕМ ЦАП, АЦП И ИХ ОПРЕДЕЛЕНИЯ

# 2.1. ОБЩИЕ ПОНЯТИЯ

До создання ИС ЦАП н АЦП были разработаны измерительные преобразователи, выполненные на дискретных элементах и имеющие законченкое конструктивное исполнение и определенное функциональное назначение. Эти дорогостоящие приборы используются в основном в качестве средств измерений, поэтому водлежат государственной аттестации и поверке метрологических параметров. Микросхемы ЦАП и АЦП построены по аналогичному с измерительными преобразователями принципу действия, поэтому первоначально некоторые параметры и терминология измерительных преобразователей стали применяться при нормировалии технических характерисгик любых преобразователей. Однако между ними имеются существенные различия, так как ЦАП и АЦП часто являются функционально незаконченными преобразователями и, главное, не подлежат метрологической аттестации и проверке.

Кроме специфических параметров, характеризующих ИС ЦАП н АЦП с точки эрения выполнения нии функционального назначения, используют также параметры, обшепринятые для других типов ИС: напряжения источников питания, токи потребления, входные и выходные напряжения и токи, тип и допустнимые значения нагрузки и т. д. Все эти параметры определены FOCT 19480—74. Кроме того, такие общие понятия, как номинальное, максимальное, минимальное значения параметров, абсолютные и относительные отклонения, температурные коэффициенты, нестабильность параметров н другие, приведенные в указанном стандарте, могут быть распростражены на параметры ЦАП н АЦП.

Микросхемы ЦАП выполняют декодирование цифровой информации в эквивалентные значения выходной величнны (напряжение или ток), микросхемы АЦП кодирование входной аналоговой величины (обычно напряжения) в эквивалентную цифровую информацию. Цифровая информация представляется соответствующим кодом. Нанболее распространен двончный цифровой код. Значения разрядов в таком коде определяются присутствнем или отсутствнем электрического вапряжения или напряжениями высокого и низкого уровней. Цифровой код может быть последовательным, когда уровни напряжения, соответствующие отдельным разрядам кода, поступают в различные моменты времени и могут быть переданы по одной линин, кли параллельным, когда все уровни напряжения, соответствующие разрядам кода, поступают одновременно и передаются по отдельным ливиям. Таким образом, цифровой код представляется в виде воследовательности единиц в нулей, например 1100010100. В данном случае он состоит из 10 цифр, называемых разрядами Крайний левый называют старшим разрядом (СР) или первым, крайний правый младшим разрядом (МР). Необходимо отметить, что порядок счета разрядов не является установнышимся: якогда в литературе приводятся схемы, в которых счет начинают с младшего разряда н ему присванвают нулевой или первый номер. Числовой эмвивалент кода может быть определен, если известна система кодкрования или тип кода. В технике цифро-аналогового преобразования наибольшее распространение получили двончные и двоично-десятичные коды с весами разрядов 8-4-2-1 или 2-4-2-1 Они бывают прямыми и обратными, обратные получают инвертированием всех разрядов прямого кода.

Максимальное число разрядов, которое может быть подано на вход ЦАП и преобразовано в выходную величину, пропорциональную значению кода, зависит от конструктивного и схемотехнического исполнения конкретной ИС. Число разрядов является наиболее общей характеристикой, определяющей номинальные функциональные возможности ИС. В общем случае — это расчетная величина, так как не каждый экземпляр конкретного типа ИС может преобразовывать все возможные значения входного кода, также не для всех ИС АЦП могут быть получены на выходе все возможные значения кода с заданным числом разрядов. Согласно ГОСТ 24736-81, число разрядов — это двончный логарифм максимального числа кодовых комбинаций на входе ИС ЦАП или выходе ИС АЦП.

#### 2.2. СТАТИЧЕСКИЕ ПАРАМЕТРЫ ЦАП

В простейшем случае на входы ЦАП подается параллельным двоичный код, значения каждого разряда которого на входы пс

ступают одновременно. Допустим, значения входного кода изменяются от минимального до максимального, при этом каждое значение входного кода преобразуется в дискретное значение выходной аналоговой величины. Дискретность изменения выходной аналоговой величины зависит от числа разрядов ЦАП, в то время как отклонение конкретного значения выходной аналоговой величины от номинального значения однозначно не зависит от числа разрядов, а определяется точностью изготовления элементов микросхем и может быть получено сколько угодно малым. Совокупность значений выходной аналоговой величины х; в зависимости от значений входного кода а; называют характеристикой преобразования (ХП) [14]. Такая совокупность может быть приведена в виде графика, формулы или таблицы. Рассматриваемые ЦАП имеют линейную характеристику преобразования. В системе координат код - выходная аналоговая величина ХП изображается прямой, расположенной под некоторым углом к оси абсцисс (рис. 2.1). Когда необходимо определить некоторую точку на ХП, приводят значение кода, соответствующее этой точке. Иногда характеристику преобразования изображают ступенчатой линией, что подчеркивает дискретность изменения как значения кода, так и выходной аналоговой величины.

На ХП. можно выделить характерные точки. Прежде всего это начальная и конечная точки ХП, которые определяются начальным и конечным значениями входного кода. За начальное (конечное) значение входного кода принимают значение, при котором номинальное значение выходной аналоговой величины является минимальным (максимальным). При этом начальной точкой ХП является точка пересечения координатных осей  $\alpha_i$ ,  $x_i$ , т. е. точка, соответствующая нулевому значению выходной аналоговой величины при значении входного кода, равном нулю. При изменении значений входного кода  $\alpha_i$  от начального до конечного выходная аналоговая



Рис. 2.1 Номинальная XП 4-разрядного двоичного ЦАП с однополярным выходным сигналом:

1 — карактеристика преобразования ЦАП. 2 прямая, соединяющая начальную и конечную точ кн ХП величина x; дискретно изменяется в некотором интервале. Интервал значений выходной аналоговой величины от начальной до конечной точки называют *диапазоном выходной величины*, а разность между максимальным и минимальным значениями этой величины *амплитудой* ее изменения. Значение дискретного изменения выходной аналоговой величины при изменении значения входного кода на единицу называют *ступенью квантования*. В случае двоичного линейного ЦАП для номинальной характеристики все ступени равны:

$$\overline{h} = (x_{\max} - x_{\min})/(b - 1) = x_{ORN}/(b - 1),$$

где  $x_{max}$ ,  $x_{min}$  — номинальное значение выходной аналоговой величнны в конечной и начальной точках XII;  $x_{OR,v}$  — номинальная амплитуда изменения выходной аналоговой величины; b — число возможных значений кода.

Номинальное значение ступени квантования, представляющее наименьшее изменение выходной аналоговой величины, является *разрешающей способностью* преобразования. Разрешающая способность, как и ступень преобразования, выражается в единицах выходной аналоговой величины или в процентах от номинальной амплитуды изменения выходной аналоговой величины. Например, преобразователь на 12 цифровых входов, имеющий выходной сигнал в конечной точке XII, равный 10 В, обладает разрешающей способностью 2,45 мВ, или 0,0245%.

Для действительной характеристики преобразования ступени квантования в разных точках отличаются друг от друга. В этом случае подсчитывают среднее значение ступени квантования:  $\hbar = (x_{max} - x_{min})/(b-1)$ . Это значение может служить единицей измерения выходной аналоговой величины, и его называют единицей младшего разряда (EMP). Такая единица измерения наглядно

представляет все параметры выходной аналоговой величины. Характеристики преобразования реальных ЦАП отличаются от идеальных формой, значением ступеней и расположением относительно осей координат. Степень совпадения реальной ХП с идеальной определяет точность, которая характеризуется рядом отклонений реальной ХП от идеальной н количественно выражается соответствующими параметрами: нелинейностью, дифференциальной нелинейностью, смещением начальной точки ХП, отклонением аналоговой величины от номинального значения в конечной точке ХП и т. д. Такие возможные отклонения иллюстрируются рис. 2.2.

Нелинейность в данной точке XII — это отклонение точки реаль ной XII от прямой, проведенной определенным образом. Нелиней ность может быть определена двумя способами: 1) нелинейность находится относительно прямой, проведенной через начальную и конечную точки XII; 2) нелинейность находится относительно прямой, проведенной таким образом, чтобы минимизировать значе ние нелинейности, например, относительно прямой, среднее квадра тическое отклонение всех точек которой минимально [15, 16]



Уравнение такой прямой V = Ax + B, где B — коэффициент, равный смещению нуля; A — коэффициент, определяющий крутизну характеристики. Значения коэффициентов A и B находят по формулам

$$A = \left[ \left( \sum_{i=0}^{N} x_i \sum_{i=0}^{N} y_i \right) / N - \sum_{i=0}^{N} x_i y_i \right] / \left[ \left( \sum_{i=0}^{N} x_i \right)^2 / N - \sum_{i=0}^{N} x_i^2 \right], \quad B = \bar{y} - A\bar{x},$$

где

$$x = \left(\sum_{i=0}^{N} x_{i}\right) / N \quad \hat{y} = \left(\sum_{i=0}^{N} y_{i}\right) / N$$

Для ЦАП нелинейность, как правило, определяется нелинейностью в точке ХП, где она по абсолютной величине максимальна. Нелинейность выражается в долях ЕМР или в процентах от значения аналоговой величины в конечной точке ХП:

$$\delta_{L} = (\Delta x/h) [EMP]$$
 или  $(\Delta x/x_{*}) \cdot 100$ ,

где Δ*x* — максимальное отклонение ХП от заданной прямой; <sub>**x** к</sub> — значение аналоговой величины в конечной точке ХП.

Дифференциальная нелинейность — это отклонение действительных ступеней квантования от их среднего значения Дифференциальная нелинейность *i*-й ступени квантования

$$\delta_{LD}[(h-h)/h]$$
 [EMP] или  $[(h-h)/x_h] \cdot 100$ ,

где h, h — действительное и среднее значения ступени квантования. Для ЦАП указывается значение дифференциальной нелинейности той точки характеристики, где это значение по абсолютной величине максимально. Дифференциальная нелинейность имеет прямую связь с монотонностью ХП. Под монотонностью понимается неизменность знака приращения выходной величины при последовательном изменении значения входного кода. Если дифференциальная нелинейность в некоторой точке по абсолютной величине превышает 1 ЕМР, то это значит, что приращение выходной аналоговой величины в этой точке может иметь противоположное предыдущей точке направление или быть больше двойной номинальной ступени квантования (рис. 2.3). Таким образом, условие монотонности ХП имеет вид  $-1 EMP \leq \delta_{LD} \leq +1 EMP$ .

Нелинейность и дифференциальная нелинейность в некоторых случаях определенным образом связаны, однако эта связь не является однозначной. Если изменение выходной аналоговой величины при включении отдельных разрядов не зависит от состояния других разрядов (включен или выключен), то дифференциальная нелинейность не может превышать удвоенного значения нелинейности [16], т с.  $\delta_{LD} \leqslant 2\delta_L$ . Обратная зависимость отсутствует, так как из значения дифференциальной нелинейности, не имея данных об отклонениях сигналов всех разрядов от их номинальных значений, не возможности определить максимальное действительное значение отклонения от ампероксимирующей характеристику преобразования прямой [17]. Для таких ЦАП соотношение — 0,5 ЕМР  $\leqslant < 0,5$  ЕМР означает условие монотонности. Эти рассуждения правы при рассмотрении нелинейности хII.

Для разных ИС одного типа значения ступеней квантования отличаются незначительно, что трудно показать на графике. Но если построить две характеристики для ЦАП с отличающимися (хотя и незначительно) средними значениями ступеней квантования, то отличие будет заметно из-за разной крутизны характеристик. Параметр, характеризующий среднюю крутизну ХП, называют коэффициентом преобразования — крутизна прямой, аппроксимирующей действительную ХП. По числовому значению и размерности коэффициент преобразования со средним значением ступени квантования. Отклонение действительной ХП от номинальной из-за отличия коэффициента преобразования обычно оценивают в конечной точке ХП или в той точке, где это отклонение принимает максимальное значение, и называют максимальным отклонением выходной величины.

Возможно также отклонение ХП от номинальной в виде параллельного сдвига. Параллельный сдвиг характеристики оценивают относительно начала координат и называют напряжением смещения нуля выходной аналоговой величины. Это действительное значение выходной величины при значении входного кода, при котором номинальная выходная величина равна нулю. Отклонение ХП ЦАП из-за напряжения смещения нуля и отклонения коэффициента преобразования в радиоэлектронной аппаратуре для большинства ИС ЦАП может быть устранено внешними регулирующими устройст вами. Приведенные выше параметры характеризуют точность ЦАП в определенных неизменных условиях эксплуатации. Для описания поведения ЦАП в условиях переменных внешних воздействующих факторов используют параметры, характеризующие стабильность ИС в этих условиях. К ним относятся температурные коэффициенты параметров и коэффициенты влияния нестабильности источников напряжения питания на параметры. В основном применяются температурные коэффициенты следующих параметров: нелинейности, дифференциальной нелинейности, выходной аналоговой величины в конечной точке ХП, напряжения смещения нуля на выходе, коэффициента преобразования. Используются также коэффициенты влияния нестабильности источников питания на перечисленные параметры.

Допустимое напряжение на выходе — это интервал значений напряжения, в пределах которого изменение выходного тока не превышает заданного значения. Аналогично ИС ЦАП с выходом по напряжению могут характеризоваться допустимым диапазоном тока на выходе.

# 2.3. ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ ЦАП

В радиоэлектронной аппаратуре, ЭВМ, системах сбора и обработки данных ЦАП работают при непрерывно изменяющихся значениях кодов на входах. Понятно, что считывание информации с выхода ЦАП должно производиться после окончания всех переходных процессов в нем. Только в таком случае можно получить точ-



Рис. 2.4. Выходной сигнал ЦАП: 1 – тестимпульс. 2 – форма иомикального выходного импульса. 3 – форма действительного выходного импулься

ность, на которую рассчитан ЦАП, и быстродействие системы или аппаратуры определяется временем переходных процессов ЦАП, его быстродействием. По этой причине динамические параметры ЦАП во многом определяют производительность обработки информации.

Время истановления выходного сигнала — время от момента изменения кода на входах ЦАП до момента, когда значение выходной аналоговой величины отличается от установившегося на заданную величину (рис. 2.4). В зависимости от типа ЦАП это может быть время установления выходного тока t<sub>St</sub> или время установления выходного напряжения t<sub>.v</sub>. В большинстве случаев приводится время установления при скачкообразном изменении входного кода от минимального до максимального значения или наоборот, когда выходная аналоговая величина отличается от установившегося значения не более 0.5 ЕМР в ту или другую сторону. Отсчет времени обычно ведется от момента достижения входным уровнем 0,5 амплитуды. На рис. 2.4 — это интервал времени  $t_i$  от момента достижения половнны амплитуды логического уровня до момента, когда кривая выходного сигнала в последний раз пересекает одну из границ зоны, ограниченной x<sub>max</sub> -0,5 ЕМР и x<sub>max</sub> +0,5 ЕМР. Изменение входного кода может быть и в интервале других значений, а точность достижения выходным сигналом установившегося значения может выбираться из соображений необходимой точности ЦАП.

Время задержки распространения — время от момента достижения входным уровнем половины амплитуды до момента достижения выходной аналоговой величиной половины установившегося значения (время  $t_2$  на рис. 2.4). Наряду с этим параметром может использоваться время задержки — время от момента изменения кода до момента, когда выходная аналоговая величина достигает 0,1 установившегося значения.

Время нарастания — время, за которое выходная аналоговая величина изменяется от 0,1 до 0,9 установившегося значения (время t<sub>3</sub> на рис. 2.4).

Скорость нарастания — отношение приращения аналоговой выходной величины ко времени *l*<sub>3</sub>, за которое произошло это приращение.

Время переключения — время от момента изменения входного кода до момента достижения выходной аналоговой величины 0,9 установившегося значения.

К динамическим характеристикам можно отнести и импульсные помехи, возникающие на выходе ЦАП при его работе в режиме непрерывной смены значений входного кода. Это выбросы (всплески или провалы) выходного сигнала в можент изменения значения входного кода. Критернем выброса является величина колебательной энергии, пропорциональной площади выброса с учетом «знака» площадей полуволи [18]. Часто выброс характеризуется амплитудой и длительностью.

Причиной возникновения выбросов является несовпадение во времени моментов переключения отдельных разрядов, вследствие чего в некоторый момент времени оказывается выключенным нли включенным число разрядов, не соответствующее входному коду. Считается, что самая неблагоприятная ситуация с этой точки зрения, возникает при изменении входного кода, когда переключается максимальное число разрядов, например при изменении кода от 0,1...1 до 10...0. В этом случае выброс может достигать половины максимальной выходной аналоговой величины. Его амплитуда может быть любой полярности в зависимости от опережения или запаздывания включения старшего разряда относительно выключения младших разрядов.

# 2.4. СТАТИЧЕСКИЕ ПАРАМЕТРЫ АЦП

Наибольший интерес представляют статические параметры АЦП, характеризующие их точностные характеристики. Ниже рассмотрены основные статические параметры параллельных АЦП.

Число разрядов, или разрядность АЦП, как уже говорилось выше, — это округленный до целого числа двоичный логарифм номинального числа значений выходного кода  $b = \log_2 N$ , N — число значений выходного кода. Для правильно работающего параллельного АЦП (см. рис. 1.5) число значений выходного кода соответствует числу компараторов АЦП плюс код 000...0.

При подаче на вход АЦП линейно изменяющегося напряжения на выходе АШП наблюдается последовательное изменение кодов. Зависимость между значениями входного аналогового напряжения и выходного кода называется характеристикой преобразования АЦП. Характеристика преобразования АЦП, как и для ЦАП, может быть определена в виде таблиц, графиков или формул. Характеристика преобразования АЦП описывается рядом параметров. Точки на оси абсцисс соответствуют напряжениям межкодовых переходов. Под напряжением межкодового перехода понимается такое входное аналоговое напряжение, статистические вероятности преобразования которого в заданное и предшествующее заданному значению выходного кода равны. Для, идеального АЦП напряжения межкодовых переходов соответствуют опорным напряжениям, формируемым дельтелем опорных напряжений. На рис. 2.5 показана характеристика преобразования однополярного АЦП, для которого опорное напряжение Uрег, равно нулю. Разность значений напряжений заданного и следующего за ним межкодового переходов определяет шаг квантования ХП АЦП и разность входных напряжений АЦП, в которой значение кода на выходе сохраняется. Для того чтобы прямая, проведенная через точки, соответствующие опорным напряжениям UREFL И UREFT ПРОШЛА ЧЕРЕЗ ЦЕНТРЫ ВСЕХ СТУПЕНЕЙ XП ИДЕАЛЬНОГО



Рис. 2.5. Характеристика преобразования идеального АШП (1) и прямая, проведенная через центры ступеней ХП (2) АЦП, напряжение первого межкодового перехода  $U_1$  должно отстоять от напряжения  $U_{REF1}$  на величину, равную половине шага квантования ХП. Аналогично напряжение последнего межкодового перехода  $U_{i+1}$  должно отличаться от опорного напряжения  $U_{REF2}$  также на половину шага квантования ХП. Для идеального АЦП ширина ступеньки равна шагу квантования:  $h = (U_{REF2} \rightarrow U_{REF1}) / (2^{n-1})$ 

Вообще говоря, твердо установившегося определения прямой ХП нет Прямую проводят как через середины ступеней ХП, так и через точки, соответствующие напряжениям межкодовых переходов, поэтому н такие параметры, как начальная н конечная точки ХП, могут определяться по-разному. Для описания их местонахождения в ХП нспользуется термин "заданная точка ХП... Эта точка определяется заданным значением выходного кода и половнной суммы напряжений U, н U, +1, соответствующих заданному i н следующему за ним i + 1 межкодовым переходам. Частным случаем точек ХП, описывающим и е начало и конец, являются начальная и конечная точка ХП под начальной точкой ХП (см. рис. 2.5) понимается точка, определяемая значением напряжения первого межкодового перехода. — 0.5 ЕМР. Конечной точкой ХП является +0.5 ЕМР. Интервал значением напряжения от начальной до конечной точка ХП называется днапазоном входного напряжения АЦП.

Реальная ХП АЦП может значительно отличаться от идеальной. Эти отличия заключаются в неидентичности шагов квантования, в расположении ХП относительно осей координат, в отклонении ХП от прямой, в нендеальности профиля межкодового перехода. Несоответствие номинальной (идеальной для конкретной реалязации АЦП) и действительной характеристик преобразования и определяет точностные параметры АЦП: напряжение смещения нуля; отклонение коэффициента преобразования от номинального значения; нелинейность (интегральную нелинейность); дифференциальную нелинейность; зону неопределенности напряжений межкодовых переходов; монотонность ХП.

Действительное значение входного напряжения в точке ХП, соответствующей номинальному нулевому значению этого напряжения, определяет напряжение смещения ниля. Физически это напряжение показывает параллельный сдвиг ХП вдоль осн абсинсс. Возникновение этой составляющей погрешности обусловлено отклонением сопротивления первого резистора делителя опорных напряжений, включенного между выводом опорного напряжения ИС и входом компаратора, формирующего код 000...01, от номинального значения, а также наличием напряжения смещения нуля этого и следующего за ним компараторов и погрешностью второго резистора. В реальных системах сопротивление резистора делителя опорных напряжений может составлять десятые доли ома, поэтому добавляемые к сопротивлению первого резистора паразитные конструктивные сопротивления токоподводящей дорожки корпуса, монтажного провода Крясталл — корпус, контактные сопротивления сварки могут на порядок превышать сопротнвление резистора делителя опорных напряжений, вследствие чего напряжение смещения нуля может составлять несколько ЕМР.

В частном случае отклонение коэффициента преобразования от номинального значения можно характеризовать погрешностью преобразования в конечной точке ХП. Эта погрешность показывает изменение наклона прямой, проведенной через начальную и конечную точки действительной ХП. Природа возникновения этой составляющей погрешности аналогична напряжению смещения нуля, только оценка производится в другом конце делителя.

Нелинейность АЦП — отклонение действительного значения входного напряжения, соответствующего заданной точке ХП, от значения, определяемого по линеаризованной ХП в той же точке. Этот параметр характеризует отклонение центров ступенек действительной ХП от прямой линии, аппроксимирующей номинальную ХП.

Существует большое число методик измерения нелинейности. Рассмотрим две из них, отличающиеся способом проведения прямой, аппроксимирующей номинальную ХП: нелинейность измеряется по отношению к прямой, проведенной через середины ступенек, соответствующих кодам 000...01 н 11111...10 действительной ХП; нелинейность измеряется по отношению к некоторой прямой, проведенной оптимальным образом относительно действительной ХП. Наиболее часто такая оптимизация осуществляется по методу наименьших квадратов. Для параллельных АЦП с разрядностью свыше 6 бит нелинейность измеряется обычно по отношению к оптимизированной прямой, что позволяет в ряде случаев получить результат вдвое лучший, чем по отношению к неоптнмизнрованой прямой. Ввиду большой сложности изготовления и высокой стоимости АЦП такой подход является экономически и технически оправданным, так как пон решении прикладных задач, в области аналого-цифрового преобразования имеет значение лишь степень совпадения действительной ХП с некоторой линеаризирующей ее прямой.

Физически природа возникновения неликейности параллельного АЦП обусловлена случайными и систематическими факторами. К случайным факторам относятся разброс напряжений смещения нуля компараторов на кристалле и относительная погрешкость резисторов делителя опорных напряжений. Управлять этими факторами очень трудно, так как они определяются существующим уровнем технологии. К систематическим факторам относится влияние входных токов компараторов на опорные напряження делителя. Напряжение смещение нуля компараторов определяется разбросом площадей эмиттеров транзисторов в дифференциальных каскадах компараторов, разбросом их статического коэффициента усиления, поверхностных сопротивлений областей базы и эмиттера, разбросом контактных сопротивлений металлизации к этим областям, а также относительной погрешностью резисторов нагрузки дифференциальных каскадов компараторов. Погрешность резисторов делителя опорных напряжений определяется разбросом площадей резисторов по площади кристалла, а также разбросом их толщины и удельного сопротивления (однородности). Искажение опорных напряжений входными токами компараторов пропорционально входным токам компараторов, номинальному значению сопротивления резисторов делителя опорных напряжений и числу разрядов АЦП. Методика оченки влияния этих факторов на нелинейность АЦП и конкретные результаты расчетов приведены в гл. 9.

Дифференциальная нелинейность АЦП — отклонение действительных значений шагов квантования ХП от их среднего значения.
Дифференциальную нелинейность параллельных АЦП, как и нелинейность, определяют те же факторы

Под монотонностью характеристики преобразования АЦП понимается наличие всех кодовых комбинаций на его выходе при подаче на его вход изменяющегося сигнала, при этом знак наклона монотонной ХП изменяться не должен. Монотонность связана с дифференциальной нелинейностью. Характеристика преобразования монотонна, если  $\delta_{I,Di} > -1$  ЕМР. Равенство  $\delta_{I,Di} = -1$  ЕМР означает, что ширина і-й ступеньки ХП равна нулю, т. е. код, соответствующий і-й точке ХП, отсутствует. По-иному обстоит дело с положительными значениями дифференциальной нелинейности. Если принять напряжение смещения компараторов параллельного АЦП равным нулю, то шаг квантования ХП будет определяться лишь значениями сопротивлений резисторов делителя эталонных напряжений. Предположим, что сопротивление одного из резисторов из-за дефекта оказалось в 2...3 раза больше остальных, соответственно в 2...3 раза большей окажется и данный шаг квантования ХП, однако при этом пропадания соседних кодов не произойдет, а дифференциальная нелинейность станет равной в этой точке 1...2. ЕМР. Поэтому положительное значение дифференциальной нелинейности в параллельном АЦП с монотонностью ХП не связано. Приведенный пример проиллюстрирован рис. 2.6.

В общем случае в параллельном АЦП не имеется однозначной связи между нелинейностью и дифференциальной нелинейностью



Рис 2.6. Характеристика преобразования АЦП с дифференциальной нелинейностью. превышающей +1 ЕМР-/ - действительная XII 2 - поминальная XII

рис 2.7 характеристика преобразования АЦГІ с большой нелинейностью, но малой дифференциальной нелинейностью;

1 - действительная ХП. 2 - прямая вующая поминальной ХП



Рис. 2.8. Характеристика преобразования АЦП с нелинейностью, равной нулю, и дифференциальной нелинейностью ±0.9 ЕМР: /- зействительная ХП, 2 - номиалькая ХП

Так, если в 8-разрядном АЦП первая половина точек XII будет иметь дифференциальную нелинейность +0.1 EMP, а вторая половина -0.1 EMP, то значение нелинейности может оказаться равным I2,8 EMP. Приведенный пример иллюстрируется рис. 2.7. А скажем, когда один шаг квантования XП будет равен 0.1 EMP, следующий за ннм 1,9 EMP, следующий 0,1 EMP, то в результате в этих местах XП дифференциальная нелинейность составит  $\pm 0.9$  EMP, а нелинейность при совпадении центров ступенек действительной и номинальной XII окажется равной нулю. Приведенный пример иллюстрируется рис. 2.8.

Весьма важным параметром характеристики преобразования является зона неопределенности напряжений межкодовых переходов. Ширина зоны неопределенности является вероятностной величиной и устанавливается обычно по выбранным уровням вероятности включения соответственно *i* — 1 и *i* компараторов. Зона неопределенности напряжений межкодовых переходов характеризует нестабильность точек XП. Ширину зоны определяет коэффициент усилення компаратора, собственные шумы компонентов ALП, а также паразитные шумы н наводки в конструкции кристалла и корпуса.

Общая статическая погрешность АЦП складывается из перечисленных выше параметров. Необходимо учитывать, что эти параметры забисят как от температуры окружающей среды, так и от изменения напряжений источников питания от номинального значения. Поэтому для полной оценки АЦП приводятся зависимости точностных параметров от температуры и изменений напряжений витания.

## 2.5. ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ АЦП

Быстродействие АЦП характеризуется рядом динамических параметров. К основным динамическим параметрам быстродействующих АЦП относятся: время преобразования; частота преобразования; апертурное время; апертурная неопределенность (апертурная «дрожь»); монотонность характеристики преобразования при максимально допустимой скорости изменения входного снгнала; соотиошение сигнал-шум.

Структура построения АЦП, особенности его работы, характер входных сигналов требуют индивидуального подхода к оценке быстродействия и выбору динамических параметров при конкретной реализации АЦП. В общем случае основным динамическим параметром АЦП является время или максимальная частота преобразования. Однако эти параметры не полностью определяют динамические характеристики, в частности АЦП, работающих с входным сигналом произвольной формы без устройства выборки хранения (УВХ). В зависимости от характера воздействующего сигнала можно выделить два режима работы АЦП [18, 19]: входной сигнал изменяется скачкообразно до постоянного значения, не изменяющегося в течение времени преобразования; входной сигнал изменяется непрерывно в течение всего времени преобразования. Первый характеризует режим работы АЦП с УВХ на входе, второй — без УВХ.

Время преобразования t<sub>с</sub> — время от момента начала изменения сигнала на входе АЦП (аналогового или цифрового) до появления на выходе соответствующего устойчивого кода.

В первом режиме после окончания переходных процессов во входных цепях АЦІІ динамическая погрешность будет снижена и динамические параметры однозначно определятся временем преобразования:  $t_c = t_s + t_k$ , где  $t_s$  — время задержки запуска;  $t_k$  — время цикла кодирования. В этом случае время преобразования отсчитывается с момента изменения аналогового сигнала.

Время задержки запуска  $t_s$  — минимальное время с момента подачи скачкообразного сигнала на аналоговый вход АЦП до момента подачи сигнала запуска АЦП, при котором выходной код отличается от номинального не более чем на значение статической погрешности. Время  $t_s$  обусловливается переходными процессами во входных цепих АЦП до триггера защелки компаратора (в стробируемых компараторах).

Время цикла кодирования  $t_{\kappa}$  — время, в течение которого осуществляется непосредственное преобразование установившегося значения входного сигнала. Время  $t_{\kappa}$  определяется задержкой сигналов в составных блоках АЦП.

Время преобразования для преобразователей, имеющих команду внешнего запуска (начала преобразования), равно минимальному времени между импульсом запуска и моментом появления на выходе АЦП заданного значения кода (для рассматриваемых в настоящей книге АЦП время преобразовання соответствует данному определению).

Максимальная частота преобразования — частота дискретизации входного сигнала, при которой выбранный параметр АЦП не выходит за заданные пределы. Выбранным параметром может быть монотонность ХП как критерий функционирования или нелинейность. Максимальная частота преобразования ограничивается задержками в компараторах, шифраторе и выходных каскадах.

Во втором режиме, когда входной снгнал изменяется в течение времени преобразования, динамические параметры АЦП наряду с временем преобразоваия характеризуются апертурным временем, апертурной неопределенностью (апертурной «дрожью»), монотонностью характеристики преобразования при максимально допустимой скорости изменения входного сигнала, соотношением сигналшум. Строго говоря, под апертурным временем понимается время, в течение которого сохраняется неопределенность между значением выборки и временем, к которому оно относится. Оно зависит в основном от времени разрешения триггера-защелки компаратора, которое, в свою очередь, определяет минимальное время, в течение которого входной сигнал должен превышать некоторый пороговый уровень, необходимый для обеспечения срабатывания триггеразащелки. Таким образом, для исключения влияния апертурного времени на точностные параметры АЦП изменение сигнала на аналоговом входе должно быть гораздо меньше значения I ЕМР за время, равное апертурному. Физически это связано с инерционностью токовых переключателей и триггера-защелки в компараторах.

Однако реальные АЦП характеризуются дополнительными задержками распространения сигнала в корпусе и на кристалле (например, в формирователях тактового сигнала), что дает дополнительную постоянную задержку между тактовым сигналом на входе микросхемы и моментом, когда компаратор начинает переводиться в режим стробирования. Поэтому для АЦП, рассматриваемых в настоящей книге, апертурное время приводится как суммарная величина этих двух составляющих. Апертурное время определяется во всех точках ХП. Оно может иметь различное значение в различных точках XII. Причиной этого является разброс параметров отдельных узлов и компонентов, режимов каскадов, паразитных емкостей, значений резисторов, а также различных длин сигнальных шин входного и тактового сигналов.

Апертурная неопределенность — случайное изменение апертурного времени, наиболее часто определяемое в конкретной точке XП. Адертурная неопределенность возникает из-за случайных изменений времени задержки, как в цепях синхронизации АЦП, так и во входных цепях компаратора и триггера-защелки. Влияние апертурной неопределенности заключается в появлении различных кодовых комбинаций при кодированни быстроизменяющегося сигнала одной величины. Закон распределения появляющихся кодов близок к нормальному, причем наибольшая частота появления приходится на код, соответствующий выбранной величине сигнала. С увеличением скорости нарастання входного сигнала дисперсия закона распределения увеличивается. Закон распределенность в конкретной точке XП, где  $\omega$  — нормализованная частота появления кодов.

Проведем связь между апертурной неопределенностью, максимальной частотой входного сигнала и допустимой возникающей динамической погрешностью. Будем считать, что в любой точке ХП закон распределения близок к нормальному. При этом за апертурную неопределенность примем среднеквадратическое отклонение о. С достаточной достовериостью можно считать, что максимальная апертурная неопределенность  $\Delta t_{A,max} = 2\sigma = 2\Delta t_a$ , где  $\Delta t_a - c$ реднеквадратическое значение апертурной неопределенности [20].

Максимальная погрешность отсчета значения входного сигнала, возникающая из-за апертурной неопределенности,  $\Delta U = 2\Delta t_a(du/dt)$ . Точка, в которой определяется апертурная неопределенность, соответствует середине XП, т. е. точке перехода синусоидального сигнала через нуль, в которой его скорость изменения максимальна.

Рассмотрим случай, когда на входе биполярного АЦП действует синусоидальный сигнал амплитудой U, равной половине диапазона входного напряжения АЦП  $U(t) = Usin2\pi f_a t$ . При этом скорость изменения сйгнала и его максимальное значение соответственно  $du/dt = 2\pi f_a U \cos 2\pi f_a t$ ;  $du/dt \Big|_{max} = 2\pi f_a U$ .

Тогда возникающая погрешность  $\Delta U = 4\Delta t_a \pi f_a U$ . Например, если дополнительная возникающая погрешность должна составлять 0,5 ЕМР, то  $\Delta U = 0.5$  ЕМР $= 2U/(2^{n+1})$ , и  $f_{amax} = 1/(2\pi\Delta t_a 2^{n+1})$ 

На рис. 2.10 представлены зависимости допустимой апертурной неопределенности при различных значениях максимальной частоты входного синусоидального сигнала (для АЦП разной разрядности) при возникающей динамической погрешности, равной 0,5 EMP. Необходимо отметить, что динамическая погрешность имеет случайный характер.





Рис. 2.9. Закон распределения апертурной неопределенности в конкретной точке ХП

Рис. 2.10. Завненмости допустнмой апертурной неопределенности от максимальной частоты входного синусоидального сигнала для АЦП разной разрядности при возникающей дополнительной динамической погрешности 0.5 ЕМР

Большой интерес представляет апертурное время, если его рассматривать совокупно во всех точках ХП. Из-за различных значений апертурного времени в разных точках ХП появляется дополнительная динамическая погрешность. Разброс апертурного времени для разных точек ХП определяется разбросом параметров компонентов (паразитной емкости транзисторов, сопротивлений тела коллектора), разбросом электрических режимов каскадов, что обусловливает разность времен срабатывания компараторов даже при одинаковом напряжении перевозбуждения. При этом необходимо учитывать конечную геометрическую длину шин металлизации, по которым подается сигнал стробирования и входной сигнал к компараторам АЦП, а также их распределенную индуктивность, емкость и сопротивление. Механизм возникновения динамической погрешности, определяемой разбросом значений апертурного времени  $\delta t_a$ , можно интерпретировать подачей на тактовый вход АЦП непериодического тактового сигнала. Рассчитать возникающие при этом динамические погрешности можно по той же методике, что и погрешности, возникающие за счет апертурной неопределенвости.

На рис. 2.11 показана зависимость динамических погрешностей от апертурной неопределенности и разброса апертурного времени по ХП АЦП. Монотонность ХП при максимально допустимой скорости изменения входного сигнала определяется такой скоростью изменения входного сигнала, при которой эта характеристика АЦП еще монотонна. Вместо монотонности ХП выбранным параметром может являться допустимая нелинейность или дифференциальная нелинейность. Факторами, ограничивающими максимальную ско-



рость изменения сигнала на входе АЦП, являются апертурная неопределенность, апертурное время, разброс апертурного времени по ХП (о чем было сказано выше), полоса пропускания компараторов в режиме сравнения. Компаратор, работающий в режиме сравнения, представляет собой обыкновенное усилительное устройство, динамические свойства которого можно характеризовать полосой пропускания или амплитудно-частотной характеристикой. С увеличением частоты входного сигнала происходит уменьшение коэффиинента усиления линейной части компаратора, что, начиная с некоторой частоты, дает эквивалентное уменьшение амплитуды входного сигнала по отношению к значению опорного напряжения [3]. Результатом является неправильная оценка значения входного сигнала. Практически это приводит к тому, что начиная с некоторой частоты, при подаче сигнала с размахом, равным диапазону входного напряжения АЦП, восстановленный с выхода АЦП сигнал будет меньшей амплитуды.

• Очень важным параметром, имеющим значительное влияние на динамические параметры АЦП, а также на их эксплуатационные характеристики, является входная емкость.

Входная емность — это эквивалентная емкость на аналоговом входе АЦП. Особенный интерес представляет входная емкость АЦП паралельного типа, которая достигает сотем викофарад и более. В таких АЦП входная емкость состоит из авух составляющих: суммы емкостей входных каскадов компараторов н суммы паразитных емкостей токоведущих дорожек корпуса и проводников металлизация кристалла. Первая составляющая значительно превышает вторую, поэтому в первом приближении за входную емкость АЦП можно принимать вервую составляющую. Если вторая составляющая именяется под воздействием входного сигнала, то первая является функцией входного напряжения. Это обусловливается тем, что входная емкость компараторов определяется главным образом паразитными емкостями *р* — *п*-переходов транзисторов. Поэтому в общем случае входная емкость параляетьных АЦП должна определяться как динамическая емкость.

Входная емкость влияет на полосу пропускания АЦП, ма разброс апертурного времени по ХП н. как следствие, на точностные параметры АЦП. Влияние входной емкости на полосу пропускания можно моделировать RC-фильтром нижних частот, подключенным на вход АЦП. Полоса пропускания будет ограничиваться по уровню — 3 дБ пронзведением  $R_0C_1$ , где  $R_0$  — выходное сопротналение источника сигнала в днапазоне рабочих частот;  $C_1$  — входная емкость АЦП, приведенная ко входу.

Зная входную емкость АЦП, можно оценить и входную емкость, приведенную ко входу отдельного компаратора. Зная сопротивление шины аналогового сигнала между соседними компараторами на кристалле и сопротивление шин тактового сигнала, а, а также разрядность АЦП и конкретную конструкцию кристалла, можно распределенные параметры этих шин заменить сосредоточенными. Задержка сигналов на входах каждого компаратора будет определяться номером компаратора по отношению к выводу микросхемы, к которому подводится сигнал, сопротивлением шин, заключенных между соседними компараторами и емкостью, приведенной ко входу компаратора. Максимальная разность задержек распространения сигнала различных компараторов и будет определять дополнительный разброс апертурного времени по ХП. Количественный анализ этой составляющей приведен в гл. 9. Необходимо отметить, что зависимость входной емкости компаратора от напряжения на его входе будет вызывать дополнительные погрешности.

Соотношение сигнал-шум является динамическим параметром АЦ1, позволяющим интегрально оценить вносимые преобразователем искажения. Соотношение сигнал-шум идеального АЦП рассчитывается по формуле 60 + 1,8[дБ], где b — разрядность АЦП Соотношение сигнал-шум реального АЦП находится как отношение среднего квадратического значения напряжения гармоник восстановленного сигнала к среднему квадратическому значению полного напряжения восстановленного сигнала. Разность между соотношениями сигнал-шум идеального и реального АЦП и показывает погрешность. вносимую неидеальностью реального АЦП.

#### Глава 3.

# СХЕМЫ ПОСТРОЕНИЯ И ЭЛЕКТРИЧЕСКИЕ ХАРАК-ТЕРИСТИКИ МИКРОСХЕМ ЦАП

## 3.1. ДВЕНАДЦАТИРАЗРЯДНЫЙ ЦАП К594ПАІ С ВРЕМЕНЕМ УСТАНОВЛЕНИЯ 3,5 МКС

Микросхема К594[1А1 представляет 12-разрядный цифро-аналоговый преобразователь двоичного параллельного цифрового кода в постоянный ток [21—23]. Преобразователь может работать как ЦАП с выходом по напряжению при подключении к нему операционного усилителя (ОУ) в режиме суммирования. Функциональная схема ЦАП (рис. 3.1) включает источники токов (ИТ), построенные на многоэмиттерных транзисторах, источник напряжения смещения, токовые ключи, схему сдвига входных уровней. Такая структура широко применяется в ИС ЦАП [24]. Из приведенной схемы видно, что прибор состоит из трех элементарных ЦАП, на общем выходе связанных делителями тока. Каждый из элементарных



Рис 3.1 Функциональная схема ЦАП К594ПА1

ЦАП выполнен по схеме суммирования токов, которая позволяет достичь максимального быстродействия [25] Первый элементарный ЦАП, образующий четыре старших разряда, построен на источниках тока VT1-VT4, R1-R4, выходной ток которых через токовые ключи (ТК) поступает на выход прибора. Младшие разряды также выполнены в виде двух элементарных ЦАП на источниках тока VT5-VT13, R5-R14. Выходные токи этих ЦАП поступают на выход прибора через делители токов, построенных на резисторах R15—R18 с коэффициентами деления 1 : 16 и 1 : 128. Такая структура позволяет строить многоразрядные ЦАП [26]. Прибор содержит два резистора R19 и R20 для образования отрицательной обратной связи ОУ при использовании ЦАП в режиме с выходом по напряжению, а также резистор R21 для смещения ОУ в режиме биполярного сигнала на выходе. Схема формирования опорного напряжения, задающая смещение на общей базовой шине всех ИТ, выполнена на отслеживающем усилителе У, транзисторе VT<sub>A</sub>, резистоpax RREF, RA.

Двончное взвешивание разрядных токов каждого элементарного ЦАП осуществляется в эмиттерных цепях транзисторов ИТ. В первых двух ЦАП, образующих старшие разряды с 1-го по 8-й, взвешивание выполняется с помощью матриц двоично-взвешенных сопротивлений (2<sup>#</sup>R). В третьем ЦАП, образующем младшие разряды с 9-го по 12-й, взвешивание выполняется с помощью матрицы лестничного типа (R - 2R). В первых двух ЦАП источники токов старших разрядов работают при эмиттерных токах 1 мА, токи последующих разрядов уменьшаются по двоичному закону. В третьем ЦАП эмиттерные токи источников токов уменьшены вдвое по сравнению с первыми двумя. Такой подход позволил уменьшить суммарное сопротивление резисторов матрицы в третьем ЦАП до 84 кОм по сравнению с сопротивлением 105 кОм в каждом из первых двух. Структура с тремя отдельными элементарными ЦАП, соединенными с помощью делителей на общем выходе, позволяет применять в матрице резисторы с относительным диапазоном значений сопротивлений 1:8 вместо требуемого диапазона 1:2048 при использовании матрицы с непосредственным двоичным взвешиванием.

Схема формирования опорного напряжения (рис. 3.2) образует замкнутую петлю обратной связи. Эмиттерный ток транзисторадатчика  $VT_{\rm A}$  равен току транзистора UT 2-го разряда. Параметры транзистора  $VT_{\rm A}$  н резистора  $R_{\rm A}$  с высокой степенью точности идентичны параметрам транзисторов UT и резисторов матрицы и имеют тот же характер изменений от температуры и старения; такая обратная связь позволяет компенсировать погрешности преобразования, связанные с температурными изменениями сопротивлений резисторов матриц и параметров транзисторов UT коэффициентов передачи тока и падений напряжений на открытых эмиттерных переходах. Схема компенсирует и изменения разрядных токов, вызванные колебаниями источников питания, так как эти



Рис. 3.2. Схема токового ключа ЦАП К594ПАІ со схемой формирования опорного, напряжения

изменения равнозначны температурным с точки зрения погрешностей преобразования. Для структуры ЦАП с рассмотренной схемой формирования опорного напряжения в {27} приведены выражения для коллекторных токов транзисторов ИТ. Из этой работы следует, что на токи разрядов непосредственно влияют разбросы коэффициентов передачи тока транзисторов ИТ и падений напряжения на их открытых эмиттерных переходах. Равенство коэффициентов передачи тока транзисторов обеспечивается интегральной технологией микросхем. Падение напряжения на открытом эмиттерном переходе завнент от тока эмиттера и плошади переходов. Для поддержания постоянной плотности тока через эмиттерные переходы транзисторов ИТ применены транзисторы, у которых площади эмиттеров пропорциональны токам соответствующих разрядов. Это позволяет сохранить постоянным падение напряжения на эмиттерных переходах независимо от тока разряда и достичь необходимой линейности характеристики преобразования [28]. В самом младшем разряде номинал резистора источника тока R14 несколько увеличен для компенсации дополнительного падения напряжения на открытом эмиттерном переходе транзистора V/13, равного примерно 20 мВ,

Токовый ключ со схемами формирования опорного напряжения и сдвига уровней представлен на рис. 3.2. Транзисторы VT1 и VT2 р—п—р-типа соединены в дифференциальную пару и представляют собой схему сдвига входных уровней. База транзистора VT2 подключена к шине напряжения логического порога. В случае управления ЦАП ТТЛ-схемой напряжение на шине логического порога составляет примерно 1,4 В. Эмиттеры транзисторов VT1

и VT2 объединены и питаются от генератора постоянного тока In построенного на транзисторе VT, и резисторс R, При поступлении на базу транзистора 1/11 низкого входного уровня (для ТГЛ-уровней он не превышает 0,8В) ток генератора постоянного тока / протекает через транзистор VII, транзистор V72 в этом случае закрыт, так как потенциал точки соединения эмиттеров будет превышать логический уровень на значение падения напряжения на переходе, т. е. примерно на 0,7 В, и составит около 1,5 В. Если на базу транзистора поступает высокий уровень (для ТТЛ-схем не менее 2 В), потенциал точки соединения эмиттеров повышается и ток генератора In протскает через VT2, в этом случае VT1 запирается. Коллекторы VTI и V12 через резисторы RI и R2 подключены к шине базового смещения ключей, потенциал которой поллерживается постоянным. Ток ИТ на транзисторе VI ит и резисторе Rит коммутируется транзисторной парой VT3, VT4 п-р-п-типа, поочередно направляясь через суммирующую шину на выход прибора или в общую точку. При низком уровне напряжения на входе преобразователя ток /е, протекающий через транзистор V/1, на резисторе R1 создает падение напряжения, равное падению напряжения на открытом переходе. Так как через резистор R2 в этот момент ток не протекает, потенциал базы транзистора VT4 равен потенциалу базового напряжения и ток ИТ отводится на общую шину. При высоком уровне напряжения на входе преобразователя открыты транзисторы VT2 и VT4 и ток ИТ Io направляется в суммирующую шину. Так как используются идентичные транзисторы V13, V14, потенциал в точке соединения эмиттеров не изменяется до и после переключения, чем уменьшаются влияние перезарядки емкости эмиттерного перехода и связанная с ней задержка и достигается высокое быстродействие [29]. В таком переключателе скорость переключения не зависит от переключаемого тока. При этом также не происходит изменения рассеиваемой коллектором транзистора VT<sub>нт</sub> мощности, что устраняет явление так называемого термического запаздывания [28].

Ток генератора постоянного тока  $I_0$  (рнс. 3.2), протекая по одной из ветвей (транзистор VT1, резистор R1 или транзистор V12, резистор R2), поступает в цепь, состоящую из диодов VD1, VD2 и транзистора VT<sub>см</sub>, создавая на этой цепи падение напряжения, примерно равное трем падениям напряжения на открытом переходе, т. е. около 2,1 В. Таким образом, потенциал шины базового смещения ключей оказывается выше потенциала шины смещения ИТ на 2,1 В. Так как падение напряжения на резисторах R1 и R2, как было указано выше, равно падению напряжения на переходе, то напряжение смещения коллекторного перехода транзистора VT<sub>ит</sub> равно также трем падениям напряжения на переходе и не зависит от колебаний отрицательного напряжения источника питания  $U_{cc2}$ , что исключает изменения разрядного тока [30]. Буферный транзистор VT<sub>0</sub> используется для создания режима транзистора VT<sub>л</sub>, близкого к режиму работы транзистора V7<sub>ит</sub> MT.

Напряжение логического порога вырабатывается схемой, показанной на рис. 3.3. Делитель напряжения на резисторах R1 — R3 построен таким образом, что напряжение в точке соединения резисторов R2 и R3 примерно равно 1,4 В; сопротивления резисторов R2 и R3 равны. Это напряжение смещает базу транзистора *p*-*n*-*p*-типа V72, на эмиттере которого появляется напряжение, выше базового на падение напряжения на переходе. Эмиттерная цепь транзистора VT2 питается от генератора постоянного тока, построенного на транзисторе VT1 и резисторе R4. Потенциал эмиттера V72 поступает на базу транзистора V73, эмиттер которого и является выходом схемы. Транзистор VT4 и резистор R5 образуют генератор постоянного тока, питающий эмиттерную цепь транзистора VT3. Когда на входы преобразователя поступает цифровой код с уровнями КМОП, выводы І и 2 закорачиваются, на них подается необходимое напряжение питания. При этом в точке соединения резисторов R2 и R3 появляется напряжение, равное половине напряжения питания, так как сопротивления резисторов R2 и R3 равны.

Конструктивно ЦАП состоит из двух кристаллов, помещенных в планарный корпус. На одном кристалле размещена резисторная матрица, выполненная по тонкопленочной технологии, на втором остальная часть схемы с ключами, отслеживающим усилителем и схемой сдвига уровней, выполненная по эпитаксиально-планарной технологии.

#### Параметры ИС К594ПА1

| Число разрядов                                    | 12             |
|---|----------------|
| Выходной ток в конечной точке характеристики пре- |                |
| образовання, мА                                   | 2              |
| Абсолютная погрешность преобразовання в конце     |                |
| шкалы, мА   | Не более 0,2   |
|   | Не менее —0,2  |
| Выходной ток в начальной точке ХП, мкА            | Не более 1     |
| Время установлення выходного тока, мкс            | Не более 3,5   |
| Дифференциальная нелинейность, %                  | -0,024+0,024   |
| Входное напряжение инзкого уровия, В:             |                |
| в режиме ТТЛ                                      | Не более 0.8   |
| в режиме КМОП                                     | Не более 30%   |
|   | OT User        |
| Входное напряжение нысокого удовня. В:            |                |
| в режиме ТТЛ                                      | Не менее 2     |
| н режиме КМОП                                     | Не менее 70%   |
|   | OT Use 1       |
| Входной ток высокого уровня мкА                   | Не болсе 0.25  |
| Входной ток низкого уровня мА                     | Не более 0.25  |
| Положительное напояжение источника питания В'     | 110 00000 0120 |
| и режиме ТТЛ                                      | 5+5%           |
|   | 5 15           |
|   | 315            |
|   | -10.01070      |
| ток потреоления от источника положительного на-   | No. 60.000.05  |
| та така страница на наполници на наполница на на  |                |
| ток потреоления от источника отрицательного на-   | Un faces 25    |
| пряження, мл.                                     | LIE DOVGE 22   |
|   |                |

| Источник опорного напряжения<br>Опорное напряжение, В |          |           | Внешний<br>+10 |
|---|----------|-----------|----------------|
| Ток потребления от источника                          | опорного | напря же- | 05             |
| Рабочни днапазон температур,                          | °C       |           | 25+85          |

Зависимости основных параметров от температуры окружающей среды и напряжений питания приведены на рис 34-311

Прибор K594IIAI может найти самостоятельное применение как в аппаратуре и системах с цнфровой обработкой информации, так н в составе аналого-цифровых преобразователей, разрабатываемых на основе ИС, в цепи обратной связи Режим применения ЦАП K594ПАI может быть с выходом по току, с выходом по напряжению в зависимости от конкретной структуры установки В режиме



Рис 3.4 Зависимость дифференциаль ной нелинейности выходного тока ЦАП К594ПАІ от температуры



Рис. 3.6. Зависимость входного тока высокого уровня ЦАП К594ПА1 от температуры



Рис 3.8. Зависимость тока потребления от положительного напряжения источника питания ЦАП К594ПАІ от температуры



Рис 3.5. Зависимость входного тока низкого уровия ЦАП К594ПА1 от тем пературы



Рнс 37 Зависимость выходного тока нуля ЦАП К594ПАІ от температуры



Рнс. 3.9. Зависимость тока потребления от отрицательного напряжения источника питания ЦАП К594ПА1 'от температуры



Рис. 3.10. Зависимость времени установления выходного тока ЦАП К594ПА1 от температуры при  $R_n = 1.0$  кОм и  $C_n = 10.0$  пФ



Рис. 3.12. Включение ЦАП К594ПАІ для работы в одноцолярном режиме от ТТЛ-схем:

I — ИС. 2 — Ъыходной ОУ; 3 → источник опорного напряжения U<sub>REF</sub>, 4 — источник питания U<sub>m2</sub>; 5 — источник питания



- Рис. 3.14. Включение ЦАП К594ПА1 для работы в однополярном режиме от КМОП-схем:
- І ← ИС; 2 выходной операционный усилитель; 3 — источник опориого выдряжения U<sub>pp;</sub>; 4 источник питаний U<sub>mb</sub>; 5 — источник Питания U<sub>ct</sub>;



Рис. 3.11 Зависимость времени установления выходного тока ЦАП К594ПА1 от емкости нагрузки при T = 25° С



- Рис. 3.13. Включение ЦАП К594ПАІ для работы в биполярном режиме от ТТЛ-схем:
- I ИС. 2 выходной операционный усклитель: 3 — источник опорного напряжения U<sub>REF</sub>: 4 источник питавия U<sub>ref</sub>: 5 — источник питавия U<sub>ri</sub>



Рис. 3.15. Включение ЦАП К594ПА1 для работы в биполярном режиме от КМОП-схем:

I — ИС; 2 — выходной опервинонный усвантель; 3 — источник опормого напримения U<sub>REF</sub>; 4 источник питания U<sub>GE</sub>; 5 – источник питания U<sub>G</sub> работы с выходом но напряжению выходное напряжение ЦАП может быть получено при непосредственном подключении резистора к выходу или с помощью ОУ В первом случае значение сопротивления подключаемого резистора не должно превышать I кОм из-за обратного воздействия возникающего падения напряжения на выходные цепи ЦАП, что ограничивает выходное напряжение - 2 В Такое значение конечной точки ХП во многих случаях может оказаться недостаточным. Подключая ОУ к выходу ЦАП в режиме суммировання тока, можно получать необходимое значение выходного напряжения. В этом режиме в цени обратной связи ОУ используются резисторы R19 и R20, каждый сопротивлением по 5 кОм (рис 31). позволяющие образовывать обратную связь через сопротивления 10, 5 и 2,5 кОм, в зависимости от типа применяемого ОУ. Подключением инвертирующего входа ОУ к источнику опорного напряжения через резистор R21 сопротивлением 9,95 кОм создается режим биполярного сигнала на выходе, где функцию знакового разряда выполняет старший разряд.

Примеры включения ИС К594ПА1 в различных режимах включения приведены на рис. 3.12-3.15. Таким образом, прибор можно применять в режимах с подключением ОУ на выходе. В этих режимах влияние температурных коэффициентов сопротивления (ТКС) резисторов обратной связи, резистора смещения и резистора  $R_{REF}$  проявляется в противоположных направлениях, что позволяет создавать стабильные ЦАП с выходом по напряжению. При использовании ЦАП с выходом по напряжению. При использовании ЦАП с выходом по току выходной ток будет изменяться в соответствии с температурным коэффициентом резистора  $R_{REF}$ . В этом режиме возможно подключение источника опорного напряжения к выводу 22 через внешний резистор с необходимым ТКС (рис 3.1).

При выборе ОУ и источника опорного паряжения следует внимательно отнестись к их параметрам. Особое внимание следует обратить на динамические параметры ОУ, с тем чтобы его быстродействие позволило реализовать быстродействие ЦАП. Также надо подобрать ОУ по входному току и необходимо убедиться, что входной ток ОУ и его изменения не ухудшат точностных параметров ЦАП. Нельзя забывать, что выходной сигнал ЦАП повторяет изменения опорного напряжения без ослабления, поэтому источник опорного напряжения должен иметь соответствующую стабильность н возможность установки напряжения с соответствующей точностью

### 3.2. ДЕСЯТИРАЗРЯДНЫЕ ЦАП КМІП8ПА2, КРІП8ПА2 С ВРЕ-МЕНЕМ УСТАНОВЛЕНИЯ 50 НС

С точки зрения применения преобразователей в системах обработки данных одним из важнейших показателей является функциональная возможность преобразователей. Этот вопрос решается в микросхеме 10-ря урядного ЦАП КМ1118ПА2, содержащей вход-7° ной регнстр данных и цепи управления, позволяющие использовать микросхему в контакте с микропроцессором [161]. Структурная схема ЦАП КМ1118ПА2 (рис. 3.16) состоит из следующих основных частей: 16 преобразователей входных уровней (ПУ); 11-разрядного входного регистра; 18 источников разрядных токов с ТК; матрицы типа  $R \cdot 2R$ ; отслеживающего усилителя. В преобразователе использован комбинированный способ взвешивания разрядных токов. Токи восьми младших разрядов (с третьего по десятый) формируются методом деления равных токов ИТ матрицей типа  $R \cdot 2R$ . Токи ИТ первого (старшего) и второго разрядов подаются прямо на выход преобразователя, их значения в четыре и два раза соответственно больше, чем токи ИТ остальных разрядов. Эти токи получены параллельным включением четырех и двух (ссот-



Рис 3.16. Структурная схема 10-разрядных ЦАП КМ1118ПА2, КР1118ПА2

ветственно для первого и второго разрядов) ИТ и ТК, идентичных остальным разрядам Взвешивание разрядных токов параллельным включением одинаковых ИТ и ТК позволяет исключить влияние геометрии транзисторов и резисторов, а также технологического разброса этих компонентов на точность ЦАП

Структура ЦАП, в которой разрядное взвешивание выходного тока выполняется в цепях нагрузки ИТ резистивной матрицей типа R-2R, имеет ряд преимуществ по сравнению с другими широко используемыми структурами В ИТ такого ЦАП используются одноэмиттерные транзисторы. Суммарное число эмиттеров во всех ИТ при этом равно числу разрядов; это во много раз меньше числа эмиттеров в преобразователях, разрядное взвешивание в которых выполняется взвешиванием выходных токов ИТ. Для поддержания постоянной плотности эмиттерных токов в ИТ ЦАП такого типа требуется 2"-1 эмиттеров В ЦАП с выходной матрицей R-2K для уменьшения влияния разброса напряжения эмиттер-база транзисторов ИТ на выходной ток сопротивление эмиттерного резистора Это позволяет сократить диапазон повышается в 2 10 раз сопротивлений прецизионных резисторов, получить минимальное среди всех структур ЦАП суммарное сопротивление прецизионных резисторов. Небольшое число эмиттеров в ИТ разрядных токов и сравнительно малое суммарное сопротивление прецизионных резисторов делают такой ЦАП наиболее технологичным по сравнению с преобразователямн, имеющими другую структуру. Погрешность преобразования при нулевом входном коде (напряжение смещения нуля) такого преобразователя достаточно мала, так как токи утечки токовых ключей, как и разрядные токи, делятся матрицей R-2R Основным недостатком ЦАП с выходной матрицей R-2R является большая рассенваемая мощность. Для ее уменьшения разрядное взвешивание выходных токов двух старших разрядов производится непосредственным включением на выход преобразователя токов, в четыре и два раза (соответственно для первого и второго разрядов) больше тока третьего разряда Это позволяет уменьшить потребляемую преобразователем мощность в три — четыре раза. Таким образом, рассмотренная структура ЦАП дает возможность совместить сравнительно небольшую потребляемую мощность с относительно узким диапазоном сопротивлений и малым суммарным сопротивлением, небольшими площалями эмиттеров. ИТ и ТК н небольшим напряжением смещения нуля на выходе ЦАП

Выход ЦАП нагружен внутренним резистором R, что позволяет получать на выходе преобразователя напряжение от 0 до -1 В при соответствующих входных кодах. Выходное сопротивление ЦАП равно сопротивлению матрицы в точке подключения нагрузки. Сопротивление  $R \approx 112.5$  Ом, выходное сопротивление при этом составляет около 75 Ом, что позволяет согласовывать выход ЦАП с линией, имеющей волновое сопротивление 75 Ом, без дополнительных согласующих устройств. При таком включении ЦАП также нагружается сопротивлением 75 Ом, что уменьшает диапазон изменения выходного напряжения до — 0,5 В.

Для поддержания постоянного выходного напряжения ЦАП при колебаниях температуры и напряжения питания служит отслеживающий усилитель, который сравнивает опорное напряжение  $U_{REF}$  с напряжением датчика, выполненного на четырех ИТ, нагруженных резистором с сопротивлением (4/3) *R*. При изменении выходного напряжения ЦАП из-за изменения напряжения питания  $U_{cc2}$ , параметров транзисторов и резисторов ИТ со временем и температурой происходит такое же изменение напряжения датчика. При этом выходное напряжение отслеживающего усилителя изменяется так, чтобы напряжение датчика было равно опорному напряжению, тем самым выходное напряжение ЦАП поддерживается на постоянном уровне.

Токовые ключи управляются через входной регистр (см. рис. 3.16), который состоит из 11 двухтактных *D* триггеров со стробируемыми выходами, выполненных на элементах ЭСЛ. Наличие синхронизирующего входа *C* обеспечивает одновременную подачу управляющих сигналов на все входы ТК. Благодаря идентичной структуре ключей, одинаковой величине коммутируемых токов и одинаковой нагрузке всех ТК последние переключаются с одинаковой скоростью. Это позволяет получать максимальное быстродействие и минимальиую энергию выбросов выходного напряжения при изменении входного кода.

Кроме 10 информационных входов D1 - D10 A и синхронизирующего входа C регистр RG имеет дополнительные входы следующего назначения: вход H для установления в состояние лог. 1 выходов. триггеров, на входы которых поданы лог. 0; вход L для установления в состояние лог. 0 выходов триггеров, на входы которых поданы лог. 1; вход 2C для инвертирования входной информации триггера первого разряда; вход D10 B для управления дополнительным разрядом ЦАГІ, равным младшему разряду; вход G для установления в состояние лог. 0 выходов всех триггеров вне зависимости от сигналов на всех остальных входах без изменения состояния триггера.

Наличие перечисленных входов позволяет выполнить следующие функции: преобразовать в напряжение прямой параллельный двоичный код; преобразовать в напряжение обратный параллельный двоичный код; преобразовать в напряжение обратный двоичный дополнительный код; преобразовать в напряжение обратный двоичный дополнительный код; установить на выходе ЦАП выходное напряжение конечной точки характеристики, не изменяя входного кода, установить выходное напряжение нуля на выходе ЦАП, не изменяя состояния триггеров регистра; установить выходное напряжение нуля на выходе ЦАП, не изменяя входного кода. Выходное напряжение ЦАП при различных комбинациях входных уровней приведено в табл 3.1

| _ | Входы |         |      |                          |         |                              |   |  |
|---|-------|---------|------|--------------------------|---------|------------------------------|---|--|
| с | н     | L       | 2C   | DI-DIOA                  | DIOB    | Выходное<br>напряжение,<br>В | Входной код   |  |
| 1 | 2     | 3       | 4    | 5                        | 6       | 7                            | 8   |  |
| 1 | 0     | 0       | 1    | 0000000000               | 0       | 0<br>—1,023                  | Прямой параллельный двоич-<br>ный                                   |  |
| 1 | 1     | 1       | 1    | 0000000000               | 1       | 1;023<br>0                   | Обратный параллельный дво-<br>нчный                                 |  |
| 1 | 0     | 0       | 0    | 1009000000<br>111111111  | 0       | 0<br>1,023                   | Прямой параллельный бипо-<br>лярный дополняющий до двух             |  |
| 1 | 1     | 1       | 0    | 1000000000<br>0111111111 | 1       | -1,023<br>0                  | Обратный параллельный до-<br>полняющий до двух                      |  |
| 1 | 1     | 0       | x    | XX . X                   |         | 1,024                        | Установка конечной точки ха-<br>рактеристики преобразования         |  |
| 1 | 0     | 1       | x    | x                        |         | 0                            | Установка начальной точки<br>характеристики пребразования<br>(нуля) |  |
| 0 |       | x       | x    | XX                       |         | 0                            | Стробнрование выхода регист-<br>ра                                  |  |
| π | рны   | 4 e 4 i | анне | . х — состояни           | е произ | вольное.                     |   |  |

Табянца 3.1 Соответствие выходного сигнала ЦАП КМ1118ПА2, КР1118ПА2 входному коду

Выходное напряжение, соответствующее комбинациям входных уровней согласно табл. 3.1, устанавливается после подачи положительного фронта входного импульса на вход *C*.

Входные логические уровни согласовываются с входами регистра с помощью ПУ (рис. 3.17), что позволяет управлять преобразователем уровней ТГЛ или ЭСЛ. При работе ЦАП от уровней ТТЛ ПУ питаются от двух источников напряжения питания  $U_{ccl} =$ = + 5 B, U<sub>cc2</sub> = - 5 B. При работе от уровней ЭСЛ нужен только один источник питания  $U_{cc2} = -5$  В. Наличие в ГІУ инвертированных входов позволяет подавать на все ПУ, кроме входов H, L, 2C, парафазные сигналы ЭСЛ. Во время работы ИС в режиме ТТЛ ток, протекающий через резистор R12, больше тока через резистор R13. Часть тока резистора R12, равная току через резистор R13, протекает через транзистор, токового зеркала VT1 Остальная часть тока подается на последовательно включенные четыре днода VD1 — VD4, выполненные на эмиттерных переходах транзисторов, и создает на них падение напряжения примерно 2,4 В. Это напряжение поступает на базу транзистора VT6, который вместе с транзистором VT5 составляет переключатель тока. На базу транзистора V15 подается напряжение 1,8 В, падающее на последовательно включенных диодах VT2 - VD5,



Рнс. 3.17 Схема преобразователей входных уровней ЦАП КМ1118ПА2, КР1118ПА2

VD6. При этом транзистор V76 открыт н ток  $I_1$  подается на резистор R3. Напряжение — 0,8 В, создаваемое на резисторе R3 токами  $I_1$  н  $I_2$ , смещается на диоде VD14 до — 1,4 В н поступает на базу транзистора V710. На базу транзистора V711 от делителя напряжения R7, R8 поступает напряжение — 1,2 В. При этом V710 закрыт н выходные напряжения ПУ определяют состояние переключателя тока, построенного на транзисторах V79 и V711.

При подаче на прямой вход ПУ низкого уровня ТТЛ 0,4 В транзистор V17 открыт. На базу транзистора V18 приложенное напряжение 0,6 В (сумма напряжения коллектор — эмиттер насышенного транзистора VT7 и низкого входного уровня) смещается эмиттерным повторителем на транзисторе V18 и диодами VD11 --VD13 до -- 1,8 В и подается на базу транзистора V79. Ток /з через. транзистор VIII подается на резистор R6 и создает на прямом выходе ПУ напряжение низкого уровня - 1,2 В. На инвертированный вход ПУ через резистор R5 поступает падающее на диоде VD15 напряжение — 0,6 В, образующее высокий уровень. При подаче на вход ПУ высокого уровня ТТЛ (2,4 В) транзистор VT7 работает в инверсном активном режиме. На базу транзистора VT8 поступает напряжение 2,8 В, падающее на диодах VD8-VD10, которое после смещения повторителем на транзисторе VT8 и диодами VD11 - VD13 до -0.6 В подается на базу транзистора VT9. 200

При этом транзистор VT9 открывается, ток I<sub>3</sub> поступает на резистор R5 и выходные уровни составляют — 0,6 и — 1,2 В на прямом и инвертированном выходах ПУ соответственно.

При работе от уровней ЭСЛ (вывод 9 ИС соединяется с общим выводом цифрового сигнала) (см. рис. 3.16) напряжение U<sub>cci</sub> = 0. Транзистор VT9 закрыт (см. рис. 3.17), так как напряжение, подаваемое на его базу (-3,7 В), ниже напряжения на базе транзистора VT11 (-1,2 В). Выходные напряжения ПУ определяют состояние переключателя тока, построенного на транзисторах VT10 и VT11 В этом режиме ток, протекающий через резистор R12, меньше тока через резистор R13. Транзистор V11 работает в режиме насышения, напряжение на его коллекторе составляет около 0,2 В. Транзистор VT6 закрыт и ток / через транзистор VT5 подается на переключатель тока на транзисторах VT3 и VT4, который управляется входным сигналом. При отсутствии входного сигнала на инвертированном входе ПУ на базу транзистора VT3 от делителя R1, R4 поступает пороговое напряжение — 1,3 В. Высокий логический уровень (-0,81 В) на прямом входе [1У (база транзистора V74) открывает транзистор VI4, и на резистор R3 поступает ток I2, который создает на нем падение напряжения 0,4 В. Это напряжение через диод VD14 поступает на базу транзистора VT10 и открывает его. На прямой выход ПУ поступает напряжение -0,6 В, падающее на диоде VD15, на инвертированный выход поступает напряжение - 1,2 В, падающее на диоде VD15 и резисторе R5 При подаче на прямой вход ПУ низкого уровня (-1,85 В) открыты транзисторы VT3 и VT11 и напряжения на прямом и инвертированном выходах ПУ соответствуют низкому и высокому выходным уровням соответственно. В парафазном режиме ЭСЛ принцип действия ПУ аналогичен. В этом режиме повышается помехоустойчивость схемы и уменьшается время задержки распространения сигнала. Преобразователи уровней остальных входов (входы H, L, 2C, C, G) построены по аналогичным схемам.

Входной регистр построен на двухтактных триггерах. Принципиальная схема триггеров 3-10-го разрядов приведена на рис. 3.18. Регистр состоит из входного логического устройства, построенного на транзисторах VT1 - VT6, первого триггера на VT7, VT8, второго триггера на VT15 - VT18. и стробируемого буферного каскада на транзисторах VT23 - VT26. Выходные уровни первого триггера согласованы с входными уровнями второго триггера с помощью эмиттерных повторителей на транзисторах VT1 - VT13. Работа триггеров синхронизируется переключателем тока на транзисторах VT9, VT10 и VT19, VT20, управляемых синхронизирующим сигналом C. При подаче на вход C низкого уровня открыты транзисторы VT9 и VT20. Ток  $I_1$  через транзистор VT9 поступает на переключатель тока на транзисторах VT5, VT6, управляемый входным сигналом разряда. Ести на входы H и Lподаны низкие уровни, открыты транзисторы VT2 и VT4 и на



Рис. 3.18. Схема триггеров регистров ЦАП К.М.1118ПА2, КР1118ПА2

выход первого триггера подается сигнал, соответствующий состоянню входа D, так как триггер работает в режиме прямого входного кода. При подаче на вход Н высокого уровня открывается транзистор VTI. Если теперь на вход D поступает низкий логический уровень, то ток /, течет не через резистор R2, как в режиме прямого входного кода, а через резистор R1 и на выходах триггера появляются напряжения высокого уровня. В этом режиме напряжение на выходе триггера не зависит от состояния входа D и на выходе ЦАП устанавливается напряжение конечной точки ХП. Аналогичным образом при подаче на вход L высокого уровня, напряжения на выходах триггера всегда соответствуют низкому входному уровню независимо от состояния входа D, а на выходе ЦАП в этом режиме устанавливается напряжение начальной точки XП. Если высокий уровень подается на входы H и L одновременно, сигнал, подаваемый на вход D, инвертируется и ЦАП работает в обратном коде.

Если на вход C подан низкий уровень, первый триггер открыт и уровни на его выходе соответствуют входным уровням. Однако в этом режиме второй триггер закрыт и в нем хранится информация, соответствующая коду, который был подан на входы триггера в предыдущем такте. Во время изменения уровня с низкого на высокий на входах C открываются транзисторы VT10, VT19, открывается вход первого триггера, а информация на его выходе запоминается транзисторами VT7, VT8. Одновременно открывается второй триггер и информация с выхода первого триггера поступает в буферный каскад. Если на входе G существует высокий уровень, ток  $I_5$  через транзистор VT25 подается на переключатель тока на транзисторах VT23, VT24 и напряжения на выходах Q регистра 202 соответствуют уровням на выходе первого триггера. Если на вход G подан низкий уровень, ток /з через транзистор V/20 подается прямо на резистор R6 и на выходе Q напряжение соответствует низкому уровню независимо от состояния остальных входов.

Регистры первого и второго разрядов отличаются тем, что в них выходные каскады построены на четырех и двух (соответственно для первого и второго разрядов) триггерах н выходных буферных каскадах. Каждый из этих каскадов нагружен ТК. Это позволяет получать одинаковую нагрузку всех выходов регистра, что очень важно для одновременного переключения ТК, управляющнх разрядными токами Кроме того, в коллекторные цепи транзисторов VT5 и VT6 включены дополнительные переключатели тока, управляемые от входа 20 (см. рис. 3.16), которые при подаче на вход 20 низкого уровня инвертируют информацию, поступающую ка вход D1, при этом преобразователь работает в режиме двоичного дополняющего кода.

Источники разрядных токов и ТК построены по широко применяемой схеме (рис. 3.19) Источники разрядного тока построены на транзисторе VTЗ, включенном по схеме с общей базой, и прецизионном резисторе R<sub>3</sub>. Выходной ток ИТ I<sub>0</sub> определяется напряжением между базой VTЗ и шиной питания U<sub>cc2</sub>, которое регулируется отслеживающим усилителем для поддержания выходного напряжения ЦАП постоянным при изменении температуры и напряжения питания. Разрядный ток коммутируется TK, построен-



ным на дифференциальной паре транзисторов VT1 и VT2. Эмиттеры этих транзисторов объединены и питаются разрядным током I<sub>0</sub>. Токовый ключ управляется парафазным сигналом, поступающим с выхода триггера. Во время переключения напряжение в точке соединения эмиттеров не изменяется, что позволяет избежать перезаряда емкости и повысить быстродействие.

При открытом транзисторе VT1 разрядный ток подается в резисторную матрицу, имеющую в точке подключения ТК сопротивление 75 Ом. При открытом транзисторе VT2 разрядный ток поступает в цепь «аналоговой» земли. Источники тока и ТК датчика выполнены по аналогичной схеме. Управляющее напряжение, подаваемое на входы ТК, поддерживает ключи в открытом состоянии, т. е. токи ИТ постоянно подаются на резистор датчика. Использование в датчике ТК необходимо для создания нагрузки ИТ, идентичной нагрузке ИТ разрядных токов. Это позволяет согласовывать температурные характеристики ИТ датчика и ИТ разрядных токов, что способствует уменьшению температурной нестабильности выходного напряжения ЦАП.

Прецизнонные резисторы резисторной матрицы выполнены в базовом слое. Размеры всех резисторов одинаковы, сопротивление одного резистора R ≈ 112,5 Ом. Для получения сопротивления 2R использованы два последовательно соединенных одинаковых резистора, что позволяет уменьшить влияние разброса их размеров на точность ЦАП. Резисторы изолированы *р*—*n*-переходом между базовым и коллекторным слоями. Для получения закрытого изолирующего *p*—*n*-перехода обычно коллекторную область соединяют с выводом резистора, имеющим наиболее положительный потенциал. Однако такой способ непригоден для резисторов в матрице R-2R, так как на резистор R, подключенный между выходами двух ТК, может подаваться напряжение любой полярности. В зависимости от напряжения, приложенного к резистору, толщина проводящего слоя и, следовательно, сопротивление такого резистора сильно меняются. Для устранения этого эффекта изолирующий коллекторный слой подключен к середине резистора, при этом напряжение смещения р-п-перехода между резистором и изолирующим слоем всегда постоянно. В результате средняя рабочая толщина резистивного слоя всегда поддерживается на одном, почти постоянном уровне независимо от напряжения на контактах резистора.

Схема отслеживающего усилителя приведена на рис. 3.20. Усилитель построен по трехкаскадной схеме, каждый из каскадов которой представляет собой дифференциальный усилитель. Сопротивления каскадов согласуются между собой с помощью эмиттерных повторителей, которые одновременно сдвигают постоянную составляющую сигнала до уровня, необходимого для работы последующего каскада. Входной сигнал на усилитель подается через эмиттерные повторители, собранные на транзисторах V11 и V72, что позволяет повысить входное сопротивление усилителя.

#### Основные параметры ИС 10-разрядных ЦАП КМ1118ПА2, КР1118ПА2

| Чнсло разрядов                                   | 10             |
|--|----------------|
| Диапазон выходного напряжения. В                 | 01,024         |
| Абсолютная погрешность в конечной точке характс- |                |
| ристики, мВ                                      | Нс болес 200   |
| Днфференциальная нелинейность, %                 |                |
| группа А   | 0,0978         |
| группа Б   | 0,195          |
| Напряжение смещения нуля на выходе, иВ           | Не более —10   |
| Входной ток низкого уровня, мкА:                 |                |
| прямых входов в режиме ТТЛ и ЭСЛ                 | - Не более 750 |
| инвертированных входов в режиме ЭСЛ              | Не более 350   |
| Входной ток высокого уровня, мкА:                |                |
| прямых входов в режимс ТТЛ и ЭСЛ                 | Не более 150   |
| инвертированных входон в режиме ЭСЛ              | Не более 350   |
| Напряжение питания, В:                           | 1              |
| в режиме ЭСЛ                                     | -5±5%          |
| в режиме ТТЛ                                     | $-5\pm5\%$     |
|  | $+5\pm5\%$     |
| Токи потребления:                                |                |
| от источника положительного напряжения, мА       | Не более 15    |
| от источника отрицательного напряжения, мА       | Не более 120   |
| Опорное напряжение, В                            | -1,024         |
| Время задержки распространения сигнала при вклю- |                |
| ченин и выключении, нс                           | Не более 30    |
| Рабочкй длапазом температур, °С                  | -10+70         |

Примеры включения ИС в различных режимах и зависимости основных параметров от режима работы и от параметров окружающей среды приведены на рис. 3.21—3.23, 3.24—3.33 соответственно.

#### 3.3. ВОСЬМИРАЗРЯДНЫЕ ЦАП КІІІ8ПАІ, КМІІІ8ПАІ С ВРЕ-МЕНЕМ УСТАНОВЛЕНИЯ 20 НС

Наличие преобразователей высокой разрешающей способности (10- 12-разрядных) не исключает потребности в преобразователях средней разрешающей способности повышенного быстродействия [31]. К такому типу приборов относится микросхема К1118ПА1, представляющая собой 8-разрядный ЦАП двоичного параллельного кода в ток с временем установления 20 нс. [31]. Прибор выполнен по структурной схеме (рис. 3.34), объединяющей преимущества матриц взвешенного и лестничного типа. Структура ЦАП с матрицей лестничного типа более выгодная с точки зрения суммарного сопротивления. Однако в этом случае резисторы, включенные последовательно с эмиттерами транзисторов ИТ, работают при разных напряжениях в зависимости от положения резистора в матрице. Это влечет за собой появление погрешности, обусловленной нелинейностью вольт-амперной характеристики диффузионных резисто-DOB. 205







Рис. 3.24. Зависниость дифференциальной нелинейности ИС КМ1118ПА2, КР1118ПА2 от напряжения питания Ucc1 при Ucc2 = -5 В

#### Рис. 3.21. Включение микросхем КМІІІ8ПА2, КРІІІ8ПА2 при работе в режиме ТТЛ:

I = ИС; 2 = источник опорного наприжения: 3 = генератор тактовых импульсов; 4 = генератор стробирующих импульсов; 5 = источник питания  $U_{cet}; 6 =$  источник питания  $U_{a2}$ 

#### Рис. 3.22. Включение ИС КМІІІ8ПА2, КРІ118ПА2 при работе в парафазном режиме ЭСЛ:

I - ИС; 2 — источник опорного напряжения  $U_{REF}; 3$  — генератор тактовых импульсов; 4 — генератор стробирующих импульсов; 5 — источник импульсов

Рис. 3.23. Включение ИС КМ1118ПА2, КР1118ПА2 при работе в режиме ЭСЛ: I-ИС: 2 — источник опорного напряжения  $U_{REF}: 3$  — генератор тактовых импульсов: 4 генератор стробирующих импульсов: 5 — источинк питания



Рис. 3.25. Зависимость нелинейности ИС КМ1118ПА2, КР1118ПА2 от иапряжения питания  $U_{cc1}$  при  $U_{cc2} = -5$  В



Рис 3.26. Зависимость дифференциальной, нелинейности ИС КМ1118ПА2, КР1118ПА2 от напряжения питания U<sub>112</sub>



Рис. 3.28 Зависимость ислинейности ИС КМП18ПА2, КРП18ПА2 от температуры



Рис. 3.30. Зависимость напряжения смещения нуля ИС КМ1118ПА2, КР1118ПА2 при включении от напряжения питания U<sub>162</sub> в режиме ЭСЛ



Рис. 3.32. Зависимость времени установления при включении от температуры в режиме ЭСЛ



Рис 3.27 Зависимость нелинейности ИС К.М1118ПА2, КР1118ПА2 от напряжения питания U<sub>vc2</sub>



Рис 3.29. Зависимость дифференциальной нелинейности ИС КМ1118ПА2, КР1118ПА2 от температуры



Рис. 3.31- Зависимость погрешности ИС КМІІІВПА2. КРІІІВПА2 в конечной точке ХП от напряжения питания Ucc2 в режиме ЭСЛ



Рис 3.33. Зависимость времени установления при выключении от температуры в режиме ЭСЛ



Рис 3.34 Структурная схема ЦАП КПІВПАІ, КМІПВПАІ

В данном ЦАП применена структура с комбинированным способом формирования разрядных токов, в которой токи пяти старших разрядов формируются с помощью ИТ со взвешенными резисторами, а трех младших — с помощью ИТ с матрицей R-2R. Для сокращения общего числа эмиттерных переходов в ИТ транзисторы трех младших разрядов работают при плотности тока через переход, уменьшенной в 4 раза по отношению к старшим разрядам [32]. В четырех старших разрядах разрядные токи формируются с помощью параллельно включенных одинаковых ИТ, число которых в каждом разряде соответствует весу разряда. Разрядный ток старшего (первого) разряда формируется восемью параллельно включенными ИТ на двухэмиттерных транзисторах, а последующих три разряда содержат 4,2 и 1 ИТ соответственно. Транзистор ИТ пятого разряда содержит только один эмиттер (по сравнению с двумя в четвертом разряде). Такое решение позволяет исключить влияние геометрии транзисторов ИТ на нелинейность характеристики преобразования. В отношении числа эмиттерных переходов такая структура эквивалентна обычной структуре со взвешенными резисторами. В ИТ трех младших разрядов использованы транзисторы. геометрические размеры которых равны размерам транзисторов старших разрядов, но работающие при плотности тока эмиттерных переходов в 4 раза меньшей. Так как потенциалы эмиттеров всех ИТ равны, то напряжение транзисторов ИТ трех младших разрядов должно отличаться от предыдущих на величину  $\Delta U_{36} = \varphi_T \ln I_1 / I_2$ , где ф. — температурный потенциал. Эта разность напряжений создается током I<sub>см</sub> на резисторе R<sub>см</sub>, включенном в общую базовую шину между транзисторами ИТ пятого и шестого разрядов. Значение сопротивления R см выбирается с учетом базового тока транзисторов младших разрядов и его разброса. Резисторная матрица для

трех младших разрядов — типа R-2R, при этом для восьмого разряда используется замыкающий резистор, а деление этого тока осуществляется активным делителем на буферных транзисторах. Кроме ИТ схема содержит ТК, отслеживающий усилитель, источники напряжений смещения.

Схема ТК совместно с ИТ приведена на рис. 3.35. Она состонт- из переключателя разрядного тока на транзисторах VTI и VT2, на который через буферный транзистор VT3 подается ток от ИТ: входного дифференциального каскада на транзисторах VT5, VT6, который питается от источника тока на транзисторе V17; двух эмиттерных повторителей со сдвигателями уровней на транзисторах VT8 — VT11. От источников опорных напряжений на ТК поступают опорное напряжение логического порога U<sub>пор</sub>, напряжение смещения ИТ входного дифференциального каскада и буферного транзистора. Напряжение на базы транзисторов ИТ поступает от отслеживающего усилителя. Опорное напряжение логического порога стабилизировано относительно общего провода, а напряжение смещения источника тока выходного каскада — относительно шины питания. Это позволяет обеспечить независимость логического порога и тока входного каскада (а тем самым и быстродействия) от изменения напряжения питания. Особенностями схемы такого ключа являются [33, 34]: наличие двух дополняю-

щих друг друга токовых выходов; парафазное управление выходными транзисторами; отсутствие *p*-*n*-*p*-транзисторов, обладающих низким быстродействием, в цепях управления входными транзисторами. Первая из перечисленных особенностей повышает функинональные возможности ЦАП и является полезной для многих при-Наличие парафазного менений. управления выходными дифференциальными каскадами позволяет избежать перезаряда емкости эмиттеров транзисторов VT1 И VT2 в точке соединения их эмиттеров, что значительно способствует повышению быстродействия. Применение буферного транзистора VT3 вызвано стремлением уменьшить зависимость выходного тока от напряжения, приложенного к

# Рис 3.35 Токовый ключ с'источником тока ЦАП КПІВПАТ КМІНВПАІ



выходу; а также необходимость изолировать от управляющих целей генераторы разрядных токов, транзисторы которых имеют большую емкость перехода коллектор—база.

Для формирования тока смещения, прямо пропорционального температуре, используется свойство температуриой зависимости напряжения на прямосмещенном p-n-переходе. При постоянном токе через эмиттерный переход напряжение на нем находится из соотношения  $U_{36} = (kT/q) \ln//I_s$ , где k — постоянная Больцмана: q — заряд электрона: T — абсолютная температура: I — ток через переход в рабочей точке;  $I_s$  — диффузионный ток утечки через переход. Типичное значение температурного коэффициента напряжения змиттер—база составляет — 2 мВ/°C. Если два одинаковых транзистора работают при различных плотностях эмиттерного тока, то разность их напряжений эмиттер—база прямо пропорциональна температуре:  $\Delta U_{36} = (kT/q) \ln (I_1/I_2)$ .

Если это напряжение выделяется на резисторе, ток через резистор будет также пропорционален температуре. Существуют несложные ИТ, содержащие пару p-n-p-транзисторов с эмиттерами различных площадей. Так как интегральные кремнневые p-n-p-транзисторы имеют низкий коэффициент усиления тока, большое сопротивление эмиттера, в них возникает инжекция высокого уровня при относительно малых токах. Такие транзисторы сильно влияют на точность функционирования ИТ. В описываемом ЦАП применена схема ИТ, не содержащая p-n-p-транзисторов (рис. 3.36). Если транзисторы V72 и V74 одинаковы и  $R_2 = R_4$ , то ток коллектора V71  $I_1 = [(kT/q)\ln(S_1/S_3)]/(R_1-R_3), где S_1$  и S<sub>3</sub> пло-



210

шади эмиттеров транзисторов VT1 и VT3 соответственно. Следовательно, ток транзистора VT1 определяется только соотношеннем площадей эмиттерных переходов VT1 и VT3 и разностью сопротивлений резисторов и прямо пропорционален абсолютной температуре. Ток смещения I<sub>сч</sub> создается токоотводом на транзисторе VT5.

Температурно зависимый ток /1 используется также для формирования опорного напряжения логического порога ТК. Для этого в коллекторную цепь VTЗ включен резистор R<sub>k</sub>, на котором выделяется напряжение, пропорцнональное абсолютной температуре. Это напряжение через повторители на транзисторах VT6 и VT7 поступает на ТК. Сопротивление резистора R4 и соотношение сопротивлений резисторов R7 и R8 подбираются таким образом, чтобы выходное напряжение имело положительный температурный дрейф, равный около I,1 мB/°C, для сохранения помехоустойчивости в рабочем диапазоне температур при работе со стандартными схемами ЭСЛ.

Отслеживающий усилитель (рис. 3.37) состоит из входного дифференциального каскада, построенного по каскодной схеме с активными нагрузками (VT1—VT6, VD11), двух эмиттерных повторителей с активными нагрузками (VT7—VT9) и выходного эмиттерного повторителя. Дифференциальный каскад, построенный по такой схеме, обладает повышенным коэффициентом усиления. В данной схеме, сопротивление нагрузки состоит из параллельно соединенных выходного сопротивления транзистора VT6 и входного сопротивления эмиттерного повторителя на транзисторе VT9.

Цифро-аналоговый преобразователь изготовлен по биполярной технологии с применением двухуровневой металлизации и ионной имплантации. В конструкции использована матрица резисторов, полученных диффузионным с дособом в едином технологическом процессе с необходимой точностью и исключающих необходимость функциональной настройки.

#### Основные параметры ЦАП

| Число разрядов                                   | 8              |
|--|----------------|
| Выходной ток в конечной точке характеристики, мА | 51             |
| Абсолютная погрешность преобразонания в консч-   |                |
| ной точке ХП, мА                                 | 5+5            |
| Нелинейность, "%                                 | $\pm 0.195$    |
| Выходной ток нуля, мкА                           | Не более 50    |
| Входной ток высокого удовня, мк.А                | Не более 180   |
| Входной ток инзкого удовня, мкл                  | Не более 180   |
| Входные уровни                                   | Уровни ЭСЛ-то- |
|  | ГНКН           |
| Напряжение питания, В                            | -5,2±5%        |
| Ток потребления, мА                              | Не более 130   |
| Разность выходных токов основного и дополняюще-  |                |
| го выходов, мкА                                  | Не более 100   |
| Изменение выходного тока при изменении напряже-  |                |
| ний питания от -4,94 до -5,46 В. мк. А           | -100+100       |
| Изменение выходного тока при изменении напряже-  |                |
| ния на выходе от -1,3 до 2,5 В, мкА              | -100+100       |
|  |                |

| Время задержки распространения сигнала при вклю-  |             |
|---|-------------|
| чении и выключении всех разрядов одновременно, нс | Не более 6  |
| Время установления выходного тока, ис             | Не более 20 |
| Днапазон рабочих температур, °С                   | -10+70      |

Типовые завнсимости параметров от условий эксплуатации приведены на рис. 3.38—3.46.

Для работы ЦАП требуются внешние компоненты: источник опорного напряжения, токозадающий резистор, конденсатор частотной коррекции отслеживающего усилителя и резистор компенсации смещения нуля отслеживающего усилителя. Пример включения ИС К1118ПА1 для работы на согласованный тракт с волновым сопротивлением 50 Ом приведен на рис. 3.47. При управлении ИС К1118ПА1 от ЭСЛ-микросхем (серия 100; 500) не нужны дополнительные согласующие устройства. Работа ИС на согласованный



Рис. 3.38. Зависимость нелинейности "ЦАП КІІІ8ПАІ, КМІІІ8ПАІ от напряжения питания



Рис. 3.39. Зависимость времени задержки распространения ЦАП К1118ПА1. КМ1118ПА1 при выключении от напряжения питания



Рис. 3.40. Зависнмость временн задержки распространения ЦАП КIII8ПАI, КМIII8ПАI при включеннн от напряжения питания



Рис. 3.42. Зависимость нелинейности ЦАП КШІВПАІ, КМШІВПАІ от температуры



Рис. 3.41. Зависимость погрешности ЦАП КІІІ8ПАІ, КМІІІ8ПАІ в конечной точке ХП от температуры



Рис. 3.43. Зависимость дифференциальной нелинейности ЦАП КПП8ПАТ от температуры



Рис. 3.44. Зависимость времени задержки распространения при включении ЦАП КІІІ8ПАІ, КМІІІ8ПАІ от температуры



Рис. 3.46. Зависимость разности выходных токов ЦАП КІІІ8ПАІ, КМІІІ8ПАІ от напряження питания

Рис. 3.47 Включение ИС КМІІІВПАІ, КРІІІВПАІ для работы на согласованный тракт с волновым сопротивлением 50 Ом



Рис. 3.45. Зависимость времени задержки распространения при включении ЦАП КІІІ8ПАІ, КМІІІ8ПАР от температуры



тракт может осуществляться без буферных каскадов и формирователей. При применении данной ИС следует учитывать некоторые ее особенности:

 а) для обеспечения максимального быстродействия необходимо тщательное согласование выхода ЦАП с нагрузкой, что достигается использованием дорожки печатной платы минимальной длины;

б) при преобразовании выходного тока ЦАП в напряжение непосредственно на резистивной нагрузке напряжение на выходах должно находиться в пределах — 1,3... + 2,5 В при всех возможных значениях входного кода;

в) при использовании только одного выхода второй выход должен подключаться к общей шине непосредственно или через резистор сопротивлением не более 25 Ом;

г) поскольку выходной ток ЦАП определяется соотношением опорного напряжения и сопротивления внешнего токозадающего резистора, следует исключить возможность нестабильности этого соотношения, которая вызывает такую же нестабильность выходного тока,

д) сумма выходных токов обоих выходов при любом возможном значении входного кода равна току полной шкалы; наличие дополняющего выхода расширяет функциональные возможности ЦАП, допустимо применение только дополняющего выхода.

е) для предотвращения выхода ИС из строя недопустимо превышение предельных режимов, указанных ниже.

--6,0...-0,5 --5,5...0 Не более 15

| Напряжение  | пятання, В |         |   |  |
|-------------|------------|---------|---|--|
| Напряжение  | логических | входов, | В |  |
| Опорное нап | ояжение, В |         |   |  |

Микросхема К1118ПА1 благодаря высокому быстродействию и совместимости с ЭСЛ-микросхемами находит широкое применение при обработке быстродействующих и телевизионных сигналов, в измерительной технике и т п. В частности, совместно с ИС К1800 данная ИС может применяться для синтеза сигналов произвольной формы по структурной схеме, аналогичной приведенной в [35]. При этом полностью реализуется высокое быстродействие как микропроцессорных схем К1800, так и схемы К1118ПА1. Данная ИС успешно применяется также для обработки телевизиоиных видеосигналов [36].

#### 3.4. ВОСЬМИРАЗРЯДНЫЙ ЦАП К1118ПАЗ С ВРЕМЕНЕМ УСТАНОВЛЕНИЯ 10 НС

Микросхема К1118ПАЗ является дальнейшим развитием микросхем К1118ПА1, КМ1118ПА1 по увеличению быстродействия ЦАП. Как и микросхема К1118ПА1, данная ИС является ЦАП параллельного двоичного кода в пропорциональный ток, т. е. ЦАП с токовым выходом. Основной задачей, решаемой при разработке ИС К1118ПА3, было увеличение быстродействия, исходя из чего ЦАП построен по паразлельной токовой структуре (рис. 3.48), составленной из двух одинаковых четырехразрядных секций ТК взвешенных токов, связанных между собой делителем тока. Выходной ток 4-х младших разрядов поступает на выходы ЦАП через токовый делитель с коэффициентом деления 1:16. Преобразователь имеет внутренний источник опорного напряжения, ОУ для стабилизации выходного тока ЦАП и цепи формирования опорного напряжения для разрядных ключей.

Каждый разряд ЦАП состоит из параллельного соединения токовых ключей и источников тока, число которых пропорционально весу разряда. Ключ старшего разряда состоит из четырех одинаковых ТК на транзисторах VT1, VT3, VT4, VT6, VT7, VT9, VT10, V712 и одинаковых источников на транзисторах VT2, VT5, VT8, VT11 и резисторах R, (рис. 3.49). Следующие разряды образованы



Рис. 3.48. Структурная схема ЦАП КШ 8ПАЗ. К.М.Ш 8ПАЗ

параллельным соединением двух одинаковых ТК и источников токов, третий разряд составляет один ключ и ИТ, а в четвертом разряде использован ИТ с вавое меньшим током, плотность тока в эмиттерах ключей также вдвое меньше. Вторая группа, образующая четыре младших разряда, построена аналогичным образом Такое решение позволяет сохранить постоянную плотность тока в максимальном числе эмиттеров всех разрядных ключей, так как уменьшеэмиттерного тока влечет собой ние п.10тности 38 снижение быстродействия данного разряда. При этом удается ограничить диапазон плошадей эмиттерных переходов транзисторов ИТ И суммарное сопротивление резисторов в ИТ 8 приемлемых npeделах. Принципиальная схема ТК максимально упрошена — ключ





управляется непосредственно входным сигналом. Делитель выходного тока второй группы, составленный из одинаковых резисторов, способствует повышению точности коэффициента деления (рис. 3.50) В таком делителе доля выходных токов старшей и младшей групп в общем выходном токе ЦАП не зависит от сопротивления нагрузки, что обеспечивает независимость нелинейности от сопротивления нагрузки.

Принципиальная схема зонного источника опорного напряжения приведена на рис. 3.51. Такой источник позволяет получить опорное напряжение, отрицательное относительно земли. Соотношение площадей транзисторов VT1 и VT2 равно 1:5, резисторы R2 и R3 имеют одинаковый номикал. Резисторы R2 соединены по два последовательно, R3 — по пять параллельно. Такая конструкция позволила минимизировать их рассогласование из-за технологических факторов. Таким образом, источник опорного капряжения несколько модифицирован по отношению к базовой схеме данного



Рис. 3.50. Делитель тока группы младших разрядов ЦАП КІІІ8ПАЗ, КМІІІ8ПАЗ



Рис. 3.51 Зонный источник опорного напряжения





Рис. 3.52. Источник опорного напряжения логического порога ЦАП К1118ПАЗ, КМ1118ПАЗ


источника (рис. 3.54). Здесь транзисторы VT1 и VT2 работают при разных плотностях тока; на резисторе R3 выделяется напряжение, равное разности падений напряжения на открытых переходах транзисторов. Выделяющееся на резисторе R2 напряжение суммируется с напряжением  $U_{36}$  транзистора VT3 и используется в качестве опорного напряжения  $U_{REF}$ . Напряжение  $U_{36}$  имеет отрицательный температурный коэффициент, при определенном соотношении  $U_{36}$  и  $U_{R2}$  выходное напряжение будет температурно независимым.

Операционный усилитель (рис. 3.53) предназначен для стабилизации выходного тока ЦАП при изменении сопротивления резисторов, напряжения  $U_{36}$  и коэффициента усиления транзисторов источников. Операционный усилитель состоит нз входного дифференцнального каскада VT1, VT2, двух повторителей напряжения со сдвигателями уровня VT5—VT8 и активной нагрузкой VT9, VT10, ступени усиления с составным транзистором VT11, VT12, работающей по схеме с общим эмиттером, и выходного эмиттерного повторителя VT13. Рабочне токи входной ступени и повторителей VT5, VT6 определяются ИТ на токовом зеркале (транзисторы VT3, VT4, VT9, VT10). Коррекция амплитудно-частотной характеристики ОУ осуществляется RC-цепью.

Источник опорного напряжения логического порога (рис. 3.52) представляет собой резисторно-диодный делитель напряжения R1, R2, VT1, VT2 с эмиттерным повторителем VT3. Он выдает напряжение — 1,29 В с отрицательным температурным коэффициентом



Рис 3.54 Источник опорного напряжения ЦАП К1118ПАЗ, КМ1118ПАЗ

около ! мВ/°С, обеслечивая совместимость ЦАП с логическими схемами типа ЭСЛ в рабочем диапазоне температур.

#### Основные параметры ЦАП:

| Число разрядов                                   | 8             |
|--|---------------|
| Выходной ток в конечной точке ХП, мА             | 20            |
| Абсолютная погрещность преобразования в конечной |               |
| точке ХП, мА .                                   | -2+2          |
| Нелинейность, 🖌                                  | $\pm 0.195$   |
| Выходной ток нуля, мкА                           | Не более 200  |
| Входной ток высокого уровня, мкА                 | Не более 250  |
| Входной ток низкого удовня, мкА                  | Не менее -20: |
| ······································           | не более 20   |
| Входные уровни                                   | ЭСЛ           |
| Напряжение питания В                             | 50+5%         |
|  | 59+59         |
| Tor notpenses of actountry notowate theory us.   |               |
|  | Ha 6ama 20    |
| пряжения плания, мл.                             | The boxee 20  |
| ток потреоления от источника отрицательного на-  | 11 6 - 00     |
| пряжения питания, ма                             | Не более во   |
| Разность выходных токов, мкА                     | Не более 200  |
| Изменение выходного тока при изменении напряже-  |               |
| ния питания от -4,94 до -5,46 В, мкА             | Не более 200  |
| Выходное напряжение внутреннего источника опор-  |               |
| ного напряжения, В .                             | -1,31,2       |
| Время установления выходного тока, ис            | Не более 10   |
| •  |               |

#### Глава 4.

## СХЕМЫ ПОСТРОЕНИЯ И ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ МИКРОСХЕМ АЦП

#### 4.1. ШЕСТИРАЗРЯДНЫЙ АЦП КНО7ПВІ С ЧАСТОТОЙ ПРЕОБРАЗОВАНИЯ 20 МГц

Интегральная полупроводниковая ИС К1107ПВ1 представляет собой быстродействующий 6-разрядный аналого-цифровой преобразователь [37, 38]. Микросхема предназначена для преобразования входных аналоговых сигналов в диапазоне напряжений от —2 до 0 В в один из потенциальных кодов параллельного считывания: прямой двоичный, обратный двоичный, прямой дополнительный, обратный дополнительный. Построение АЦП по параллельной схеме позволяет получать максимальное быстродействие при минимальной динамической погрешности и не использовать внешнюю схему УВХ при сохранении монотонности ХП в диапазоне частот до 6,5 МГц. Выходные уровни и уровни сигналов управления АЦП соответствуют уровням ТТЛ.

Конструктивно ИС К1107ПВ1 выполнена в металлокерамическом

48-вывелном корпусе типа 2207.48-1 Диапазон рабочих температур микросхемы - 10... + 70 °С.

### Назначение выводов ИС К1107ПВІ

| Выход 4                           | 1                  |
|-----------------------------------|--------------------|
| Выход 5                           | 2                  |
| Выход б (младшнй разряд)          | 3                  |
| Тактовый снгнал                   | 4                  |
| Общий («цифровая» земля)          | 5, 43              |
| Опорное напряжение UREP,          | 9                  |
| Напряжение питания Ucc 1          | 8, <del>39</del>   |
| Вход (аналоговый снгнал)          | 10, 13, 15         |
| Общий («аналоговая». земля)       | 11, 14             |
| Вход корректировки нелинсиности   | 12                 |
| Опорное напряжение UREP           | 16                 |
| Напряжение питания Ucc 2          | <b>24</b> , 37, 38 |
| Управление выходным кодом. Вход 1 | 44                 |
| Выход 1 (старший разряд)          | 45                 |
| Выход 2                           | 46                 |
| Выход 3                           | 47                 |
| Управление выходным кодом. Вход 2 | 48                 |
| Незадействованные выводы          | 6, 7, 17-23,       |
|                                   | 25-36, 40-42       |

# Основные электрические параметры ИС К1107ПВІ в диапазоне температур\_ – 10... + 70 °С

| Напряжение питания $U_{ce,l}$ В                   | 4,755,25      |
|---|---------------|
| Напряжение питания Ucc 2, В                       | -6, 185,82    |
| Ток потреблення Іссь от источника питания Uccl.   |               |
| мА  | Не болес 30   |
| Ток потребления Ісса от источника питания. Исса.  |               |
| MA  | Не менее 150  |
| Выходное напряжение высокого уровня Ион. В        | Не менее 2.4  |
| Ток нагрузки выхода при напряжении высокого       |               |
| уровня Іон, мА                                    | Не менее -0,4 |
| Выходное напряжение низкого уровня Uol, B.        | Не более 0,4  |
| Ток нагрузки выхода при напряжении низкого уров-  |               |
| ня Гог, мА .                                      | Не более 2    |
| Входное напряжение, UIA, В                        | -2,10,1       |
| Напряжение смещения нуля на входе U10, В          | -0,0750       |
| Абсолютная погрешность преобразования в конечной  |               |
| точке шкалы без, В                                | -0,10,1       |
| Нелинейность ХП бл. ЕМР                           | 0,50,5        |
| Дифференциальная нелинейность бир. ЕМР            | -0,50,5       |
| Вхедной ток смещения нуля / 10, мкА               | Не более 150  |
| Входной ток высокого удовня по входам управления  |               |
| Ігн. мкА  | Не более 76   |
| Входной ток низкого удовня по входам управления   |               |
| IIL, MA   | Не менее -1,5 |
| Напряжение источника опорного напряжения UREFI,   |               |
| В.,   | 00,075        |
| Напряжение источника опорного напряжения UREP 2:  |               |
| Β   | -2,11,9       |
| Ток потреблення Ісс, от источника опорного напря- |               |
| жения UARFI, MA                                   | Не более 43   |
|   |               |

219:

Время задержки выходного буферного регистра t BR, HC Не более 50 Максимальное время преобразования te, нс Не более 100 Максимальная частота преобразования fc max, МГц Не менее 20 10...22 Апертурное время Іа, нс Не более 60 Апертурная неопределенность  $\Delta t_a$ , пс Входная емкость аналогового входа С, пФ Не более 100 Монотонность ХП при скорости нарастания входного сигнала, В/мкс Не более 40

Предельные электрические режимы эксплуатации ИС К1107ПВ1

| Напряжение питания Uccl, В                           | Не более 5,3  |
|--|---------------|
| Напряжение питания Uee 2, В                          | Не менее -6,6 |
| Входное напряжение UIA, В                            | -6.0+0.2      |
| Входное напряжение высокого уровня U <sub>IH</sub> В | Не более 5.3  |
| Ток нагрузки выходов Іо, мА                          | Не более 3,5  |
| Опорное напряжение URBFI, В                          | -2,20,2       |
| Опорное напряжение U <sub>RBF 2</sub> , В            | -2,20,2       |

Функциональная схема АЦП приведена на рис 4 1 Микросхема К1107ПВ1 состоит из резисторного делителя эталонных опорных напряжений, 64 стробируемых компараторов, первой ступени шифратора, выполненной на стробируемых элементах И, второй ступени шифратора, состоящей из двух шифраторов 32×6, двух



Рис. 4.1. Функциональная схема 6-разрядного АЦП типа К1107ПВ1

промежуточных регистров хранения, третьей ступени шифратора II × 6, логики выбора типа выходного кода, построенной на элементах ИСКЛЮЧАЮЩЕЕ ИЛИ, выходного буферного регистра, выходных преобразователей уровня, преобразователей уровней сигналов управления и схем синхронизации. Мощность, потребляемая микросхемой, порядка I Вт. Микросхема содержит около 5 000 компонентов (резисторов, диодов, транзисторов). Рассмотрим подробно составные части АЦП [39].

Резисторный делитель выполнен по схеме последовательного делителя напряжения и содержит 66 резисторов. Общее сопротивление делителя составляет примерно 67 Ом. Конструктивно имеет конфигурацию типа меандр. Выполнен в одном технологическом процессе при изготовлении рабочей металлизации кристалла из сплава алюминий — кремний. Делитель последовательно обходит все 64 компаратора АЦП таким образом, что каждый компаратор прямым входом подключается к определенной точке делителя Оба конца делителя выведены на выводы корпуса и служат для подачи на них опорных напряжений U<sub>REF1</sub> и U<sub>REF2</sub>. Изменением опорного напряжения U PEEI в диапазоне 0...75 мВ можно скомпенси. ровать напряжение смещения нуля на входе АЦП, а изменением опорного напряжения U<sub>REF2</sub> в диапазоне -1,9...-2,1 В можно скомпенсировать абсолютную погрешность преобразования в конечной точке шкалы. Делитель имеет отвод от середины, который через резистор R<sub>к</sub> выведен на вывод корпуса «Корректировка нелинейности». Этот вывод можно использовать в двух режимах: при подсоединении этого вывода к выводам  $U_{REFI}$  ИЛИ URFF? нелинейность XII корректируется на  $\pm 0.25$  EMP; так как напряжение на этом выводе соответствует середине диапазона входного сигнала, то его можно использовать и в качестве «искусственной земли» для входного ОУ, тем самым получить возможность преобразования биполярных сигналов.

Резисторы делителя изготовлены с минимальной относительной погрешностью, так как она во многом определяет нелинейность преобразования АЦП. Для обеспечения нелинейности  $\pm 0.5$  EMP требования к идентичности параметров весьма жесткие

Относительная погрешность изготовления резисторов делителя эталонных напряжений, %  $\pm 0.32$ Относнтельная погрешность коллекторных резисторов диф- $\pm 8$ ференциальных каскадов компараторов, % Разброс площадей эмиттеров транзисторов входных Kac- $\pm 4.2$ кадов компараторов, % Разброс сопротивлений контактных окон к эмиттерам транзисторов входных каскадов компараторов. Ом  $\pm 3.8$ Разброс поверхностных сопротивлений слоя эмиттера в транзисторных входных каскадах компараторов, %  $\pm 2$ Разброс статических коэффициентов усиления по току транзисторов входных каскадов компараторов, %  $\pm 6$ 

Компараторы напряжения являются основным узлом параллельного АЦП и во многом определяют точность и быстродействие преобразователя. В состав АЦП входит 64 стробируемых компаратора. Электрическая принципиальная схема компаратора приведена на рис. 4.2. Компаратор построен на основе дифференциальных усилителей постоянного тока. Питание компаратора однополярное  $U_{cc2} = -6$  В; этим обусловлен и отрицательный диапазон входных напряжений. На входах компаратора стоят эмиттерные повторители VT3, VT18, выполняющие функцию буфера и каскада сдвига уровня для создания режима по постоянному току последующих каскадов. Нагрузкой эмиттерных повторителей являются ИТ, выполненные на транзисторах VT4 и VT19. Ток ИТ составляет 40...50 мкА, что при коэффициенте усиления транзисторов 40...50 дает входной ток компаратора 1 мкА. Падение напряжения на переходе эмиттер — база транзисторов VT3 и VT18 и диодах VD1 и VD3 сдвигает уровень входных сигналов на величину, достаточную для нормальной работы дифференциальных усилителей компаратора Таким образом, применение на входе эмиттерных повторителей позволило снизить входной ток компараторов, а также сделать его практически постоянным, независимым от входных напряжений. Это, в свою очередь, до минимума снизнло соствляющую нелинейности ХП АЦП, обусловленную паразитным падением напряжения на резисторах делителя опорных напряжений за счет протекания по нему входных токов компараторов. На транзисторах VT8, VT11,



Рис. 4.2. Принципнальная электрическая схема компаратора АЦП К1107ПВ1

и/14 выполнен переключатель тока, с помощью которого компаратор переключается из режима сравнения в режим хранения. Использование одного ИТ (VT12) для работы в обоих режимах позволило снизить потребляемую мощность компаратора до 5 мВт при приемлемом быстродействии.

Первый каскад усиления выполнен на дифференциальном усилителе, построенном на транзисторах VT6 и VT17, нагрузкой служат каскады с общей базой на транзисторах V75 и V716. Такое каскадное включение позволило значительно повысить быстродействие компаратора, ослабив эффект Миллера. Второй каскад усиления собран на транзисторах VI9 и VI15. Нагрузкой компаратора являются резисторы R6 и R8. При подаче на инверсный тактовый вход высокого уровня, а на прямой — низкого ток ИТ V712 через транзисторы V78 и V711 поступает на оба усилительных каскада. При этом компаратор работает в-режиме сравнения. Коэффициент усиления компаратора в этом режиме K = 5,5...6. Разность входных напряжений на прямом и инверсном входах компаратора усиливается и выделяется на резисторах R6 и R8. При подаче на инверсный тактовый вход компаратора низкого уровня, а на прямой — высокого ток ИТ V712 протекает через транзистор V114, тем самым питая эмиттерную цепь триггера-защелки. Триггер-защелка выполняет функции усиления и запоминания сигнала сравнения и представляет дифференциальный усилитель постоянного тока (VT10 и VT13), охваченный 100%-ной положительной обратной связью.

При подаче тока в эмиттерную цепь триггера-защелки начинается лавинообразный процесс, в результате которого на резисторах R6 и R8 устанавливаются логические уровни результата сравнения входного аналогового сигнала и опорного, сформированного делителем эталонных напряжений. Для надежного срабатывания триггера-защелки начальный перепад на резисторах нагрузки в режиме сравнения может составлять несколько милливольт что с учетом коэффициента усиления компаратора в режиме сравнения позволяет различить разность напряжений на входах компаратора в несколько десятых долей милливольта. Сигналес резисторов нагрузки снимается на первую ступень шифратора через эмиттерные повторители, выполненные на транзисторах VT20 и VT22. На транзисторах VT1 и VT2 и резисторах R1, R2 собран источник опорных напряжений для питания источников тока компаратора и элемента И. Конструктивно транзисторы входных эмиттерных повторителей и транзисторы дифференциальных каскадов расположены на кристалле попарно в непосредственной близости для уменьшения напряжения смещения нуля компаратора Прямые входы всех компараторов соединены друг с другом и образуют аналоговый вход.

Первая ступень шифратора построена на 64 элементах И и служит

для преобразования унитарного (термометрического) кода на выходе компараторов в позиционный код. Для этого входы схемы И на выходе любого компаратора (кроме K0 и K63) соединены с выходами еще двух соседних компараторов. При срабатывании ряда компараторов от входного аналогового сигнала высокий уровень напряжения будет на выходе схемы И последнего сработавшего компаратора. Другне схемы И, как сработавших, так и еще не сработавших компараторов, будут иметь низкий уровень напряжения на своих выходах. Это происходит потому, что выходной сигнал n+1 компаратора на схему И n-го компаратора подается в противофазе с выходными сигналами, подаваемыми на ту же схему И (n-1)-го и n-го компараторов. Такая обработка выходного кода компараторов исключает неопределенность, тем самым повышается помехоустойчивость АЦП.

Электрическая принципиальная схема одного элемента И первой ступени шифратора приведена на рис. 4.3. Выполнена она на основе дифференциальных переключателей тока. Особенностью является наличие парафазных входов, что позволило обойтись без дополнительных источников опорных напряжений и повысить быстродействие и помехоустойчивость шифратора. В состав схемы И входит триггер-защелка, выполненный на транзисторах VT2 и VT4. На транзисторах VT3 и VT10 построен переключатель режима работы схемы И. При подаче высокого уровня на инверсный тактовый вход и низкого уровня на прямой тактовый вход элемент И выполняет свои логические функции. При обратной подаче уровней на тактовые входы схемы И ток ИТ, построенного на транзисторе VT6, запитывает триггер-защелку, и на выходе схемы И запоминается результат сравнения. Схемы И и компараторы тактируются в противофазе, поэтому, когда компараторы работают в режиме сравнения и выдают на выходе результаты сравнения напряжений, шифратор на своем выходе сохраняет код прежней выборки. При запоминании компараторами нового значения выборки шифратор производит ее шифрацию в позиционный код. Результат первой шифрации снимается с резисторов R2 схем И.

Вторая ступень шифратора состоит из двух шифраторов позиционного кода в двоичный код. Первый шифратор преобразует позиционный код с выходов первых 32 схем И в 5-разрядный двоичный код, соответствующий нижней половине динамического диапазона. Второй шифратор преобразует позициоиный код с выходов оставшихся 32 схем И в 5-разрядный двоичный код, соответствующий верхней половине динамического диапазона, и формирует начало 6-го разряда. Оба шифратора построены на основе элементов ИЛИ.

Принципиальная схема части шифратора одного разряда приведена на рис. 4.4.

Элемент ИЛИ выполнен на основе дифференциального пере-



Рис 4.3. Принципиальная электрическая схема элемента И первой ступени шифратора АЦП К1107ПВ1

Рис 44 Принципиальная электри ческая схема части шифратора второй ступени одного разряда АЦП К1107ПВ1

ключателя тока. Правое (по схеме) плечо переключателя тока собрано на транзисторе V72. Левое образуется линейкой транзисторов, базы которых подключаются к выходам схем И первой ступени шифратора. При появлении высокого уровня на выходе какой-либо схемы И соответствующие транзисторы линейки включаются, и на выходах схем ИЛИ формируются высокие логические уровни По построению оба шифратора одинаковы. Схема одного из них приведена на рис. 4.5. Нумерация горизонтальных лнний обозначает номер выходов схем И шифратора первой ступени. Этн входы шифратора н представляют собой соединенные базы транзисторов левого плеча схем ИЛИ. Число параллельно включенных транзисторов на каждом входе определяется числом точек на пересечении горизонтальных и вертикальных линий. Кроме того, подсоединение соответствующего эта точка означает эмиттера обозначены транзистора данной разрядной шине, которые K вертикальными линиями

Первый шифратор формирует 5-разрядный двоичный код, причем выход, образованный «нулевой» схемой И, в дальнейшем не используется. Второй шифратор формирует также 5-разрядный двоичный код и кроме него — начало шестого разряда, обозначенного QI Такое построение шифратора позволило повысить его быстродействие по сравнению с шифратором, который формировал бы сразу полный 6-разрядный двоичный код за счет уменьшения числа эмиттеров транзисторов подключенных к разрядной шине **8-499** 



Увеличение числа эмиттеров приводит к увеличению емкости на выходе разрядной шины, что, в свою очередь, приводит к росту задержки *t*<sup>10</sup> шифратора. Повышение рабочего тока элемента ИЛИ не представляется возможным ввиду ограничения допустимой плотности тока через эмиттер рабочего транзистора. Увеличение периметра эмиттера с целью увеличения допустимого тока через него приводит к росту размеров транзистора и, как следстене, к увеличению паразитных емкостей, ввиду чего увеличение быстродействия шифратора делается незначительным. Сформированный код с выходов элементов ИЛИ поступает на вход промежуточных регистров хранения.

Принципиальная электрическая схема промежуточного регистра хранения для одного разряда изображена на рис. 4.6. Этот регистр необходим для хранения двоичных кодов, полученных в результате второй шифрации. В состав регистра входит переключатель режима работы, выполненный на транзисторах V72 и V76, переключатель тока на транзисторах V71 н V77, триггер-защелка на транзисторах V73 и V75. На вход регистра подается код, сформированный на выходах схем ИЛИ второй ступени шифратора, на второе плечо переключателя тока — опорное напряжение, равное середине перепада входного сигнала. Регистр тактируется в противофазе с элементами И При подаче на инверсный тактовый вход высокого, а на прямой — низкого уровня регистр работает в режиме приема информации, и информация, поступающая на его вход, проходит без инвертирования на его выход. При подаче обратного тактового сигнала срабатывает триггер защелка, и информация на выходе регистра запоминается.

Третья ступень шифрации предназначена для объединения двух 5-разрядных двоичных кодов с выходов регистров в полный 6-разрядный двоичный код. Шифратор построен на элементах ИЛИ, схемотехнически полностью соответствующих аналогичным схемам второй ступени шифратора.

Схема шифратора третьей ступени изображена на рис. 4.7. Здесь вертикальными линиями обозначены входы шифратора, которые являются базами транзисторов. На первых (слева) пяти входах стоит по одному транзистору. На вторых шести входах по два. Точками обозначено подключение эмиттеров транзисторов к соответствующим разрядным шинам, которые показаны горизонтальными линиями. Каждая разрядная шина является левым плечом дифференциального переключателя тока элемента ИЛИ, аналогично изображениому на рис. 4.5. На выходах схем. ИЛИ получается сформированный 6-разрядный двоичный код.

С выходов схем ИЛИ третьей ступени шифратора сформированный двоичный 6-разрядный код подается на входы схем ИСКЛЮЧАЮЩЕЕ ИЛИ, которые служат для выбора типа выходного кода. Принципиальная электрическая схема ИСКЛЮЧАЮЩЕЕ ИЛИ, выходного буферного регистра и преобразователя внутрисхемных уровней в выходные уровни ТТЛ представлена на рис. 4.8. Схема ИСКЛЮЧАЮЩЕЕ ИЛИ выполнена на дифференциальных переключателях тока на транзисторах. VT2, VT6, VT1, VT4, VT10, VT11. Нагрузкой схемы служат резисторы R1 и R3, образующие парафазный выхода. На выход управления кодом. подается управляющий сигнал, изменением которого можно инвертировать сигнал на парафазных выходах схемы ИСКЛЮЧАЮЩЕЕ ИЛИ. Выходной регистр хранения выполнен на основе триггера-защелки, управляемого переключателем тока. При подаче на прямой тактовый вход высокого уровня, а на инверсный — низкого включается схема



Рис. 4.7 Шифратор третьей ступени АЦП К1107ПВІ В •



Рис. 4.8. Схема ИСКЛЮЧАЮЩЕЕ ИЛИ, буферного регистра и выходного преобразователя уровня АЦП К1107ПВ1, К1107ПВ2

ИСКЛЮЧАЮЩЕЕ ИЛИ и формирует на своих. выходах уровни, определяемые уровнем сигнала на информационном входе и на выходе управления кодом. При смене тактового сигнала включается триггер-защелка и фиксирует информацию на выходе схемы ИСКЛЮЧАЮЩЕЕ ИЛИ. Снимаемый с нее парафазный сигнал подается на преобразователь уровня, выполнейный на транзисторах VT12—VT20. Для увеличения выходного тока лог. 0 до 2 мА выходной транзистор VT19 сделан многоэмиттерным. Преобразователь уровня служит для преобразования внутрисхемных низкоуровневых ЭСЛ перепадов 300...500 мВ в стандартные ТТЛ-уровни.

Преобразователи уровня сигналов управления предназначены для преобразования входных ТТЛ-уровней, подаваемых на тактовый вход и входы управления типом выходного кода, в уровни, необходимые для нормальной работы схемы. Принципиальная электрическая схема особенностей не имеет, построена на основе ключа с общей базой и управляется по цепи эмиттера.

Схемы синхронизации необходимы для формирования тактового сигнала, поступающего с выхода входного преобразователя уровня тактового сигнала, в сигналы с уровнями, пригодными для управ-

ления компараторами, схемами И, промежуточными регистрами и выходными регистрами хранения. Всего в состав АЦП входят схем синхронизации. Четыре из иих предназачены для пять обслуживания компараторов, схем И, промежуточных регистров хранения и одна схема синхронизации — для выходных буферных регистров. Каждая из четырех схем синхронизации формирует тактовые сигналы для стробирования 16 компараторов, 16 схем И и 4-х разрядов промежуточного регистра хранения. Принципиальная электрическая схема одной из четырех схем синхронизации приведена на рис. 4.9. Схема представляет собой усилительформирователь, имеющий два каскада усиления, выполненных на основе дифференциальных усилителей на транзисторах VT3, VT4 и VTII-VT19. На выходе схемы имеются два мощных эмиттерных повторителя, работающих источники тока. Выход на схемы парафазный. Принципиальная электрическая схема схемы синхронизации выходных буферных регистров подобна рассмотренной выше и отличается лишь способом организации режимов каскадов по постоянному току.

Следует отметить конструктивную особенность построения системы синхронизации АЦП. Длина проводников, соединяющих выход схемы преобразователя уровня со входами схем синхронизации для обеспечения равенства задержек распространения сигналов по ним, конструктивно выполнена одинаковой, что позволило уменьшить разброс времен срабатывания компараторов по тактовым входам в различных линейках, т. е. уменьшить разброс апертурного времени по ХП.



Рис 4.9. Принципнальная электрическая схема синхронизации компараторов, элементов И и промежуточного дегистра хранения

Рассмотрим временную диаграмму работы АЦП КІІО7ПВІ (рис. 4, 10) [37, 38]. С приходом тактового импульса на тактовый вход АЦП компараторы спустя время  $t_A$  фронтом переводятся режим хранения. Время t<sub>л</sub> является апертурным В временем и равно сумме времен задержек входного преобразователя уровня, схемы синхронизации компараторов, времени разрешения триггеровзащелок и в зависимости от конкретной микросхемы и температуры окружающей среды составляет 10...22 нс. Однако случайные изменения этого времени (апертурная неопределенность в конкретной точке ХП) крайне малы и равны примерно 30 пс. Этим же фронтом схемы И первой ступени шифратора переводятся в режим приема информации. За время длительности импульса t<sub>1</sub> код с выходов компараторов должен быть преобразован шифратором первой ступени и появиться на выходах схем И. Срезом тактового импульса компараторы переводятся в режим сравнения, а схешифратора первой мы И ступени — в режим хранения информации кода выборки п. Кроме того, этот срез тактового импульса устанавливает промежуточные регистры в режим приема ннформацин. За время паузы тактового сигнала /2 код выборки и с выходов шифратора первой ступени должен пройти шифрацию второй ступенью шифратора и установиться на выходе промежуточного регистра хранения. С приходом второго тактового импульса компараторы фиксируют на своих выходах значение выборки n+1. Шифратор первой ступени вновь переводится в режим приема информации кода. выборки n + 1, а выходной буферный регистр в режиме приема информации кода выборки п. За время длительности второ-



Рис 4 10 Временная днаграмма работы АЦП К1107ПВ1

го тактового импульса код выборки должен пройти шифрацию третьей ступенью шифратора и установиться на триггере-защелке выходного буферного регистра. С приходом среза второго тактового импульса выходной буферный регистр фиксирует на своем выходе код выборки *n*, который спустя время задержки выходных преобразователей уровня появляется на выходах микросхемы. Время задержки от фронта тактового импульса до появления кода на выходах микросхемы называется временем задержки выходного буферного регистра  $t_{BR}$ , которое не превышает 50 нс. Таким образом, благодаря применению четырех стробируемых каскадов с хранением информации при времени преобразования 100 нс удалось получить частоту преобразования 20 МГц. т. е. кодирование сигнала и изменение кода на выходе производятся каждые 50 нс, в то время как код соответствующей выборки появляется на выходах АЦП через  $t_c = 100$  нс.

Рассмотрим некоторые особенности применения ИС К1107ПВ1

1. Выводы питания микросхемы должны быть зашунтированы параллельно соединенными конденсаторами типа К53-1 (К53-4) емкостью 10 мкФ и КМ5 (КМ6) емкостью 0,1 мкФ.

2. Допустимые амплитудные напряжения пульсаций питающих напряжений не должны превышать 60 мВ.

3. Допустимое значение статического потенциала 100 В.

4. Отклонение опорного напряжения U<sub>REF1</sub> вызывает появление аополнительной погрешностн, эквивалентной напряжению смещения нуля на входе АЦП, равной по величине отклонению опорного напряжения.

5. Отклонения опорного напряжения  $U_{REF2}$  вызывают появление дополнительной погрешности, эквивалентной абсолютной погрешности преобразования в конечной точке шкалы, равной по величине отклонению опорного напряжения.

6. При использовании вывода 12 «Корректировка нелинейности» необходимо учитывать, что любая нагрузка, подключаемая к средней точке делителя, оказывает влияние на нелинейность микросхемы

7 Для уменьшения наводок, образуемых выходными ТТЛ-каскадами, необходимо предусмотреть отдельные шины «цифровая» земля и «аналоговая» земля с соединением их только в одной точке на зажиме источника питания. При этом разность потенциалов между выводами микросхемы «аналоговая» и «цифровая» земля не должна превышать 100 мВ.

8. Выходное сопротивление источника аналогового сигнала в диапазоне рабочих частот не должно превышать 25 Ом. При спектре входного сигнала более 6,5 МГц для получения гарантированной монотонности ХП на входе АЦП необходимо применять дополнительное УВХ. Практически ИС имеют запас по допустимой скорости изменения входного сигнала, при которой обеспечивается монотонность ХП, для ряда схем эта величина достигает значения 75 В/мкс, что соответствует частоте синусоидального сигнала 12 МГц при амплитуде 1 В. Вопрос о применении УВХ на входе АЦП должен решаться в каждом индивидуальном случае, в зависимости от конкретной задачи. Основной критерий необходимости применения внешней схемы УВХ — монотонность ХП и динамическая линейность. Ориентировочно можно сказать, что среднее квадратическое значение ңелинейности ХП ИС К1107ПВ1 при частоте входного синусоидального сигнала 2,5 МГц не превышает ±0,7 ЕМР.

9. Для выбора типа выходного кода на выводы 48 и 44 микросхемы могут подаваться как стандартные ТТЛ-уровни, так и потенциал «цифровая» земля, эквивалентный низкому логическому уровню, или напряжение источника  $U_{cc1} = 5$  В без дополнительных резисторов, эквивалентное высокому логическому уровню. Зависимость выходного кода микросхемы от комбинации уровней на управляющих входах приведена в табл. 4.1.

|  | Урот<br>вход<br>рав. | Уровни на<br>входах уп-<br>равлении |                  | Уровин на цифровых выходах АЦП |                  |                  |                    |                  |
|--|----------------------|-------------------------------------|------------------|--------------------------------|------------------|------------------|--------------------|------------------|
| Выходной код   | Вход<br>/            | Вход<br>2                           | 6<br>(M3P)       | 5                              | 4                |                  | 2                  | /<br>(C3P)       |
| Двончный прямой<br>Двончный обратный<br>Дополинтельный прямой<br>Дополинтельный обратный | 1<br>0<br>0<br>1     | 1<br>0<br>1<br>0                    | 0<br>1<br>0<br>1 | 0<br>1<br>0<br>1               | 0<br>1<br>0<br>1 | 0<br>1<br>0<br>1 | 0<br>1 •<br>0<br>1 | 0<br>1<br>1<br>0 |
| Примечание. Уровни на<br>на аналоговом входе микросхемы                                  | цнфровы<br>UIA≥0 Е   | х выхо.                             | LAX COO          | TAETCT                         | вуют             | значени          | ню нап             | ряження          |

Таблица 4.1. Зависимость выходного кода от комбинации уровней на входах управления для ИС К1107ПВ1

10. При использовании АЦП с максимальной частотой преобразования 20 МГц рекомендуемая длительность импульса тактового сигнала 15 нс, паузы 35 нс.

11. При записи выходной информации АЦП во внешний регистр хранения или память момент записи должен соответствовать фронту тактового сигнала АЦП.

12. Емкость нагрузки цифровых выходов не должна превышать 30 пФ.

13. Выводы микросхемы, имеющие одноименное назначение (табл. 4.1), должны быть электрически соединены на печатной плате в непосредственной близости от корпуса микросхемы.

14. Возможный вариант принципиальной электрической схемы включения микросхемы K1107ПВ1 приведен на рис. 4.11 Схема формирует необходимые опорные напряжения и содержит входной буферный усилитель аналогового сигнала



Рис. 4.11 Вариант принципиальной электрической схемы включения ИС К1107ПВ1

Первичное опорное напряжение формируется с помощью двух параметрических стабилизаторов, выполненных на термокомпенсированных стабилитронах VD1 и VD2. Напряжение положительной полярности со стабилитрона VD2 через резистор R15 подается на вход ОУ ДАЗ, на выходе которого включен транзистор VT3. Операционный усилитель включен по схеме инвертирующего делителя напряжения, коэффициент деления которого определяется отношением  $R_{15}/(R_{16} + R_{20})$ . С эмиттера транзистор VT3 сформированное опорное напряжение —2 В подается на вход опорного напряжения  $U_{REF2}$  АЦП. Подстройка опорного напряжения  $U_{REF2}$  с целью калибровки АЦП осуществляется с помощью подстроечного резистора R20.

Напряжения со стабилитронов VD1 и VD2 с помощью делителя R4 и R5, R13 и R14 делятся до значения  $\pm 100$  мВ. Полстроечный резистор R8 подключен между выходами этих делителей, на его выходе, в зависимости от положения движка, получается напряжение в диапазоне -100...+100 мВ. Это напряжение подается на вход повторителя напряжения, выполненного на OV DA1 и транзисторе VT1, и с его выхода — на вход опорного напряжения  $U_{REF1}$  АЦП. С помощью подстроечного резистора R8 осуществляется компенсация напряжения смещения нуля  $U_{10}$  АЦП, т. е. производится калибровка АЦП по напряжению  $U_{REF1}$ .

Входной буферный усилитель выполнен на быстродействующем ОУ DA2, на выходе которого включен эмиттерный повторитель, выполненный на транзисторе VT2. Усилитель включен по схеме инвертирующего усилителя, коэффициент которого  $R_1/R_6 = -2$ . С помощью подстроечного конденсатора C9 осуществляется выбор оптимальной коррекции AЧX ОУ. Полстроечным резистором R12 осуществляется балансировка нуля на выходе буферного усилителя. Входной делитель, выполненный на резисторах R1 и R2, служит для выбора необходимого входного сопротивления и диапазона входного сигнала буферного усилителя. Номинальные значения сопротивления резисторов в зависимости от входных напряжений и входного сопротивлення приведены в табл. 4.2

| Таблица | 4.2. | <b>JABHCHMOCTL</b> | BXOANOTO | напряження   | H  | входного   | сопротивления |
|---------|------|--------------------|----------|--------------|----|------------|---------------|
|         | буфе | рного уснанте      | A OT HOM | иналов резис | TO | ров RI и I | R2            |

| Входное<br>напряжение,<br>В | Сопр<br>Ом. п | ОТИВЛЕН<br>Ри вході<br>Леі | не делн<br>ком соп;<br>ни | теля.<br>отив- |                             | Cong         | нэлентон<br>малантон<br>сопроти | не Дели<br>входиом<br>ивлении | теля,       |
|-----------------------------|---------------|----------------------------|---------------------------|----------------|-----------------------------|--------------|---------------------------------|-------------------------------|-------------|
|                             | 50            | ON                         | 75 OM                     |                | Входное<br>напряжение,<br>в | 50           | Он                              | 75                            | Он          |
|                             | RI            | R2                         | RI                        | R2             | 5                           | RI           | R2                              | R1                            | Rž          |
| 1<br>2                      | 0<br>24,9     | 52.3<br>24,3               | 0<br>37,4                 | 80,6<br>39,2   | 5<br>10                     | 40.2<br>45,3 | 10<br>4,99                      | 60,4<br>68,1                  | 15.4<br>7.5 |

Используемый ОУ К574УД1 имеет максимальную скорость изменения выходного напряжения 50 В/мкс и частоту единичного усиления 10 МГи, что позволяет получать полосу входного сигнала в данной схеме порядка 3...5 МГц. Однако следует учитывать, что для данного ОУ время установления не нормируется и поэтому для конкретного вида входного сигнала должно быть оценено при необходимости экспериментально. Можно также рекомендовать нспользовать в качестве ОУ входного буферного усилителя микросхему К154УДЗ. У этого ОУ время установления выходного напряжения с точностью  $\pm 0.1\%$  нормируется значением 500 нс Входной буферный усилитель позволяет работать как с однополярным входным сигналом положительной полярности, так и с биполярным.

При работе с однополярным входным сигналом (см. рис. 4.11) переключатель 51 находится в положении 1, при этом неннвертнрующий вход ОУ DA2 подключен к земле и входному нулевому напряжению соответствует нулевое выходное напряжение. При работе с биполярным входным сигналом переключатель S1 должен находиться в положении 2. При этом на неннвертнрующий вход ОУ DA2 подается напряжение с середины делителя АЦП, равное - I B B этом случае при подаче на вход буферного усилителя напряжения 0 В на выходе будет -1 В, что сответствует «нулевому» напряжению биполярного входного сигнала. При практической реализации вместо переключателя S1 необходимо предусмотреть соответствующие перемычки на плате, так как в момент переключения переключателя SI ОС буферного усилителя размыкается и АЦП может быть выведен из строя выходным напряжением буферного усилителя.

Для достнжения более высоких динамических характеристик можно рекомендовать изготовление входного буферного усилителя на высококачественных дискретных элементах. Примером может служить входной буферный усилитель, используемый для сопряжения АЦП ТДС 1025, изготавливаемого фирмой ТКW (США). Преобразователь TDC 1025 представляет собой 8-разрядный АЦП, выполненный по параллельной схеме, позволяющий осуществлять преобразование входных сигналов со спектором до 20 МГц при максимальной частоте преобразования 50 МГц [128]. Принципиальная электрическая схема этого усилителя приведена на рис. 4.12. Схема построена на основе дифференциального усилителя на транзисторах VTI-1 и VTI-4. Для уменьшения эффекта Миллера нагрузка отделена каскадом с общей базой, выполненным на транзисторе V71-3. Нагрузкой дифференциального усилителя является ИТ на транзисторе VT2. Через транслятор уровня на транзисторе VT1-5 снгнал с нагрузки дифференциального усилителя поступает на выходной эмиттерный повторитель, выполненный на транзисторе VT4. Усилитель охвачен обратной отрицательной связью по схеме неннвертирующего усилителя. Коэффициент усиления определяется



Рис. 4.12. Принципиальная электрическая схема входного усилител

сопротивлением резисторов R14, R18. Элементы C10, R13 служат для коррекции A4X усилителя. Емкость конденсатора C101...8 пФ, сопротивление резистора R1310...20 Ом. Резисторы R1 и R2 образуют входной делитель, которым определяется

| 8Ê.                             | and a             | Но   | инявл резистор | ов, Ом. при вхо | эжидини иондо | нии, В |
|---------------------------------|-------------------|------|----------------|-----------------|---------------|--------|
| Входи<br>сопрот<br>ление.<br>Ом | В х одн<br>резнст | -10  | -20            | -40             | 50            | 100    |
| 50                              | RI                | 0    | 25             | 37,5            | 40            | 45     |
|                                 | R2                | 50   | 25             | 12,5            | 10            | 5      |
| 75                              | RI                | 0    | 37,5           | 56,2            | 60            | 67,5   |
|                                 | R2                | 75   | 37,5           | 18,8            | 15            | 7,5    |
| 93                              | RI                | 0    | . 46,5         | 69.8            | 74,4          | 83,7   |
|                                 | R2                | 93   | 46,5           | 23,2            | 18,5          | 9,3    |
| 1000                            | RI                | 0    | 500            | 750             | 600           | 900    |
|                                 | R2                | 1000 | 500            | 250             | 200           | 100    |

Таблица 4.3. Зависимость входных сопротивлений и напряжений буфериого усилителя от номиналов резисторов R1 и R2

входное сопротивление и входное напряжение буферного усилителя Зависимость входного сопротивления и напряжения от номиналов резисторов R1 и R2 приведена в табл. 4.3.

15. Типовые зависимости точностных и динамических параметров микросхемы К1107ПВ1 от температуры окружающей среды приведены на рис. 4.13—4.18.



Рис. 4.13. Зависимость времени преобразования от температуры окружающей среды при  $\vartheta_{cc1} = 5$  В.  $U_{cc2} = -6$  В



Рис. 4.15. Типовая зависимость нелинейности от температуры окружающей среды при U<sub>re1</sub>=5 В. U<sub>re2</sub>=-6 В



Рис 4.14 Зависимость частоты преобразования от температуры окружающей среды при U<sub>ccl</sub> = 5 B, U<sub>ccl</sub> = -6 B



Рис. 4.16. Зависимость энфференциалькой нелинейности от температуры окружающей среды при U<sub>cc1</sub>=5 B, U<sub>cc2</sub>= = -6 в



Рис. 4.17 Зависимость выходного напряжения высокого уровия от тока нагрузки при  $U_{(c)} = 5$  В,  $U_{cc2} = -6$  В,  $T = 25 \pm 10^{\circ}$  С



Рнс. 4.18. Зависимость выходного напряжения инакого уровия от тока нагрузки при  $U_{cc1} = 5$  В.  $U_{cc2} = -6$  В.  $T = 25 \pm 10^{\circ}$  С

#### 4.2. ЩЕСТИРАЗРЯДНЫЕ АЦП К1107ПВЗ С ЧАСТОТОЙ ПРЕОБРАЗОВАНИЯ 100 И 50 МГц

Полупроводниковые микросхемы К1107ПВЗ представляют собой 6-разрядные аналого-цифровые преобразователи параллельного типа с ЭСЛ выходами и частотой преобразования 100 МГц (тип А) и 50 МГц (тип Б) [6, 7]

Функция, выполняемая микросхемой, — преобразование аналогового напряжения в диапазоне от — 2,5 до 2,5 В в эквивалентное 6-разрядное цифровое слово в виде параллельного двоичного кода.

Микросхема К1107ПВЗ отличается от 6-разрядного АЦП К1107ПВ1 более высоким быстродействием и наличием разряда переполнения, что значительно расширяет область применения данной микросхемы. Увеличение быстродействия достигнуто благодаря применению выходных каскадов ЭСЛ и упрошению системы шифрации АЦП. Однако упрошение структурной схемы ИС К1107ПВЗ привело к некоторым особенностям ее работы и применения по сравнению с микросхемой К1107ПВ1. Высокое быстродействие также обеспечивается применением эпитаксиально-планарной технологии изготовления кристалла АЦП, позволяющей формировать транзисторные структуры с граничной частотой усиления порядка 1,5 ГГц.

Особенностью ИС К1107ПВЗ является низкая нелинейность ХП. Даже при уменьшении входного диапазона аналогового сигнала  $U_{REF1} - U_{REF2}$  до 1,5 В нелинейность ХП не превышает значения  $\pm 0,25$  ЕМР а при входном диапазоне 0,6 В нелинейность ХП увеличивается до  $\pm 0,5$  ЕМР. Хорошая нелинейность ХП и маличие разряда переполнения в ИС К1107ПВЗ дают возможность наращивать разрядность преобразования до 7-го и 8-го разрядов путем несложного параллельного соединения микросхем при параллельном способе преобразования [1, 7].

Конструктивно ИС К1107ПВЗ выполнена в металлокерамическом 16-выводном корпусе 201.16-13. Диапазон рабочих температур микросхем составляет — 10... + 70°С.

#### Назначение выводов ИС К1107ПВЗ

| Общий («аналоговая» земля) .                   | 1  |
|--|----|
| Опорное напряжение UREP (+2,5 В)               | 2  |
| Вход (аналоговый сигнал)                       | 3  |
| Опорное напряжение UREF 2 (-2,5 В)             | 4  |
| Напряжение контроля гистерезиса U <sub>н</sub> | 5  |
| Вход (тактовый сигнал)                         | 6  |
| Напряжение питания Ucra (+5.0 В)               | 7  |
| Напряжение питания Ucr 2 (—5,2 В)              | 8  |
| Выход 6 (младшяй разряд)                       | 9  |
| Выход 5  | 10 |
| Выход 4  | 11 |
| Выход 3  | 12 |
| Выход 2  | 13 |
| Выход / (старший разряд)                       | 14 |

#### Выход 7 (разряд переполнення) Общий («цифровая» земля)

Номинальные значения напряжений литания U<sub>re1</sub> == 5,0 В'и U<sub>re2</sub> == = -5,2 В. Потребляемая мощность 0,5 Вт.

#### Основные электрические параметры ИС К1107ПВЗА, Б

| Максимальная частота преобразования fe max, МГц.   |   |
|--|---|
| К1107ПВЗА  | Не менее 100  |
| К1107ПВ3Б  | He menee 50   |
| Диапазон входного напряжения UIRN, В   | -2,5+2,5  |
| Входной ток (аналогового входа) / А. мА. не болсе:   |   |
| К1107ПВЗА  | 0.5   |
| К1107ПВ3Б  | 0,8   |
| Ток потреблення от источника положите:   |   |
| пряження питания Ісс і, мА   | Не более 60   |
| Ток потребления от источника отрицательного  |   |
| пряження питания Ісс і, мА   | He Gonce 80   |
| Ток потребления от источника положительного опор-  |   |
| ного напряжения Інбрі, мА .  | He 60.7ee 60  |
| Ток потребления от источника отрицательного опор-  |   |
| ного напряжения Інбра, мА  | He conee 60   |
| Входной ток тактового входа, мкА, не более:  |   |
| высокого уровня I <sub>IН</sub>  | 100   |
| низкого уровня Іп  | 100   |
| Выходное напряжение высокого уровня Uon, В   | —1,1 <b>—</b> 0,7   |
| Выходное напряжение низкого уровня Uol, В  | <b>—2,0—1,5</b>   |
| Нелинейность б <sub>L</sub> ЕМР  | -0,25+0.25  |
| Дифференциальная нелинейность бло, ЕМР   | —0,5 + 0,5  |
| Абсолютная погрешность преобразования в конеч-   |   |
| ных точках шкалы бря 1, бря 2, мВ  | -100+100  |
| Brewe upeoforstonating to HC   |   |
|  | He conce 20   |
| Апертурное время (а, нс .  | Не более 20<br>Не более 2   |
| Апертурное время t <sub>a</sub> , нс .<br>Апертурная неопределенность <u></u> t <sub>a</sub> , пс  | Не более 20<br>Не более 2<br>Не более 25  |
| Апертурное время <i>ta</i> , нс<br>Апертурная неопределенность <i>M</i> <sub>a</sub> , пс<br>Входная емкость аналогового входа <i>C</i> <sub>1</sub> , пФ  | Не более 20<br>Не более 2<br>Не более 25<br>Не более 35                         |
| Апертурное время <i>t<sub>a</sub></i> , нс<br>Апертурная неопределенность <i>St<sub>a</sub></i> , пс<br>Входная емкость аналогового входа <i>C<sub>1</sub></i> , пФ<br>Положительное напряжение питания <i>U<sub>ct</sub></i> , В          | Не более 20<br>Не более 2<br>Не более 25<br>Не более 35<br>4,755,25             |
| Апертурное время $t_{a}$ , нс<br>Апертурная неопределенность $\Delta t_{a}$ , пс<br>Входная емкость аналогового входа $C_{I}$ , пФ<br>Положительное напряжение питания $U_{cr, b}$ , В<br>Отрицательное напряжение питания $U_{cr, 2}$ , В | Не более 20<br>Не более 2<br>Не более 25<br>Не более 35<br>4,755,25<br>5,464.94 |

Ниже приведен предельный режим ИС КП07ПВЗ.

| Положительное напряжение питания Uccli В            | Не более б |
|---|------------|
| Отрицательное напряжение питания Ure 2, В           | Не менее 6 |
| Входное напряжение UIA, В                           | -3+3       |
| Напряжение контроля гистерезиса, U <sub>н</sub> , В | 03         |
| Опорное напряжение, В:                              |            |
| UREFI   | 03         |
| URBT 2  | -30        |
| -   |            |

Преобразователь построен по параллельной схеме, структурная схема которого приведена на рис. 1.6. Микросхема К110711ВЗ состоит из резисторного делителя эталонных опорных напряжений, блока 64 стробируемых компараторов, логических схем шифрации, и семи выходных каскадов. Роль регистра в ИС выполняют триггеры-защелки компараторов, и поэтому, когда компараторы за стробированы, на выходе АЦП информация не изменяется.

15

16

В ИС К1107ПВЗ отсутствует выходной регистр, из-за чего временная диаграмма работы (рис 4 19) данного АЦП значнтельно отличается от диаграммы работы ИС КП07ПВІ. Работой преобразователя управляет тактовый сигнал, поступающий на компараторы. Прн низком уровне тактового сигнала компараторы работают в режиме сравнения. Аналоговый сигнал, поступая одновременно на входы всех компараторов, сравнивается с опорными напряжениями, резисторным деяителем. Часть компараторов формируемыми (см. рис. 1.5), у которых аналоговый сигнал превышает эталонные опорные напряжения, срабатывают, меняя свое состояние на выходах, а другая часть компараторов, у которых аналоговый сигнал меньше эталонных опорных напряжений, не меняет своего состояния. При положительном перепаде тактового сигнала на стробирующих входах компараторов срабатывают их триггеры-защелки. фиксируя состояние выходов компараторов. Число переключившихся компараторов зависит от амплитуды аналогового сигнала, т. е состояние всех выходов компараторов содержит информацию о величине аналогового сигнала. Получаем так называемый «термометрический» код. Информация со всех компараторов, поступая на шифратор, состоящий из логики И и ИЛИ, превращается в б-разрядный двоичный код. Фиксация мгновенного значения аналогового напряжения происходит при положительном перепаде тактового сигнала При высоком уровне тактового сигнала компараторы не реагируют на ачатовый сигнал, храня зафиксированную ин-



Рис 4 19 Временные диаграммы работы ИС К1107ГГВЗ



Рис 4 20 Принципиальная электрическая схема компаратора АЦП К1107ПВ3

формацню результата сравнения Код на инфровых выходах микросхемы, соответствующий зафиксированному значению аналогового сигнала, появляется спустя время преобразования  $t_c$  (см. рис. 4.19) В среднем время преобразования  $t_c=12-17$  нс Оно состоит из времени перехода компараторов в режим хранения и времени обработки информации в шифраторе.

При поступленни низкого уровня тактового сигнала компараторы вновь переводятся в режим сравнения аналогового сигнала с набором эталонных опорных напряжений, н прежняя информация на выходах компараторов пропадает. Потеря ннформации в компараторе влечет за собой пропадание кода на цифровых выходах микросхемы после t<sub>c</sub> (на рис. 4.19). Дальше идет режим неопределенности кода на выходе, что связано с отсутствием регистра на выходе АЦП, так как во время режима сравнения прежняя информация в компараторах не сохраняется. Из временной диаграммы работы микросхемы видно, что время нахождения на цифровых выходах кода, соответствующего зафиксированному значению аналогового сигнала, равно времени хранения и сдвинуто на tc относительно начала режима хранения (фронта тактового сигнала) Остальную часть времени код на цифровых выходах неопределен, поэтому считывание цифровой информации с микросхемы должно происходить с задержкой относительно положительного фронта тактового сигнала на время Іс. Минимальное время выборки для ИС КІІО7ПВЗА составляет 5 нс, а для КІІО7ПВЗБ 10 нс. Апертурная неопределенность микросхем порядка 25 пс. Упрощение схемы АЦП К1107ПВЗ приводит к некоторым сложностям применения, однако при этом получается выигрыш по максимальной рабочей частоте преобразования и мощности по сравнению с микросхемой К1107ПВ1.

Резисторный делитель эталонных опорных напряжений микросхемы представляет собой цепочку из 64 низкоомных резисторов, общее сопротивление которой 100...200 Ом. При подаче на выводы 2 и 4 микросхемы внешних опорных напряжений U<sub>REF1</sub> и U<sub>REF2</sub> резисторный делитель формирует для компараторов набор эталонных опорных напряжений, определяющих ХП АЦП.

В ИС К110711ВЗ для компенсации дополнительных падений напряжения на резисторном делителе, вызванных протеканием входного тока компараторов, изменены номиналы нескольких резисторов делителя на 10-20%, что обеспечивает нелинейность в пределах  $\pm 0.25$  EMP.

Важнейшим элементом, как и во всех преобразователях, является компаратор. Особенностью компаратора ИС К1107ПВЗ являются минимальное число компонентов и минимальная потребляемая мощность при заданном быстродействии. Это особенно важно при реализации преобразователя в интегральном исполнении.

На рис. 4.20 представлена принципиальная электрическая схема компаратора АЦП Компаратор состоит из четырех каскадов [8].

входного дифференциального усилителя, каскада с общей базой, триггера-защелки; переключателя, тока. Входным дифференциальным - усилителем является усилитель постоянного тока (УПТ), выполненный на транзисторах VT5 и V16. В коллекторные цепи этих транзисторов включены двухэмиттерные транзисторы V13 и VT4, выполняющие двоякую функцию: каскада с общей базой для устранения эффекта Миллера в режиме выборки, триггера-защелки в режиме хранения.

Для уменьшения числа компонентов и тем самым потребляемой мощности компаратора во входном усилителе отсутствуют входные эмиттерные повторители. Это привело к зависимости входного тока аналогового входа от входного напряжения, а также к частичному уменьшению помехоустойчивости аналогового входа. В режиме сравнения (выборки) коэффициент усиления компаратора составляет около 4.

Триггер-защелка выполняет те же функции, что и в компараторах АЦП К1107ПВІ. Он, во-первых, резко увеличивает коэффициент усиления компаратора в режиме стробирования (запоминания), во-вторых, играет роль регистра АЦП. Принана работы триггера-защелки подробно описан в § 4.1

Переключатель тока построен на транзисторах VI7 н V18. В зависимости от уровня тактового сигнала на базе транзистора V18 переключатель тока коммутирует ток от ИТ на транзисторе V79, либо в эмиттеры транзисторов V75, V76 (при этом компаратор работает в режиме сравнения), либо в эмиттеры транзисторов V73 н V74 (при этом компаратор работает в режиме стробирования). Использование одного коммутируемого ИТ позволило уменьшить потребляемую мощность компаратора. Нагрузкой компаратора являются резисторы R2 и R4, на которых формируется. разностный сигнал входного и опорного напряжений. Включение в схему компаратора триггера-защелки с положительной обратной связью обеспечивает большое быстродействие компаратора при фиксации аналогового сигнала. В режиме стробирования входы компараторов не отключаются от источника аналогового СИГнала, что также способствует увеличению быстродействия компаратора.

Дополнительный ИТ на транзисторе V110 постоянно обеспечивает триггер-защелку током в 4 раза меньшим, чем основной ток от транзистора V79, и работу триггера-защелки в режиме сравнеиия (выборки) компаратора. Этим увеличивается коэффициент усиления компаратора в режиме сравнения, а главное, повышается быстродействие триггера-защелки.

От дополнительного тока, вернее, от соотношения коллекторных токов транзисторов VT10 н VT2 зависит напряжение гистерезиса компаратора. В ИС КІІ07ПВЗ предусмотрена возможность управления напряжением гистерезиса внешним напряжением U<sub>H</sub> в пределах 0 ... 2 В, подаваемым на базу транзистора VT10 через вывод 5 микросхемы. При отсутствии внешнего напряжения на базе транзистора VJ10 имеется напряжение  $U_{H} = 1.6$  В, при этом напряжение гистерезиса составляет 8 мВ. Изменения внешнего напряжения  $U_{H}$  в пределах 0...2 В приводит к изменению времени преобразования АЦП на 5...10%.

В каждом компараторе (см. рис. 4.20) на резисторах нагрузки RI и R2 одновременно выполняется и первая ступень шифрации. На резисторе RI суммируются токи правого плеча (n-1)-го компаратора и левого плеча n-го компаратора, а на резисторе R2 — токи правого плеча n-го компаратора, а на резисторе R2 — токи правого плеча n-го компаратора и левого плеча (n+1)-го компаратора. Как видим, по сравнению с ИС K1107ПВI здесь значительно упрощена первая ступень шифрации, что позволило уменьшить потребляему мощность. Информация на следующую ступень шифрации снимается с тех же резисторов R1 и R2 каждого компаратора, однако при этом помехоустойчивость снижается.

Вторая ступень шифрацни выполнена на логике ИЛИ, часто применяемой в шифраторах АЦП (аналогично шифратору второй ступени ИС К110711В1). Выходные каскады (рис. 4.21) ИС К1107ПВЗ построены на ЭСЛ-элементах н содержат на выходах эмиттерные повторители. Стабилитроны VDI служат для сденга уровней, напряжения U<sub>1</sub>, U<sub>2</sub> формируются в микросхеме в качестве опорных напряжений. При включении микросхемы цифровые выходы подключаются к внешнему источнику (-2 В) через резисторы сопротивлением 100 Ом.

В микросхеме дополнительно имеется цифровой выход переполнения (вывод 15), управляемый 64-м компаратором. Он служит для индикации превышения аналоговым сигналом диапазона входного напряжения АЦП. Когда аналоговое напряжение превышает значение  $U_{REC1}$ , на цифровом выходе переполнення появляется напряжение низкого уровня.

Микросхемы К1107ПВЗ изготовлены по эпитаксиально планарной. технологии с применением двухуровневои металлизации. Резисторвый делитель эталонных опорных напряжений выполнен в диффузионном слое глубокого коллектора. Для формирования базовых н



Рис 4.21 Выходной каскал ИС К110711ВЗ р+-областей на кристалле применена ионная имплантация. Общее число компонентов на кристале АЦП составляет около 1500 шт.

На рис. 4.22—4.25 приведены зависимости некоторых электрических параметров микросхемы К1107ПВЗ, а на рис. 4.26, 4.27—







Рис. 4.23. Зависимость дифференциальной нелинейности от температуры при U<sub>cc1</sub> = 5 B, U<sub>cc2</sub> = -5,2 B



Рис. 4.24. Зависимость входного тока от входного напряжения при  $T = +25^{\circ}$  С

Рис. 4.25. Зависимость времени преобразования от температуры окружающей среды при U<sub>cc1</sub> = 5 B, U<sub>cc2</sub> = -5.2 B

Рис. 4.26. Типовая зависимость максимальной скорости изменения входного напряжения от частоты преобразования ИС К1107ПВЗА при  $U_{cc1} = 5$  В,  $U_{cc2} = -5,2$  В; 1)  $U_{REF1} = 2.5$  В,  $U_{REF2} = -2.5$  В; 2)  $U_{REF1} = 1.5$  В.  $U_{REF2} = -1.5$  В; 3)  $U_{RBF1} = 0.75$  В,  $U_{REF2} = -0.75$  В

Рис. 4.27 Типовая зависимость максимальной, скорости изменения входного напряжения от частоты преобразования микросхем К1107ПВ3Б при  $U_{cc1} = 5$  В,  $U_{cc2} = -5.2$ В 1)  $U_{REF1} = 2.5$  В,  $U_{REF2} = -2.5$  В: 2)  $U_{REF1} = 1.5$  В,  $U_{REF2} = -1.5$  В; 3)  $U_{REF1} = 0.75$  В,  $U_{pFP2} = -0.75$  В

зависимости допустимой максимальной скорости изменения входного сигнала от частоты преобразования и опорных напряжений, при которых сохраняется монотонность ХП.

Один из вариантов включения ИС К1107ПВЗ представлен на рис. 4.28. Схема формирует регулируемые опорные напряжения, напряжение контроля напряжения гистерезиса. Изменяя напряжения  $U_{REF1}$  и  $U_{REF2}$  с помощью подстроечных резисторов R23, R25, компенсируют абсолютные погрешности преобразования в конечных точках шкалы АЦП. Напряжение  $U_{KH}$  управляется резистором R29. Входной усилитель аналогового сигнала построен на дискретных компонентах. Полоса пропускания усилителя около 20 МГц, коэффициент усиления 4. Серийно выпускаемые микросхемы ОУ не пригодны для работы с ИС К1107ПВЗ.

На рис. 4.29 представлена схема включения двух ИС К1107ПВЗ для увеличения разрядности до семи разрядов. Соответствующие разряды обеих микросхем соединены и нагружаются общими резисторами, на которых выполняется функция ИЛИ. В диапазоне аналогового сигнала от — 2,5 до 0 В работает нижняя микросхема, а в диапазоне от 0 до 2,5 В — верхняя. Требования к обрамлению обеих микросхем для обеспечения точностных параметров аналогичны требованиям к обрамлению одной микросхемы. Для уменьшения динамических погрешностей, вносимых конструкцией схемы, важно, чтобы сигнальные шины к миросхемам были одинаковой длины и цифровые выходы соединялись дорожками в виде согласованных микрополосковых линий.

На рис. 4.30. показана́ структурная схема включения четырех ИС К1107ПВЗ для достижения 8-разрядного разрешения. Диапазон опорных напряжений резисторами R поровну делится между каждой микросхемой. Необходимо помнить, что значения опорных напряжений  $U_{REF1}$  и  $U_{REF2}$  не должны превышать предельно допустимые, т. е. соответственно +2,5 и -2,5 В. Каждая микросхема работает в диапазоне напряжений ( $U_{REF1} - V_{REF2}$ )/4 = 1,25 В, где обеспечивается нелинейность до 0,5 ЕМР. Для получения 8-разрядного кода применяются три цифровые схемы ИСКЛЮЧАЮ-ШЕЕ ИЛИ.

Работоспособность указанной схемы и точностные параметры преобразователя сильно зависят от конструктивного исполнения. Требуется обеспечить одновременное поступление сигналов к отдельным микросхемам, исключение отражения сигналов в шинах, согласование цифровых выходов. Надо учесть, что входная емкость четырех параллельно соединенных микросхем по аналоговому входу увеличивается в четыре раза по сравнению с одной микросхемой, что предъявляет дополнительные требования к входному усилителю.

При использовании ИС К1107ПВЗ следует учитывать, что:

для обеспечения максимального быстродействия необходимо согласование цифровых выходов АЦП с нагрузкой с применением дорожек печатной платы в виде микрополосковых линий;



Рис 4.28. Схема включения ИС К1107ПВЗ (левая часть схемы)



Рис. 4.28. (правая часть схемы)



Рис. 4.29. Схема включения ИС К1107ПВЗ для увеличения разрядности до семи (резисторы нагрузки цифровых выходов не показаны)



Рис 4.30. Схема включения четырех ИС КП07ПВЗ для увеличения разрядности до восьми (резисторы нагрузки цифровых выходов не показаны)

при проектировании плат с АЦП требуется предусмотреть отдельные шины «цифровая» земля и «аналоговая» земля с соединением их на зажимах источников питания;

цифровые выходы микросхем нагружаются резисторами 100 Ом, подключенными к источнику напряжения — 2 В;

выходное сопротивление источника аналогового сигнала должно быть не более 25 Ом;

съем информации с микросхемы должен проводиться согласно временной диаграмме работы АЦП (см. рис. 4.19);

отклонение опорных напряжений U<sub>REF1</sub> и U<sub>REF2</sub> от номинальных величин вызывает появление дополнительных погрешностей, эквивалентных абсолютным погрешностям преобразования в конечных точках шкалы;

к выводам микросхемы «Питание  $U_{cc1}$ », «Питание  $U_{cc2}$ », «Опорное напряжение  $U_{REF1}$ », «Опорное напряжение  $U_{REF2}$ » н «Напряжение контроля напряжения гистерезиса  $U_H$ » необходимо подключением конденсаторов емкостью 0,1 мкФ (см. рис. 4.28);

вывод 5 микросхемы применяется для управления напряжением гистерезиса компараторов АЦП подачей внешнего постоянного напряжения 0...2 В. Возможна работа микросхемы и без внешнего напряжения. Управление напряжением гистерезиса рекомендуется при использовании микросхемы на высокой частоте для повышения стабильности работы АЦП.

#### 4.3. ВОСЬМИРАЗРЯДНЫЙ АЦП К1107ПВ2 С ЧАСТОТОЙ ПРЕОБРАЗОВАНИЯ 20 МГц

Интегральная полупроводниковая ИС К1107ПВ2 представляет собой быстродействующий 8-разрядный аналого-цифровой преобразователь [43]. Микросхема предназначена для преобразования входных аналоговых сигналов в диапазоне отрицательных напряжений от — 2 В до 0 в один из потенциальных кодов параллельного считывания: прямой двоичный, обратный двоичный, прямой дополнительный, обратный дополнительный. Построение АЦП по полностью параллельной схеме позволяет получать максимальное быстродействие при минимальной динамической погрешности без использования внешней схемы УВХ при сохранении монотонности ХП в диапазоне частот до 2,5 МГц. Выходные уровни и уровни сигналов управления АЦП соответствуют уровням ТТЛ,

Конструктивно ИС К1107ПВ2 изготовлена в металлокерамическом 64-выводном корпусе типа 2136.64-1. Особенностью корпуса является наличие радиатора, выполненного в виде анодированной пластины из алюминиевого сплава. Такая конструкция обеспечивает работу микросхемы в температурном диапазоне — 10...+70 °С.

#### Назначение выводов ИС К1107ПВ2

| Опорное напряжение UREFI          | 11                 |
|-----------------------------------|--------------------|
| Вход (аналоговый сигнал)          | 13, 15, 16, 18, 20 |
| Общий («аналоговая» земля)        | 14. 19             |
| Вход корректировка нелинейности   | 17                 |
| Опорное напряжение Инкер          | 22                 |
| Напряжение источника питания Исса | 28, 43             |
| Общий («цифровая» земля)          | 29, 42             |
| Тактовый сигнал                   | 30                 |
| Выход 8 (младший разряд)          | 32                 |
| Выход 7                           | 33                 |
| Выход б                           | 34                 |
| Выход 5                           | 35                 |
| Управление выходным кодом. вход 2 | 36                 |
| Выход 4                           | 37                 |

Выход 3 Выход 2 Выход 1 (старший разряд) Управление выходным кодом. Вход 1 Напряжение питания Uce 2 Незадействованные выводы

39 40 41 47-50 1-10, 12, 21, 23-27, 31, 44-46, 51-64

38

#### Основные электрические параметры ИС К1107 ПВ2 в диапазоне температур — 10... + 70° С

| Напряжение питания $U_{cell}$ , В                 | 4,755.25      |
|---|---------------|
| Напряжение питания U <sub>сг 2</sub> , В          | (-6.185.82)   |
| Ток потреблення Іссь от источника питания Uccl.   |               |
| AA .  | Не более 35   |
| Ток потребления Исса от источника питания Исса.   | 197           |
| MA  | Не менее -450 |
| Выходное напряжение высокого уровня Ион. В        | Не менее 24   |
| Ток нагочаки выхода при напояжении высокого       | The mener apr |
|   | Ha wayaa _0.4 |
|   |               |
| Ток наприжение низкого уровни оде, в              | The boxee 0,4 |
| ток нагрузки вахода при наприжении инзкого уров-  | Ha 60 800 2.0 |
|   |               |
| Папряжение смещения нуля на входе 010, в          | -0,10,1       |
| Аосолютная погрешность преобразования в конеч-    | 01.01         |
| ной точке шкалы орв, р.                           | -0,10,1       |
| HEAHHENHOCTS XII OL, EMP                          |               |
| Дифференциальная нелиненность одь. Смр            |               |
| <b>БХОДНОН ТОК СМЕЩЕНИЯ НУЛЯ 110, МКА</b>         | Не оолее 200  |
| бходной ток высокого уровня по входам управле-    |               |
| НИЯ / <i>I H</i> , МКА                            | Не более 75   |
| Бходнон ток низкого уровня по входам управлення   |               |
| LIL MA  | Не менее —2   |
| Напряжение источника опорного напряжения UREP 1.  |               |
| <b>B</b>  | -0,10,1       |
| Напряжение источника опорного напряжения UREP 2,  |               |
| B   | -2,11,9       |
| Ток потреблення Іссь от источника опорного напря- |               |
| жения U <sub>REF</sub> , мА                       | Не более 35   |
| Время задержки выходного буферного регистра       |               |
| t <sub>BR</sub> , HC                              | Не более 50   |
| Максимальное время преобразования te, нс          | Не более 100  |
| Максимальная частота преобразования Гс тах, МГц   | Не менее 20   |
| Апертурное время t <sub>a</sub> , нс              | 1022          |
| Апертурная неопределенность Ma, пс                | Не более 60   |
| Входная емкость аналогового входа С, пФ           | Не более 300  |
| Монотонность ХП при скорости изменения входного   |               |
| сигнала и, В/мкс                                  | Не более 15   |
|   |               |

Предельные электрические режимы эксплуатации ИС К1107ПВ2

Опорное напряжение UREF1, В Опорное напряжение UREF2, В Напряжение питания Ucc1, В Напряжение питания Ucc2, В

Не более 5,3 Не менее ---6,6

-6,0...0,2 Не более 5,3

| Входное напряжение UIA, В              |     | Не более 3,5 |
|--|-----|--------------|
| Входное напряжение высокого уровня UIн | , В | -2,20,2      |
| Ток нагрузки выходов /о, мА            |     | -2,20,2      |

Мнкросхема К1107ПВ2 является модификацней ИС К1107ПВ1 на 8 разрядов с сохраненнем основных схемотехнических решений, принципа и числа ступеней шифрации [5, 43] [При этом вторая ступень шифратора разбивается на четыре 6-разрядные секции, вместо двух 5-разрядных в АЦП К1107ПВ1

Функциональная схема 8-разрядного АЦП К1107ПВ2 аналогична приведенной на рис. 4.1 и поэтому не приводится. Микросхема состоит из резисторного делителя опорных напряжений, 256 стробируемых компараторов, первой ступени шифратора, выполненной на элементах И, второй ступени шифратора, состоящей из четырех шифраторов 64×7, промежуточного регистра хранения, третьей ступени шифратора 27×8, логики выбора типа выходного кода, выходного буферного регистра со схемами преобразователей выходных уровней, преобразователей уровня сигналов управления и схем синхронизации [39]. Мощность, потребляемая микросхемой, порядка 3 Вт. Микросхема содержит около 17 000 компонентов (резисторов, диодов, транэнсторов).

Резисторный делитель эталонных напряжений построен аналогично делителю ИС К1107ПВ1 (см. рис. 4.1). В состав делителя входит 258 низкоомных резисторов общим сопротивлением 90...110 Ом, изготовленных из сплава алюминий — кремний при формировании рабочей металлизации кристалла. Конструктивно он выполнен в виде сплошной шины с отводами из соответствующих точек. Концы делителя выведены на выводы корпуса. Компенсация напряжения смещения нуля и абсолютной погрешности преобразовання производится, как и для ИС К1107ПВ1, подачей напряжений на вывод  $U_{REF1} = -0,1...+0,1$  В и на вывод  $U_{REF2} = -2,1...-1,9$  В. Делитель эталонных напряжений имеет отвод от середины, который через дополнительный резистор  $R_{x}$  выведен на вывод корпуса «Вход корректировки нелинейности». Как и в ИС К1107ПВ1, с помощью этого вывода можно производить корректировку нелинейности на  $\pm 0,25$  ЕМР или использовать его в качестве «искусственной земли» для входного ОУ.

Блок компараторов содержит 256 стробируемых компараторов. Схема соединения компараторов с эталонным делителем опорных напряжений и с первой ступенью шифратора такая же, как и в ИС К1107ПВ1. Принципиальная электрическая схема (см. рис. 4.1) компаратора [39] полностью соответствует схеме, приведенной на рис. 4.2. Описание работы компаратора приведено в § 4.1. Для обеспечения нелинейности ±1,0 ЕМР требования к идентичности компонентов весьма высоки. Требования к погрешности изготовления компонентов, при наихудших сочетаниях которых обеспечивается указанная нелинейность.

| Относительная погрешность изготовления резисторов дели- | +016      |
|---|-----------|
| тсля эталонных напряженин, %                            | ±0,10     |
| Относительная погрешность коллекторных резисторов диф-  |           |
| ференциальных каскадов компараторов. %                  | ±4        |
| Разброс площадей эмиттеров траизисторов входных кас-    |           |
| кадов компараторов, %                                   | ±2        |
| Разброс сопротивления контактных окон к эмиттерам       |           |
| транзисторов входных каскадов компараторон. Ом          | $\pm 1.8$ |
| Разброс поверхностных сопротивлений слоя эмиттера в     |           |
| транзисторных входных каскадах компараторон. %          | $\pm 1$   |
| Разброс статических коэффициентов усилсния по току      | -         |
| TDAHANCTODOR BYOAHNY KACKAJOR KONDADATODON "            | +3        |
| rpansheropou ukokinak kackadou koshiaparopon, 7         |           |

Первая ступень шифратора построена на 256 стробируемых элементах И и служит для преобразования унитарного кода с выходов 256 компараторов в позиционный код. Схема первой сту пени шифратора соответствует схеме шифратора ИС КП07ПВ1 на рис 4.1 и отличается лишь числом входов и выходов. Принципиальная электрическая схема элемента И идентична схеме рис. 4.3

Вторая ступень шифратора состойт из четырех шифраторов позиционного кода в двоичный код. Каждый шифратор преобразует позиционный двоичный код с выходов 64 схем И в б-разрядный двоичный код. Все четыре шифратора построены на основе элементов ИЛИ Принципиальная электрическая схема элемента или полностью соответствует схеме аналогичного элемента ИС КПО7ПВІ (см. рис. 4.4) По схеме все четыре шифратора одинаковые. Схема одного из них показана на рис. 4.31. Более подробно такой шифратор описан в § 4.1 Шина Q1 первого шифратора в дальнейшем не используется, за шина **ОГ** остальных шифраторов образует разряд переполнения. Первый шифратор обслуживает первые 63 выхода схем И, второй с 64-го по 127-й, третий с 128-го по 191-й, четвертый с 192-го по 255-й. С выходов код подается на промежуточные регистры хранения. В состав АЦП входят четыре 7-разрядных регистра хранения, причем в регистре первого шифратора используется шесть разрядов, а в остальных ---семь. Назначение, принцип действия и принципиальная электрическая схема промежуточных регистров хранения полностью соответствует аналогичным регистрам АЦП КП07ПВ1 (см. рис 4.6)

Код с выходов промежуточных регистров хранения поступает на третью ступень шифратора, выполняющую функцию объединения четырех б-разрядных двоичных кодов в полный 8-разрядный двоичный код. Схема построения шифратора третьей ступени АЦП К1107Г1В2 приведена на рис. 4.32.

Сформированный 8-разрядный код с выхода шифратора третьей ступени поступает на логику выбора типа выходного кода, выполненную на элементах ИСКЛЮЧАЮЩЕЕ ИЛИ, а затем через выходной буферный регистр и выходные преобразователи уровня — на выход АЦП Принципиальная электрическая схема логики выбора



Рис. 4.31. Схема построення второй ступени шифратора ИС К1107ПВ2

типа кода и принцип действия полностью соответствует микросхеме К1107ПВ1 (см. рис. 4.8).

Преобразователи уровня сигналов управления служат для преобразования входных ТТЛ-сигналов и соответствуют аналогичным преобразователям АШΠ К1107ПВ1. Незначительное отличие имеет преобразователь уровня тактового снгна-Это отличие ла. заключается в TOM. что выход преобразователя более мошный; это обусловлено большим числом подсоединяемых к нему схем синхронизации.

Система синхронизации имеет более разветвленную сеть и содержит восемь схем синхронизации компараторов и шифратора и одну схему синхронизации выходных буферных регистров. Каждая из восьми схем синхронизации формирует для стробирования **тактовые** сигналы 32 компараторов, 32 схем И и 4 разряпромежуточного регистра дов хранения. Принципнальные электрические схемы схем синхронизации идентичны анамикросхемам К1107ПВ1 ЛОГИЧНЫМ (см. рис. 4.9). Для обеспечения равенства задержек распространения тактовых сигналов к каждой из восьми линеек компараторов длина проводников, соединяющих выход схемы преобразователя уровня входами схем- синхронизации. co конструктивно выполнена одинаковой,

Как уже отмечалось выше, построение микросхем К1107ПВ1 и К1107ПВ2 оди

наковое, одинаковые также временные диатраммы работы обонх преобразователей (см. рис. 4.12). Фронтом тактового импульса производится стробирование компараторов, т е. фиксирование зна-



одного шифратора третьей

ступени АЦП К1107ПВ2

252
чения входного сигнала выборки п. С приходом фронта второго тактового импульса производится фиксирование выборки (n+1)-го входного сигнала, а код выборки п на выходе АЦП появляется задержки выходного буферного регистра время t BR, спустя отсчитываемое относительно фронта второго тактового импульса. Длительность тактового импульса должна быть не менее, с одной стороны, времени задержки первой ступени шифратора, с другой времен задержек третьей ступени шифратора и схем суммы ИСКЛЮЧАЮЩЕЕ ИЛИ. Длительность паузы тактового сигнала определяется наибольшим временем: временем задержки компараторов или временем задержки второй ступени шифратора. Максиэтих задержек и будут определять минимальную мальные из длительность т, тактового импульса и минимальную длительность паузы т. тактового сигнала соответственно. Максимальная частота преобразования  $i_{c_{max}} = 1/(\tau_{l_{min}} + \tau_{\rho_{min}})$ . Время преобразования  $l_{c_{max}} = \tau_{l_{min}} + \tau_{\rho_{min}} + t_{BR}$ . При этом должно быть соблюдено условие, чтобы сумма длительности импульса тактового сигнала и паузы была больше или равна задержке выходного буферного регистра. Все сказанное справедливо и для ИС АЦП КІІОТПВІ.

Таким образом, кодирование входного сигнала и изменение кода на выходе производятся каждые 50 нс, при этом время преобразования АЦП не превышает 100 нс.

Особенности применения ИС К1107ПВ2 аналогичны особенностям применения ИС К1107ПВ1. Следует лишь отметить, что при спектре входного сигнала более 2,5 МГц для получения гарантированной монотонности X11 на входе АЦП необходимо применение дополнительной схемы УВХ. Как и- при использовании. ИС К1107ПВ1, вопрос о применении на входе АЦП внешней схемы УВХ должен решаться отдельно для каждого конкретного случая. Для ИС К1107ПВ2 ориентировочное среднее квадратическое значение нелинейности ХП (на частоте входного синусоидального сигнала 2,5 МГц) не превышает <u>+</u>1,5 ЕМР. Реально ИС нмеют запас по допустимой скорости изменения входного сигнала, при которой обеспечивается монотонность ХП; для ряда схем эта величина



Рис 4.33. Зависимость нелинейности от гемпературы окружающей среды при  $U_{c1} = 5$  В.  $U_{c12} = -6$  В



Рис. 4.34. Зависимость дифференциальной нелинейности от температуры окружающей среды при  $U_{cc1} = 5$  В,  $U_{cc2} = -6$  В



Рис. 4.35. Зависимость времени преобразования от температуры окружающей среды при U<sub>ccl</sub> = 5 B. U<sub>ccl</sub> = -6 B



Рис. 4.36. Зависимость частоты преобразования от температуры окружающей среды

достигает значения 40...45 В/мкс, что соответствует частоте синусондального сигнала 6,5...7 МГц при амплитуде 1 В.

При разработке печатиой платы необходимо учитывать, что ток потребления от источника —6 В протекает по «аналоговой» земле, а ток потребления от источника 5 В — по «цифровой». Это справедливо и для ИС К1107ПВ1.

Для включения микросхемы используется та же схема, что и для КІІ07ПВІ (см. рис. 4.11). Входным буферным усилителем служит схема, приведенная на рис. 4.12. Все особенности этих микросхем справедливы н для ИС КІІ07ПВ2.

Типовые зависимости точностных и динамических параметров ИС К1107ПВ2 от температуры окружающей среды приведены на рис. 4.33—4.36. Зависимость типа выходного кода от комбинации уровней на выходах управления приведена в табл. 4.4.

| THE BUYOSHOLD              | Уров<br>вход:<br>равл | ни на<br>ах уп-<br>цения | Уровни на цифровых выходах АЦП |   |   |   |    |   |   |            |
|----------------------------|-----------------------|--------------------------|--------------------------------|---|---|---|----|---|---|------------|
| кода                       | Bxoa<br>I             | Bxog<br>2                | 8<br>(M3P)                     |   | G | 5 | 4  | 3 |   | 1<br>(C3P) |
| Двончный прямой            | 1                     | 1                        | 0                              | 0 | 0 | 0 | 0  | 0 | 0 | 0          |
| двончный оорат-<br>ный     | 0                     | 0                        | 1                              | 1 | 1 | Ē | L  | 1 | 1 | 1          |
| Цополнительный<br>прямой   | 0                     | 1                        | 0                              | 0 | 0 | 0 | 0  | 0 | 0 | 1          |
| Дополнительный<br>обратный | 1                     | 0                        | 1                              | 1 | 1 | 1 | •1 | 1 | 1 | 0          |

Таблица 4.4. Зависимость типа выходного кода от комбинации уровней на входах управления для ИС К1107ПВ2

Примечвиме. Уровни на цифровых выходах соответствуют значению напряжении на видоговом входе ИС *Uta* ≥ 0 В.

## 4.4. ВОСЪМИРАЗРЯДНЫЕ АЦП К1107ПВ4 С ЧАСТОТОЙ ПРЕОБРАЗОВАНИЯ 100 И 60 МГи

Полупроводниковые ИС К1107ПВ4 представляют собой 8-разрядные АЦП параллельного типа с ЭСЛ-выходами и частотой преобразования 100 и 60 МГц [162].

Функция, выполняемая микросхемой, — преобразование аналогового напряжения в диапазоне — 2,5... + 2,5 В в эквивалентное 8-разрядное цифровое слово в виде параллельного двоичного кода.

Конструктивно ИС К1107ПВ4 выполнена в металлокерамическом корпусе 2136.64-1. Диапазон рабочих температур —10...+70 °С.

## Назначение выводов ИС К1107ПВ4

| Опорное напряжение URBF1                     | 1, 2, 3    |
|--|------------|
| Общий («цифровая» земля) —                   | 4          |
| Выход 9 переполнения (разряд переполнения)   | 10 -       |
| Выход / (старший разряд)                     | 12         |
| Buxon 2                                      | 13         |
| Buron 3                                      | 15         |
| Buyon A                                      | 16         |
| DEADD 7                                      | 19         |
| DEXOD 5                                      | 10         |
| выход о                                      | 19         |
| Выход 7                                      | 21         |
| Выход 8 (младший разряд)                     | 22         |
| Вывод корректировки линейности (3/4 UREP)    | 91         |
| Напряжение питания Uer                       | 32         |
| Напряжение питания Исса                      | 34         |
| Вывод корректировки нелинейности (1/4 UREF)  | 37         |
| Вход (тактовый снгнал)                       | 47         |
| Отрицательное опорное напряжение UREE        | 52, 53, 54 |
| Вход (аналоговый снгнал)                     | 60         |
| Напряжение контроля напряжения систерезиса U | 61         |
| Вывол корректировки нелинейности (1/2 Цака)  | 62         |
|  | 67 64      |
|  | 00,04      |

## Основные электрические параметры ИС К1107ПВ4

| Максимальная частота преобразонания Гения. МГц.   |               |
|---|---------------|
| не менее:   |               |
| К1107ПВ4А   | ь <b>ю</b>    |
| К1107ПВ4Б   | 60            |
| Днапазон входного напряжения $\Delta U_{IRN}$ В   | -2,5+2,5      |
| Входной ток / , мА                                | He conee 5    |
| Ток потреблення от источника положительного       |               |
| пряження питания /сс., мА                         | He 60.ree 300 |
| Ток потребления от источника отрицательного на-   |               |
| пряження питания Ісса, мА                         | Не более 350  |
| Ток потребления от источника положительного       |               |
| опорного напряжения Інвел, мА                     | Не более 20   |
| Ток потребления от источника отрицательного опор- |               |
| ного напряження І в в 2 мА                        | Нс менее -20  |
| Входной ток тактового входа, мкА, не более        |               |
| высокого уровня / ин                              | 400           |
| низкого уровня / 12                               | 400           |

| -1,10,7      |
|--------------|
| -21,5        |
| -1+l         |
| 1+1          |
|              |
| -50+50       |
| Не более 30  |
| Не более 120 |
| 4,755,25     |
| -5,464.94    |
|              |

Номинальные напряжения питания  $U_{cc1} = 5,0$  В и  $U_{cc2} = -5,2$  В. Предельные электрические режимы соответствуют режимам ИС К110711ВЗ.

Преобразователь построен по параллельной схеме. Структурная схема преобразователя представлена на рис. 4.37. Микросхема состоит из резисторного делителя эталонных опорных напряжений, блока 256 стробируемых компараторов, регистра, логических схем шифрации и девяти выходных каскадов. Структура ИС К1107/11В4 аналогична структурной схеме 6-разрядного АЦП К1107ПВ3, поэтому временная диаграмма работы 8-разрядного АЦП полностью соответствует рис. 4.19.

Работой преобразователя управляет тактовый сигнал. Фиксация мгновенного значения аналогового сигнала и формирование соответствующего цифрового кода происходят, как и в 6-разрядном АЦП.

В микросхеме КII07ПВ4 шифратор превращает термометрический код с выходов компараторов в 8-разрядное двоичное слово, которое и выдается на цифровых выходах. Длительность неопределенного состояния цифровых выходов АЦІІ равна длительности режима выборки и сдвинута на время преобразования (см. рис. 4.19).

Резисторный делитель эталонных опорных вапряжений ИС К1107ПВ4 состоит из 256 низкоомных резисторов, общее сопротив ление которых составляет 400...600 Ом. Входные токи 256 компараторов, протекая через резисторный делитель, значительно искажают эталонные опорные напряжения, и максимальное значение дополнительной погрешности  $\Delta U_{\rm max}$  из-за входных токов составляет 0,2 ЕМР. Компенсация этой дополнительной погрешности н обеспечение необходимой нелинейности достигаются корректировкой номиналов резисторного делителя. Кроме тосо, резисторный делитель имеет выводы 31, 37, 62 (см. рис. 4.37) от каждой четвертой части резисторного делителя для подключения внешних корректировки нелинейности х дополнительной корректировки нелинейности х дополнительной корректировки нелинейности ХП АЦП.

Принципиальные электрические схемы компараторов и выходных каскадов ИС К1107ПВ4 аналогичны принципиальным электрическим схемам АЦП К1107ПВ3. Обеспечение точностных параметров ИС К1107ПВ4 достигается за счет более жестких требований к идентичности транзисторов дифференциальных пар компараторов и отно-





Рис. 4:38. Зависимость входного тока смещения нуля от входного иапъряжения

Рис. 4.37 Структурная схема АЦП К1107ПВ4



Рис. 4.39. Зависимость нелинейности от температуры при  $U_{i,1} = 5$  В,  $U_{i,2} = -5.2$  В





сительной погрешности резисторов делителя эталонных напряжений в процессе изготовления микросхем.

Микросхема К1107ПВ4 содержит разряд переполнения, фиксирующий превышение аналоговым сигналом входного диапазона АЦП. При превышении аналоговым сигналом значения U<sub>REF1</sub> на цифровом выходе переполнения появляется напряжение высокого уровня, а на остальных выходах — напряжения низкого уровня. При включении ИС К1107ПВ4 цифровые выходы подключаются к внешнему источнику — 2 В через резисторы сопротивлением 100 Ом.

Микросхемы К1107 ПВ4 изготовлены по эпитаксиально-планарной технологии с двухуровневой металлизацией. Резисторный делитель выполнен в диффузионном слое глубокого коллектора. Для форми-9-499. 257 рования  $p^+$ . и базовых областей применено ионное легирование. Общее число элементов на кристалле АЦП около 6000 шт.

На рис. 4.38—4.40 представлены зависимости некоторых электрических параметров ИС К1107ПВ4. Типовая схема включения микросхемы К1107ПВ4 эквивалентна схеме, показанной на рис. 4.28.. Особенности применения ИС К1107ПВ4 аналогичны особенностям 6-разрядного АЦП К1107ПВ3.

## Глава 5.

# МЕТОДЫ И АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ Статических и динамических параметров микросхем цап

# 51 МЕТОДЫ ИЗМЕРЕНИЯ СТАТИЧЕСКИХ ПАРАМЕТРОВ ЦАП

Как было указано в гл. 2, статические параметры ИС ЦАП можно разделить на две группы. К первой группе относятся параметры, общепринятые для других типов ИС и определяющие энергетические показатели, ко второй — параметры, характерные только для преобразователей. Это выходное напряжение, ток смещения нуля, коэффициент преобразования, нелинейность и дифференциальная нелинейность. Основная трудность возникает при измерениях именно параметров. Особенно сложно определение нелинейности 3THA и дифференциальной нелинейности. Сложность заключается в том, что в связи с постоянно повышающимся числом разрядов ИС ЦАП предъявляются более высокие требования к точности измерения, кроме того, число отдельных измерений становится значительным Например, для измерения 12-разрядного ЦАП во всех точках XII необходимо выполнить 4012 измерений, при этом класс точности измерительного прибора должен быть порядка 0,001.

Таким образом, выбор числа точек измерения является очень актуальным вопросом. Наиболее полное представление нелинейности дает измерение во всех точках XII. Однако для этого даже при автоматизированных измерениях требуется значительное время. Поэтому часто измерения проводят в нескольких точках, равномерно расположенных по диапазону преобразования. Если влияние разрядов друг на друга незначительное, т. е. погрешность суперпозиции мала, то такой метод дает достаточно достоверные результаты. Еще лучшие результаты получаются, когда знак нелинейности определяется для каждого отдельного разряда, а проверяется в точке, соответствующей включению разрядов с одинаковым знаком нелинейности. Если погрешность суперпозиции значительна, то отсутствуют способы определения кодов, при которых нелинейность максимальна, при этом измерения необходимо проводить во всех точках XII Причины взаимной зависимости разрядов могут быть разные изменения температурных градиентов в кристалле, возникающие из-за перераспределения токов, вызывающих изменение сопротивления резисторов или рассогласование ключей, падение напряжения в общих шинах и др. Погрешность суперпозиции становится существенной при числе разрядов более 12.

При малых погрешностях суперпозиции максимальная дифференциальная нелинейность имеет место в точках, в которых очередной код меняется на код, соответствующий включению только одного разряда, т. е. в основных переходах. Хотя дифференциальная нелинейность в любой точке XII может быть рассчитана по нелинейности отдельных разрядов, непосредственные измерения предпочтительны, так как они дают возможность исключить накопление погрешности измерения. Когда число точек измерения ограничено, аппроксимация характеристики преобразования, как правило, производится по конечным точкам.

Значительной проблемой является температурная нестабильность параметров измеряемых ИС ЦАП. Учитывая, что высокоточ ные измерительные приборы имеют низкое быстродействие, а для определения нелинейности необходимо произвести большое число измерений, особое внимание необходимо обратить на температурный режим проверяемой ИС ЦАП. Если отвод тепла от корпуса недостаточный, его температура в конце измерения может значительно отличаться от начальной, что может привести к дополнительной погрешности. Для значительного уменьшения изменения температуры иногда схема выдерживается под нагрузкой перед измерением, однако это снижает производительность и усложняет оборудование В некоторых случаях целесообразно применять схемотехнические решения, значительно уменьшающие влияние температурной нестабильности. Например, для ЦАП с токовым выходом в цепь опорного напряжения можно включить внешний стабильный резистор Предназначенный для этой цели резистор можно использовать только совместно с внешним ОУ и согласованным с ним по температурному коэффициенту сопротивления (ТКС) резистором обратной СВЯЗИ.

Измерение статических параметров первой группы, характеризующих энергетические показатели, не представляет трудностей и здесь рассматриваться не будет

# 5.11 ИЗМЕРЕНИЕ С ПОМОЩЬЮ ЦИФРОВОГО ПРИБОРА

Одним из простейших методов измерения параметров ХП является метод с непосредственным применением цифрового вольтметра или миллиамперметра [17] Структурная схема измерителя, 9' 239

реализующего данный метод, приведена на рис. 5.1, а. Измеритель работает следующим образом. От генератора кода подается код, соответствующий номинальному нулевому значению выходной величины, и измеряется ее действительное значение, которое является напряжением смещения нуля. Затем подается конечное значение по отклонению выходной величины ОТ номинального кода И значения определяется коэффицмент преобразования. Измерение напряжения смещения нуля и коэффициента преобразования производится при отключенных регулирующих элементах. Затем подключаются элементы, регулирующие напряжение смещения нуля и коэффициент преобразования, и устанавливаются номинальные значения выходной величины в конечных точках ХП. На вход измеряемого ЦАП от генератора кода. последовательно подаются коды, соответствующие проверяемым точкам, и измеряется выходная величина. Отклонение ее от номинальных значений, соответствующих этим точкам, пропорционально нелинейности. Так как требования к погрешности измерения выходного напряжения (или тока), смещения нуля и коэффициента преобразования значительно ниже, класс точности цифрового прибора выбирается исходя из требований обеспечения точности измерения нелинейности и дифференциальной нелинейности. Учитывая, что в процессе производства ИС ЦАП производственные необходимо обеспечить запасы параметров, покрывающие погрешность измерения, измерительный прибор должен иметь нелинейность по крайней мере на порядок меньше, чем нелинейность проверяемого изделия. Для большинства серийно выпускаемых приборов нелинейность не нормирована, ΠΟЭΤΟΜΥ перед их использованием необходимо проводить дополнительную поверку этого параметра. В качестве измерительного прибора рекомендуется применять интегрирующие приборы, которым свойственна малая нелинейность. В тех случаях, когда для измерения используется несколько диапазонов измерительного прибора или меняется полярность измеряемой величины, например, при контроле



a)

Рис. 5.1. Схемы измерения ХП с помощью цифрового прибора

параметров биполярных ИС ЦАП, особое внимание необходимо обратить на иногда возникающие дополнительные погрешности

При подключении измерительного прибора следует учитывать и падение напряжения в общих проводах. Для подключения общего вывода измерительного прибора необходимо предусмотреть отдельную линию, непосредственно связанную с общим аналоговым выводом ИС ЦАП (это позволяет значительно уменьшить дополнительные погрешности измерения).

Перед проведением измерения целесообразно провести компенсацию напряжения смещения нуля и отрегулировать коэффициент преобразования таким образом, чтобы номинальные веса разрядов соответствовали целым числам. Это упрощает расчет нелинейности и дифференциальной нелинейности, особенно когда отсутствуют средства вычислительной техники.

Приведенный метод контроля параметров ХП из-за низкой производительности (так как результаты отсчитываются визуально) может быть использован только для контроля единичных микросхем, например на входном контроле или при лабораторных исследованиях. Измедения на основе этого метода можно автоматизировать. Для этого достаточно цифровой прибор с помощью соответствующего интерфейса подключить к микро-ЭВМ (см. рис. 5.1, б). Здесь ЭВМ управляет процессом задания кода и измерения, а также проводит расчет напряжения смещения нуля, коэффициента преобразования, нелинейности и дифференциальной нелинейности, поэтому схемы регулировки напряжения смещения нуля и коэффициента преобразования могут отсутствовать. Быстродействие системы в основном зависит от быстродействия цифрового прибора. Учитывая, что быстродействие высокоточных цифровых приборов составляет единицы или десятки измерений в секунду, измерение всех точек ХП занимает значи. тельное время (измерения продолжаются несколько минут даже для невысокоразрядных ЦАП)

### 5.1.2. ИЗМЕРЕНИЕ НЕЛИНЕЙНОСТИ С ПОМОЩЬЮ ОПОРНОГО ЦАП

На рис. 5.2 приведена структурная схема измерителя, осуществляющего контроль нелинейности с помощью опорного ЦАП [45]. Схема работает следующим образом. Генератор кода, управляемый блоком управления, устанавливает начальное значение кода и запускает схему регулировки напряжения смещения нуля. Регулировка производится до тех пор, пока не установится нулевое напряжение на выходе ОУ, что соответствует равенству значений напряжения смещения нуля обоих ЦАП. Затем устанавливается конечное значение кода и аналогично производится регулировка коэффициента преобразования



Рыс. 5.2. Схема измерения ХП с помощью опорного ЦАП

После совмещения ХП от генератора кода на опорный и измеряемый ЦАП подается последовательно изменяющийся код. Если характеристики преобразования различаются, на выходе ОУ появляется напряжение, пропорциональное разнице выходных сигналов обоих ЦАП и характеризующее нелинейность измеряемого ЦАП. превышает U .... Когда ЭТО напряжение заданное или Umin. один из компараторов выдает сигнал, который фиксируется индикаустройством. Для защиты компараторов торным OT **ЛОЖНЫХ** срабатываний, имеющих место при переходных процессах, компараторы стробируются.

Для определения фактического значения нелинейности, а также расчета дифференциальной нелинейности схема имеет быстродействующий цифровой измерительный прибор, работающий совместно с микропроцессором или микро-ЭВМ. Высокой точности измерительного прибора в этой схеме не требуется. Используемый для измерения опорный ЦАП может иметь такое же число разрядов, как и измеряемый, однако его нелинейность должна быть на порядок меньше нормируемого значения нелинейности проверяемого ИС ЦАП. Быстродействие данного измерителя значительно выше предыдущего и определяется в основном временами установления опорного н измеряемого ЦАП.

### 6.1.3. ИЗМЕРЕНИЕ ДИФФЕРЕНЦИАЛЬНОЙ НЕЛИНЕЙНОСТИ С ПОМОЩЬЮ ЗАПОМИНАЮЩЕГО ОУ

Дифференциальная нелинейность может быть определена с помощью устройства, показанного на рис. 5.2. Для этого ЭВМ должна рассчитать разность результатов двух соседних измерений, т. е. разность нелинейности в соседних точках. Для контроля



Рис. 5.3. Схема измерения с запоминающим операционным усилителем

дифференциальной нелинейности может использоваться более простое устройство, структурная схема которого показана на рис. 5.3.

Устройство работает следующим образом. Для приведения среднего значения ступени квантования к поминальному производится регулировка коэффициента преобразования измеряемого ЦАП. Для этого на оба ЦАП подаются конечные значения кода, S1 замыкается и с помощью схемы регулировки коэффициента преобразованкя устанавливается нулевое напряжение на выходе ОУІ. Затем на измеряемый ЦАП подается код, соответствующий включению всех младших разрядов до проверяемого, а на опорный ЦАП — код, соответствующий включению проверяемого разряда; замыкаются ключи S1, S2, и ОУ2 под действием отрицательной обратной связи компенсирует разницу выходных сигналов (из-за различия кодов и несовпадення ХП) и устанавливает нулевое напряжение на выходе ОУІ. После отключения S2 компенсирующий сигнал запоминается конденсатором. Значения кодов обоих ЦАП увеличиваются на единицу, т. е. для опорного ЦАП дополнительно вилючается младший разряд, а для измеряемого — проверяемый разряд и выключаются все младшие до проверяемого. На выходе ОУІ появляется напряжение, пропорциональное дифференциальной нелинейности. Превышение этим напряжением заданных пределов оценивается компараторами или измеряется измерительным прибором, работающим совместно с ЭВМ.

Учитывая, что в данной схеме использован так называемый принцип самопроверки, т. е. базой отсчета является значение выходной величины измерясмого ЦАП (при коде, соответствующем включению всех младших разрядов до проверяемого), опорный ЦАП выполняет вспомогательную роль (смещает измеряемую величину к нулевому значению) и не обусловливает погрешности измерения. Он может иметь значительную нелинейность. Для обеспечения точности измерения достаточно, чтобы опорный ЦАП был стабильным в течение времени проведения одного цикла измерения, а значение его младшего разряда равнялось среднему значению ступени квантования измеряемого ЦАП (с точностью, которая определяется необходимой точностью измсрения дифференциальной нелинейности) Осуществление этих требований не представляет трудностей.

## 5.2 АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ СТАТИЧЕСКИХ ПАРАМЕТРОВ ЦАП

### 5.2 І ИЗМЕРЕНИЕ СТАТИЧЕСКИХ ПАРАМЕТРОВ ЦАП К594ПАІ.

изготовления ЦАП Во время технологического процесса К594ПАІ подвергается функциональной настройке. Настройка производится подрезанием токозадающих резисторов лазерным лучом восемь младших разрядов настраиваются по абсолютному значению тока, а старшие разряды — по дифференциальной нелинейности Для функциональной настройки можно использовать установку 14 КТЛ 800-007 [144] или цифровой миллиамперметр с нелинейностью не более 0,01% и устройство измерения дифференциальной нелинейности, аналогичное описанному в п 5.1.3 При настройке достигается уменьшение дифференциальной нелинейности до значения 0,1 ЕМР Функциональная настройка может быть окончена 0.05 и при более высоких значениях дифференциальной нелинейности, однако наличие значительного технологического запаса благоприят. но влияет на выход годных изделий при последующих операциях, а также обеспечивает небольшое значение нелинейности

Учитывая, что в технических условиях на ИС К594ПА1 нелинейность не нормирована, проверку статических параметров этих микросхем можно проводить на сравнительно простой контрольноизмерительной аппаратуре Она построена на базе широко распространенных автоматических измерительных систем (АИС) типа «Интеграл» или «Вахта», имеющих управляющее устройство (ЭВМ), комплект программируемых источников питания, компараторы напряжения и тока с программируемыми уровнями компарирования, а также цифровой измеритель средней точности, работающий с ЭВМ. Когда АИС работает в режиме ГОДЕН — БРАК, измеряемая величина с помощью компаратора сравнивается с предельно допустимым значением без определения ее фактического значения (это значительно повышает производительность) Возможен также режим определения фактического значения измеряемой величины. Система дополнена опорным ЦАП, тремя ОУ и элементами коммутации (рис 5.4). Дополнительная часть конструктивно выполнена в виде самостоятельной приставки. Здесь ОУГ использован в качестве схемы регулирования коэффициента преобразования. Его выходное напряжение суммируется с напряжением источника опорного напряжения После отключения S1 этот сигнал запоминается конденсатором В остальном процесс измерения аналогичный описанному в п 51.3 В качестве опорного ЦАП используется ИС К594ПА1 Его нелинейность на погрешность измерения дифференциальной нелинейности не влняет

Так как погрешность суперпозиции в ИС К594ПА1 незначительна, контроль дифференциальной нелинейности достаточно производить в двенадцати точках соответствующих основным



Рис 5.4. Структурная схема тестера измерения ИС К594ПАІ

.переходам, т. е. в переходах 000 ... 000—000 ... 001, 000. 001—000 010, 000 011—000 100, 001 111—010 000, 011 ... 111—100 000.

Хотя дифференциальная нелинейность и нелинейность качест венно связаны, общей количественной зависимости между этими параметрами, пригодной для практического расчета, нет Можно максимальная нелинейность образуется только отметить, что когда знак дифференциальной нелинейности в основных переходах, начиная со старшего разряда, попеременно меняется. Моделирование показывает, что в самом неблагоприятном случае, ЭВМ на когда во всех основных переходах имеется максимально допустимая дифференциальная нелинейность, нелинейность ИС К594ПАІ почти в 4 раза может превышать дифференциальную нелинейность Учитывая, что дифференциальная нелинейность восьми младших разрядов ИС К594ПАТ незначительна, типовое значение нелинейнос ти не превышает значения, допустимого для дифференциальной нелинейности этой микросхемы

#### 5.2.2. ИЗМЕРЕНИЕ СТАТИЧЕСКИХ ПАРАМЕТРОВ ЦАП КІІІ8ПАІ

Учитывая, что 8-разрядный ЦАП К1118ПА1 не подвергается функциональной настройке, а интегральная технология не позволяет обеспечить значительные технологические запасы параметров



Рис. 5.5. Схема измерения ИС К1118ПА1

необходимо наиболее полно оценить параметры характернстики преобразования. Для измерения статических параметров, как и в предыдущем случае, используются аппаратура. прелназначенная для цифровых микросхем, и дополнительный блок.

На рис. 5.5 приведена структурная схема измерителя, предназначенного для измерения статических параметров ИС КІІІ8ПАІ, состоящего из автоматической измерительной системы «Интеграл» или «Вахта» и дополнительного блока. Кроме блоков АИС имеются 8-разрядный регистр, восемь ключей, опорный ЦАП, ОУ, компаратор напряжения, схемы регулирования напряжения смещения нуля и коэффициента преобразования. Измеритель работает следующим образом.

По командам ЭВМ АИС производятся компенсация напряжения смещения нуля и регулировка коэффициента преобразования измеряемого ЦАП. После этого осуществляется последовательное включение отдельных разрядов обоих ЦАП и каждый раз разность их выходных токов усиливается с помощью ОУ и подается на компаратор. Если ток измеряемого ЦАП больше тока опорного ЦАП, компаратор передает единицу в соответствующую ячейку регистра. После проверки всех разрядов в регистре будет записан код, соответствующий включению тех разрядов, которые дают положительное отклонение выходного тока относительно опорного. Затем С помощью ключей этот код подается к обоим преобразователям и производится оценка нелинейности именно в той точке, где ее значение является максимальным.

Определение дифференциальной нелинейности осуществляется в восьми точках, соответствующих основным переходам. Для этого используется такой же принцип измерения, как и в ЦАП К594ПАІ. Так как для оценки 8-разрядных ЦАП нелинейность опорного ЦАП должна быть порядка 0,01%, его построение не представляет больших трудностей.

### 5.2.3. ИЗМЕРЕНИЕ СТАТИЧЕСКИХ ПАРАМЕТРОВ ЦАП КІП8ПА2, КІП8ПАЗ

Учитывая, что в процессе производства 10-разрядного ЦАП К1118ПА2 и 8-разрядного ЦАП 1118ПАЗ функциональная настройка не производится, для исключения брака после сборки необходимо обеспечить как полную оценку параметров, так и проверку правильности функционирования схемы на пластине. Необходимо учифункциональные расширенные возможности ИС тывать также К1118ПА2 (работа от уровней ТТЛ и ЭСЛ, наличие парафазных входов и входного регистра, возможность выключения выходного сигнала и получения его максимального значения без нарушения предыдущего кода, хранимого в регистре), в результате чего значительно возрастает число измерений. Для проверки статических параметров этих ЦАП используется тестер, позволяющий проводить контроль на измерение всех статических параметров пластинах И как **NDH** нормальной температуре, так и в диапазоне температур (для этого предусмотрена возможность подключения тестера к камерам тепла и холода). Тестер имеет два рабочих места (пульта), под ключаемых поочередно.

На рис. 5.6 приведена структурная схема тестера. Он состоит из измерительного (опорного) ЦАП, блока питания с программируемыми источниками напряжения, опорного источника питания с несколькими дискретными значениями напряжения и коммутатора, осущест-



Рис. 5.6. Структурная схема тестера измерения ИС К1118ПА2, К1118ПА3

вляющего соединение необходимых схем измерения. Для измерения используется внешний цифровой измерительный прибор, внутренний быстродействующий измеритель разностного напряжения, необходимый при контроле нелинейности разницы выходных напряжений опорного и измеряемого ЦАП. Устройство сопряжения, трансформирующее канал данных к требуемому формату, панель управления и индикации, позволяющая задавать категорию норм и режим измерения, а также индицировать результат контроля без дисплея ЭВМ, дистанционный пульт управления, интерфейс и управляющая ЭВМ выполняют общеизвестные функции.

Тестер может комплектоваться отдельной ЭВМ с необходимыми внешними устройствами, или несколько тестеров могут подключаться к центральной ЭВМ, укомплектованной этими устройствами. В этом случае возможна экономия аппаратурных средств и производственной площади.

Тип микро-ЭВМ — «Электроника 60 М» модификация 15 ВМ16-012. Выбор программ и режима работы осуществляется с помощью программных переключателей. Программа измерения позволяет аяпроксимировать характеристику преобразования по методу наименьших квадратов.

ЭВМ тестера работает под управлением операционной системы ОСДВК. Кроме того, имеются управляющая и рабочая программы. Они составлены на макроассемблере, что позволяет получать максимальное быстродействие. Управляющая программа универсальна. Конкретные режимы измерения, допустимые пределы параметров, последовательность выполнения измерений и другие<sup>1</sup> индивидуальные характеристики задаются рабочей программой, составляемой для каждого типа ИС. Разработанные программы позволяют набирать статистику, строить гистограммы распределения параметров и т. д.

## Основные технические характеристики тестера:

| Среднее время одного измерения при использовании |              |
|--|--------------|
| внешнего цифрового приоора типа ЦУИП, мс         | He 60ace 100 |
| Среднее время одного измерения при использовании |              |
| внутреннего прибора, мс                          | Не болсе 5   |
| Время обработки одного результата измерения, мс  | Не болсе 2   |
| Число выводов измеряемой микросхемы              | He 60.1ee 32 |
| Число выводов с импульсным управлением           | 2            |
| Число аналоговых выводов                         | 2            |
| Число источников питания напряжением до ±10 В    |              |
| и током до 0.5 А                                 | 2            |
| Число источников питания напряжением до ±20 В    | ·            |
| и током до 0.1 А                                 | 5            |
| Число источников опорного напряжения с двумя па- |              |
| Damaauuuu Buyorawu                               | Ĩ.           |
| //////////////////////////////////////           | 1            |
| число источников тока                            | 2            |

Полярность, днапазон, значение напряжения или тока, значение ограничения напряжения или тока источников питания программируются.

| Максималь-<br>ное зиаче-<br>ние напря-<br>жения, В | Ступень<br>казитова-<br>ния, мВ | Погрешность установки<br>напряжения | Ток нагруз-<br>кн, А | Ток-ограни-<br>чения, А |
|--|---------------------------------|-------------------------------------|----------------------|-------------------------|
| ±10  | 2                               | $\pm$ (0.5% $U_x$ + 10 mB)          | 0,5                  | 0,1; 0,5                |
| ±4   | 2                               | $\pm$ (0.2% $U_x$ + 4 mB)           | 0,1                  | 0,025; 0,1              |
| ±10  | 5                               | $\pm$ (0.2% $U_x$ + 10 mB)          | 0,1                  | 0,025; 0,1              |
| ±20  | 10                              | $\pm$ (0.2% $U_x$ + 20 mB)          | 0,1                  | 0,025; 0,1              |

### Таблица 5.1. Параметры источников напряжения

# Таблица 5.2. Параметры источников тока

| Максимальное      | Ступень кванто- | Погрешность                      | Максимальное  |
|-------------------|-----------------|----------------------------------|---------------|
| значение тока, мА | вання, мвА      | установки тока                   | напряжение, В |
| ±10               | 5               | ± (0,2% / <sub>x</sub> + 10 мкА) | 5; 10         |
| ±100              | 2               | ± (0,2%/ <sub>x</sub> + 4 мА)    | 5; 10         |

# Параметры измерительного ЦАП

| Днапазон выходного напряжения, | В | ±10,24             |
|--------------------------------|---|--------------------|
| Ступень квантования, мВ        |   | 2,5                |
| Погрешность, %                 |   | He более $\pm 0,2$ |
| Напряжение смещения нуля, мВ   |   | Не более ±10       |
| Ток нагрузки, мА               |   | Не менее 5         |

## Параметры измерителя разностного напряжения

| Днапазон измерения, В<br>Постоянные времени интегрирования, мс<br>Число разрядов выходного кода<br>Входное сопротивление, кОм .<br>Погрешность измерения, не более | $\pm 0.2; \pm 2$<br>0.064; 0.256; 4; 20<br>12<br>He менее 1<br>$\pm (0.5\% U_x + 0.3 \text{ MB})$<br>(ΔЛЯ ДНАПАЗОНА $\pm 0.2 \text{ B}$ ),<br>$\pm (0.5\% U_x + 3 \text{ MB})$ |
|--|--|
|  | $(_{AЛЯ} _{AHARA308A} \pm 2 B)$  |

## Таблица 5.3. Параметры источника опориого напряжения

| Номннальное<br>капряжение.<br>В                 | Погрешность<br>установки<br>напряжения   | Ток наг-<br>рузки, мА | Номинальное<br>напряжение,<br>В.     | Погрешнисть<br>установки<br>напряжения  | Ток наг-<br>рузкн. мА |
|---|--|-----------------------|--------------------------------------|---|-----------------------|
| 1,024;<br>+1,024<br>1,25;<br>+1,25<br>2,5; +2,5 | $\begin{array}{c} \pm (0,1 \% U_{x} + \\ + 2 \ \text{MB}) \\ \pm (0,1 \% U_{x} + \\ + 2 \ \text{MB}) \\ \pm (0,1 \% U_{x} + \\ + 2 \ \text{MB}) \end{array}$ | 50<br>50<br>50        | 10,24;<br>+10,24<br>10,56;<br>+10,56 | $\begin{array}{c} \pm (0.1\% U_{\star} + \\ + 10 \text{ mB}) \\ \pm (0.1\% U_{\star} + \\ + 10 \text{ mB}) \end{array}$ | 10<br>10              |

## **5.3 МЕТОДЫ ИЗМЕРЕНИЯ ДИНАМИЧЕСКИХ ПАРАМЕТРОВ** ЦАП

Методы измерения, принципы построения и структура измерителей динамических параметров быстродействующих ЦАП, с одной стороны, имеют много общего для всех видов ЦАП, с другой отличаются рядом требований и особенностей измерения динамических параметров ЦАП, зависящих от конкретных типов ЦАП и принципов их построения. Учитывая, что аппаратура измерения динамических параметров ЦАП должна обладать универсальностью, сначала рассмотрим общие методы н принципы построения аппаратуры измерения динамических параметров ЦАП, а потом приведем конкретные схемы для конкретных типов ЦАП.

Динамические свойства ЦАП, как правило, определяются временем установления выходного напряжения илн тока, в результате чего основное внимание в дальнейшем будет уделено его измерению. Другие динамические параметры ЦАП (время переключения. время нарастания н т. д.) чаще всего измеряются при конструктивных испытаниях (при проведении научно-исследовательских и опытно-конструкторских работ) или при исследовании динамических характеристик ЦАП. Форма выходного импульса ЦАП имеет плоскую часть и выбросы на плоской части и в паузе, поэтому измерения его отдельных параметров, характеризующих переходные процессы ЦАП, производятся известными методами импульсной техники. Для их определения используется осциллографический метод измерения, имеющий большую универсальность и широкие возможности. Наиболее подходящими для этой цели являются вычислительные осциллографы или с цифровым отсчетом, например С1-102, С1-91 и др. При серийном выпуске ИС ЦАП эти динамические парамет ры, как правило, являются справочными данными и не измеряются Кроме того, выбросы, время переключения, время нарастания во многом зависят от места, способа и конструктивных параметров схемы окружающей среды, в которой работает ЦАП. Учитывая, что динамические свойства ЦАП в основном определяет время установления, а измерение других динамических параметров ЦАПможно осуществить непосредственно осциллографом, последующий материал будет посвящен измерению времени установления.

#### 531 МЕТОДЫ ИЗМЕРЕНИЯ И ПРИНЦИПЫ ПОСТРОЕНИЯ ИЗМЕРИТЕЛЕЙ ВРЕМЕНИ УСТАНОВЛЕНИЯ ЦАП

На рис. 5.7 приведена структурная схема измерения времени установления ЦАП сравнением выходного сигнала преобразователя с эталонным сигналом [37]. В ней на входы измеряемого ЦАП, кроме входа младшего разряда, подаются прямоугольные импульсы от генератора тестовых импульсов (ТИ) На вход младшего разряда



Рис. 5.7. Схема измерения времени установления ЦАП методом сравнения

от того же генератора поступают напряжения лог.0 и лог.1. С помощью регулятора уровня устанавливается необходимый порог срабатывания компаратора, значение которого выбирается из ряда  $\pm 0.5$ ;  $\pm 1$ ;  $\pm 2$  ЕМР. Обычно порог срабатывания компаратора равен  $\pm 0.5$  ЕМР. Время установления измеряется по экрану осциялографа, фиксируя продолжительность от момента изменсния вхолного кода до момента, когда выходной сигнал компаратора устанавливается в соответствующее состояние. Недостатком этого методая является ограниченный частотный диапазон, большие погрешности измерения, обусловленные осциллографическим методом измерения и погрешностями компаратора. Так как на вход осциллографа должна быть высокая, происходит насыщение входного усилителя осциллографа.

На рис. 5.8 приведена структурная схема измерителя, принцип работы которого аналогичен описанному в [46]. Прямоугольный эталонный сигнал, синхронный с прямоугольным сигналом цифрового входа ЦАП, не совпадающий по фазе с выходным сигналом ЦАП, суммируется с последним. Амплитуда эталонного прямоугольного сигнала  $U_3$  регулируется до точного совпадения с амплитудой выходного сигнала ЦАП  $U_{\rm вых}$  по окончании переходных процессов. Это обеспечивает наблюдение переходного процесса на экране осциллографа относительно нулевого уровня. Фиксирующие диоды VDI, BD2 ограничивают отклонение напряжения в период переходных процессов, что существенно уменьшает время восстановления перегрузки осциллографа. При переключении цифрового входа младшего разряда из положения динамический «ДИН» в положение лог.0 или лог.1 на экране осциллографа будут наблюдаться импуль-



Рис. 5.8. Схема измерения времени установления ЦАП с компенсацией установившегося значения выходного сигнала

сы с частотой генератора и амплитудой, равной значению младшего разряда ЦАП относительно нулевого уровня. При этом время установления определяется как время, необходимое для того. чтобы напряжение отклонения от нулевого уровня не превышало ( $\pm 1/2$ ) EMP. Если требуется измерить только время установления напряжения полной шкалы, то напряжение эталонного прямоугольного сигнала  $U_3$  на вход осциллографа не подается, что упрошает процесс измерения.

Если ЦАП работает в режиме слежения (со сменой смежных кодовых комбинаций), то значение его времени установления больше, чем время установления полной шкалы. При этом наиболее длинный переходной процесс наблюдается, когда все разряды меняют свое состояние (цифровой код меняется от 0111...1 до 1000 0 или наоборот). Процесс же измерения времени установления при смене смежных кодовых комбинаций на цифровых входах ЦАП существенно упрощается, поскольку при этом установившиеся значения выходного сигнала ЦАП для смежных кодов отличаются от значения младшего разряда.

На рис. 5.9 показана структурная схема устройства контроля времени установления ЦАП при упомянутой кодовой комбинации [46]. Все разряды ЦАП, кроме старшего, возбуждаются параллельно с помощью генератора прямоугольных импульсов. Этот же сигнал после инвертора подается на старший разряд, вызывая его включение в момент выключения всех остальных разрядов. Выходной сигнал ЦАП при этом представляет собой прямоугольный импульс амплитудой  $\Delta U$  относительно уровня, равного половине полной шкалы. Выход ЦАП связан со входом осциллографа только по переменному току, и постоянная составляющая выходного сигнала ЦАП на вход осциллографа не поступает. Переходной процесс в этом случае можно наблюдать при большой чувствительности осциллографа по амплитуде. Время переходного процесса высокоразрядных ЦАП можно определить с высокой степенью точности, поскольку практически устраняются перегрузки входного усилителя



Рис. 5,9. Скема, контроля времени установления ЦАП в режиме слежения



Рис. 5.10. Схема измерителя времени установления ЦАП со стробированием

осциллографа или компаратора, обусловленные большим перепадом сигнала на выходе измеряемого ЦАП.

На рнс. 5.10 приведена структурная схема измерителя времени установления ЦАП со стробированием в реальном масштабе [47]. На измеряемый ЦАП поступают периодически чередующиеся коды с частотой, в два-три раза меньшей максимальной частоты смены кодов. Если бы отсутствовали временные искажения сигнала на выходе ЦАП, то на некотором уровне постоянной составляющей выходного сигнала он представлял бы прямоугольные импульсы, амплитуда которых равна (или близка) единице младшего разряда. С помощью фильтра, инвертора и усилителя постоянная составляющая выходного сигнала ЦАП компенсируется, и на вход стробирующего ключа SI поступает только переменная составляющая в виде искаженного выбросами прямоугольного импульса (рис. 5.11). Стробирующий импульс с короткой, но вполне определенной длительностью рормируется фронта импульса, TCTD ОТ прошедшего через управляемую кодом линию задержки. Импульсы на входе линии задержки имеют ту же частоту и фазу, что и импульсы, управляющие сменой кодов ЦАП. Шаг дискретизации в линии задержки с цифровым управлением составляет 0,2...0,5 тстр. Первона-



Рис. 5.11. К определению времени установления ЦАП

чальное время задержки устанавливается равным некоторому значению tm, превышающему оцениваемое время установления tsu. Сигнал в виде короткого импульса со стробнрующего ключа SI поступает на интегратор, время интегрирования которого задает устройство управления и составляет 100 или более периодов импульсного сигнала, поступающего на линию задержки. Напряжение на выходе интегратора в конце интервала интегрирования через ключ S2 переписывается в аналоговое запоминающееся устройство АЗУІ. Это напряжение пропорционально усредненному за 100 или более периодов отклонению мгновенного значения выходного сигнала ЦАП от среднего значения двух уровней. Время задержки линии с заданным шагом дискретизации постепенно уменьшается. При этом результаты интегрирования стробируемых сигналов для каждого значения времени задержки записываются в АЗУ2 с помощью S3. Компаратор напряжений сравнивает напряжения на АЗУІ и АЗУ2 н выдает команду в устройство управления на изменение кода, управляющего линией задержки. Как только разность сравняваемых напряжений превысит заданное значение, изменение кода прекращается. Полученный код представляет собой закодированное значение измеряемого времени установления tsu.

В быстродействующих ЦАП, как правило, имеют место выбросы импульсов, амплитуда которых во много раз превышает величину ЕМР. На рис. 5.12 приведена схема измеречия времени установления с запоминанием амплитуды выборки, позволяющая исключить влияние переходных процессов и обеспечивающая наблюдение только интересующей части выходного напряжения преобразователя [48]. Это достигается подачей тактовых импульсов на вход ЦАП и через импульсный трансформатор на диодный мост в схему преобразования с запоминанием амплитуды выборки. Трансформатор дифференцирует тактовые импульсы так, что на мост передаются только кратковременные импульсы разной полярности, соответствующие фронту и срезу тактового импульса. Эти импульсы образуют на днодах моста попеременно прямое и обратное смещение. Сигналы



Рис. 5.12. Схема измерения времени установления с запоминанием выборки

с выхода преобразователя проходят на выход моста лишь в те моменты времени, когда соответствующие дноды смещены в прямом направлении. Во время среза тактового импульса диоды смещены в прямом направлении, в результате чего конденсатор на выходе моста заряжается выходным сигналом ЦАП. Во время фронта тактового импульса напряжение на конденсаторе остается неизменным так как диоды смещены в обратном направлении

В ряде случаев, особенно при измерсини времени установления средного быстродействия более высокоразрядных ЦАП (более 10 разрядов), чувствительность осция кографических устройств недостаточная, что значительно увеличивает погрешность измерения Для устранения этого к выходу ЦАП подключается усилитель, ограннчивающий нижнюю часть импульса для исключения перегрузки входного усилителя осцилиографа, работающего при большой чувствительности. С помощью усилителей зпачительно «растягивается» зона измеряемых амплитуд выходных сигналов ЦАП, в которой определяется, время установлении. Коэффициент усиления таких усилителей достигает лесятки или сотни раз, а исличина ЕМР при этом составляет сотни и более милливольт Однако из-за ограниченной широкополосности усилителей и специфи ческих требований, предъявлясмых к ним, измерение времени установления более быстродействующих ЦАН затруднено. Значительное влиящие на измеряемый параметр оказывают конструктивные паразитные параметры функциональных узлов и элементов, создающих режим изметения (компараторов, резисторов, токовых ключей, счетчиков и др.). Для избежании этого необходимо использовать измерители, работающие с трансформацией временного масштаба, так как существующая в настоящее время элементная база и конструктивное исполнение узлов контрольно-измерительной аппаратуры обеспечивают построение измерителей времени установления ЦАП с удовлетворительной погрешностью (10...20%) в диапазоне времен более 100...500 нс Учитывая, что в процессе линейной трансформации временного масштаба изменяется яншь спектр выходного сигнала преобразователя (выходной сигнал ЦАП), ранее рассмотренные методы измерения в большинстве случаев могут быть использованы и для измерения времени установлении более быстродействующих ЦАП

## 5.4. АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ ВРЕМЕНИ УСТАНОВЛЕНИЯ ЦАП

#### 5.4 1 ИЗМЕРИТЕЛИ ВРЕМЕНИ УСТАНОВЛЕНИЯ ЦАП, РАБОТАЮЩИЕ В РЕАЛЬНОМ МАСШТАБЕ ВРЕМЕНИ

На рис. 5.13, 5.14 приведены структурная схема и временные диаграммы работы автоматического измерителя времени установления ЦАП [46], работающего в милли- и микросекундном диапазонах времен. Работа измерителя основана на принципе двойного преобразования. Сначала с помощью компараторов напряжения измеряемое время преобразуется в прямоугольные импульсы, длительность которых пропорциональна измеряемому времени. Далее эти импульсы триггером и преобразователем средних значений напряжения преобразуются в пропорциональное напряжение постоянного тока. Прообразуются в пропорциональное напряжение постоянного тока. Процесс измерения времени установления осуществляется стробированием компараторов, начиная с момента времени, заведомо превышающего измеряемое (до момента срабатывания одного из компараторов, фиксирующих момент отклонения выходного сигнала ЦАП от заданных значений ±0,5 ЕМР). В конце измерения длительность







Рис. 5.14. Временные днаграммы автоматического измерителя времени установления ЦАП с двойным преобразованием

выходных импульсов триггера / равна длительности переходного процесса измеряемого ЦАП. Эти импульсы с помощью преобразователя средних значений, выполняющего функцию U<sub>вых</sub> =

 $= 1/F_{j}U(t)dt = Kt_{sv}$ , где t — период повторения импульсов; K —

коэффициент пропорциональности, преобразуются в постоянное, про-

порциональное их длительности напряжение. Значение этого напряжения показывает счетно-регистрирующее устройство. Продолжительность времени измерения определяется выбранным числом *N* измерений в каждой стробируемой точке переходного процесса и шагом считывания (сдвига) стробимпульсов  $\Delta t_{s}$  и равна  $t_{x_{3M}} = NTt_{sU}/\Delta t_{s}$ .

Погрешность измерения времени установления в основном определяется разрешающей способностью амплитудного и временного параметров анализатора сигнала. Это, в свою очередь, зависит от амплитуды анализируемого сигнала, чувствительности по времени и по амплитуде компараторов напряжения. Дополнительную погрешность вносит преобразователь длительности выходных импульсов триггера / в постоянное напряжение.

На рис. 5.15, 5.16 приведены структурная схема и временные диаграммы измерштеля времени установления ЦАП, работающего по принципу компарирования выходного сигнала ЦАП с последующим (классическим) цифровым измерением временного интервала [37].

В исходном состоянни на компараторы наряжения KHI - KH3сигналы не подаются и на их выходах устанавливаются уровни лог.0. При этом выход триггера находится в произвольном состоянии. С появлением на входах ЦАП запускающего тестового импульса счетчик переходит в исходное нулевое состояние и начинает подсчет тактовых импульсов. Выходной сигнал ЦАП поступает на входы компараторов, имеющих уровни срабатывания  $U_* < U_{cp} < U_{s}$  соответственно (см. рис. 5.16), которые при превышении амплитуды выходного сигнала ЦАП их уровней срабатывания выдают информацию на формирователи фронтов и срезов импульсов, соединенные со схемами ИЛИ. Система компараторов, формирователей фронтов и срезов, а также схемы ИЛИ вырабатывают



Рис. 5.15. Схема измерителя времени установления ЦАП, работающего компараторным методом

импульсы управления триггером, прекращающие работу счетчика в момент входа выходного сигнала ЦАП в зону заданной точности (см. рис. 5.16). Число импульсов, записанное в счетчике, определяет измеренное время установления ЦАП. Аналогичным образом работают измерители времени установления, описанные в [49-52].

Для измерения времени установления более быстродействующих и высокоразрядных ЦАП, как правило, имеющих осцилляции выходного сигнала, а также разброс выходного тока (из-за разного тока потребления), ранее рассмотренные измерители из-за большой погрешности измерения малопригодны.

На рис. 5.17, 5.18 приведены структурная схема и временные диаграммы тестера, обеспечивающего измерение времени установления 12-разрядных ЦАП, работающих в субмикросекундном диапазоне [53, 163], например ЦАП К594ПА1.



Рис. 5.16. Временные днаграммы измерителя времени установления ЦАП, работающего компараторным методом, при вхождении в зону установления со стороны верхнего (а) и нижнего (б) уровней



Рис. 5.17. Схема измерителя времени установления ЦАП субмикросекундного диапазона



Рис: 5.18. Временные днаграммы, поясняющие принцип действия намерителя времени установления ЦАП субмикросекундного днапазона

Измеритель работает следующим образом. После подключения измеряемого ЦАП и поступления импульса запуска измерения блок управления 17 вырабатывает напряжение на своем четвертом выходе, поступающее на источник питания 8, который одновременно подключает к нзмеряемому ЦАП источник напряжения питания. Блок управления 17 вырабатывает на первом выходе импульс, устанавливающий в нуль счетчик пересчета 27, выходной счетчик 26, счетчик усреднения 11 по N измерениям. На втором выходе блока управления вырабатывается импульс, осуществляющий предварительную установку делителя частоты на 2 в выбрвиное оператором положение. На третьем и пятом выходах блока управления вырабатывается управляющее напряжение, включающее блок измерения опорного уровня 12 и выключающее блок уровней 15, первый триггер 18, второй и пятый элементы И 22 н 23. Этими переключениями обеспечиваются сброс показаний предыдущего измерения и включение режима измерения уровня отсчета. Импульсы запуска генератора запускающих импульсов / делятся по частоте в первом делителе 2 н запускают измеряемый ЦАП 3. Следовательно, выходной ток преобразователя З нэменяется от максимального до мниимального значения. В преобразователе ток — напряжение 4 выходной ток ЦАП 3 преобразуется в напряжение и поступает на первый вход блока сравнения 9. где сравнивается с выходным напряжением первого сумматора 14. Так как при этом блок уровней выключен, то выходное напряжение этого сумматора определяется выходным напряжением ЦАП 13, управляемого выходным кодом блока 12 Кроме того, сигнал генератора запускаюших нипульсов через делитель частоты б, ниеющий тот же коэффициент деления. что и делитель частоты 2, поступает на блок 12 Импульс на выходе делителя частоты б запаздывает по отношению к импульсу на выходе делителя 2 на No периодов частоты повторения генератора 1. Величину No определяет оператор предварительной установкой делителя частоты 2 и может выбирать в пределах 0.... И. где No-коэффициент деления делителей частоты, тем самым менять времениую задержку импульса на выходе второго делителя по отношению к импульсу на выходе первого делителя от 0 до T<sub>n</sub> (T<sub>n</sub> — период повторения запускающих импульсов) Импульсы с выхода второго делителя запускают блок измерения 12 опорного импульса. Информация о конце измерения опорного импульса поступает на первый вход блока управления 17, который снимает напряжение со своего третьего выхода, выключая блок 12 н включая блок 15. На пятом выходе блока 17 появляется

напряжение, включающее второй и пятый элементы И 22 и 23 н снимающее бло кнровку первого триггера 18. Следующий импульс с выхода формирователя кмпульсов 7 опрокидывает первый триггер 18, который, в свою очередь, включает первый, третий и четвертый элементы И 19, 21 н 25. После чего счетные импульсы генератора 16 проходят через третий элемент И 21, второй элемент ИЛИ 28 н поступают на суммирующий счетчик 29 Следующий импульс формирователя возвращает первый триггер в исходное положение, и поступление счетных импульсов на суммирующий счетчик 29 прекращается. Емкость счетчика выбрана такой, что за пернод повторения импульсов формирователя 7 он полностью заполнится.

В первом 14 и втором 10 сумматорах к опорному напряжению добавляются и нз него вычитаются уровни отсчета, -генерируемые в блоке уровней, равные, например, половине младшего разряда. Сигнал выхода преобразователя 4 поступает на входы блоков сравнения 9 и 5, на вторые входы которых подают напряжения, равные уровням отсчета. Когда мгновенное значение снгнала превысит уровень отсчета, поданный на второй вход блока 5, или станет меньше уровня отсчета, поданного на второй вход блока 9, на выходе данных блоков появится импульс Выходной нипульс блока 9, свидетельствующий о выходе уровня сигнала за заданные уровни отсчета, проходит первый элемент И 19. первый элемент ИЛИ 30 н производит сброс суммирующего счетчика 29. Аналогично импульс с выхода блока 5 проходит четвертый элемент И 25, первый элемент ИЛИ 30 н производит сброс суммирующего счетчика 29. Последний сброс суммирующего счетчика производится синхронно с подачей сигнала на последини вход с преобразователя 4 (т. е. выходного сигнала измеряемого ЦАП) в зону между заданными уровнями отсчета. Следовательно, код суммирующего счетчика будет  $m_1 \doteq M - m = (T_n - t_1)/T_{cv}$ , где  $M = T_n/T_{cv} - емкость$ суммирующего счетчика 29;  $T_n$  — период повторения импульсов запуска;  $t_1$  — время последнего входа сигнала в зону между уровнями отсчета, 7 сч — период счетных нмпульсов.

Выходной импульс формирователя импульсов 7, инвертированный в элементе НЕ 20, поступает на четвертый элемент И 25. блокируя сброс суммирующего счетчнка 29 концом исследуемого импульса. Следующий импульс формирователя импульсов проходит через открытый пятый элемент И 23 н переводит второй триггер 24 в другое положение При этом открывается второй элемент И 22 и счетные импульсы генератора 16 начинают поступать на счетчик пересчета 27 н через эторой элемент ИЛИ 28 на вход суммирующего счетчика 29. После поступлення m счетных импульсов на выходе счетчика 29 появляется импульс, возвращающий второй триггер 24 в исходное положение. Второй элемент И 22 закрывается, поступление счетных импульсов прекращается. Код измеряемого времени установления перенесен в счетчик переноса 27. Следующий импульс формирователя 7 опять опрокидывает первый триггер 18, и начинается повторное измерение времени установления. Импульсы формноователя также поступают на счетчик усреднения // по N измерениям. Так как измерение времени установления производится один раз в два периода повторения импульсов запуска, емкость счетчика составляет 2. После N кратного измерения времени установлення (после 2/ периодов импульсов запуска) на выходе счетчика усреднення по N измерениям вырабатывается импульс, поступающий на второй вход блока управления 17 При этом снимается управляющее напряжение с пятого выхода блока управления и измерение прекращается. На нидикаторе выходного счетчика 26 будет индицироваться измеренное время установления исслеауемого ЦАП.

#### Основные технические характеристики тестера

| Днапазон измерения и контроля времени установле-                                       |                      |
|--|----------------------|
| ния, мкс<br>Погрешность нзмерення, %<br>Производительность (без учета контактнрования) | 0,520<br>Не более 10 |
| ИС/ч:  |                      |
| в режиме измерения   | 300                  |
|  | /00                  |

| Частота повторення тестимпульсов, кГц         | 10±0.1       |
|---|--------------|
| Длительность фронта и спяда тестимпульсов, ис | 100200       |
| Амплитуда тестимпульсов, В                    | 2,73,1       |
| Скважность тестимпульсов                      | 1,52,5       |
| Потребляемая мощность, Вт                     | Не более 200 |
| Габаритные размеры базового блока, мм         | 475×480×210  |
| Масса базового блока, кг                      | Не более 25  |
| Размеры пульта управления, мм                 | 65×105×216   |
| Масса пульта управления, кг                   | 2,5          |
|   |              |

Конструктивно тестер состоит из базового измерительного блока, выносного пробника и комплекта контакторов (в том числе комплекта контакторов, расположенных на панели и предназначенных для измерения времени установления в диапазоне температур). В базовом блоке размещены основные узлы измерителя, кроме усилителя-преобразователя. На передней панели базового блока расположены органы управления и индикации, а также разъем для подключения пробника. На задней панели базового блока расположены контактором соединяется с базовым блоком с помощью удлинительного кабеля. На пробнике имеются кнопка ПУСК и световые индикаторы ГОДЕН—БРАК, дублированные с базовым блоком. При проверке динамических параметров ЦАП на панели пробник отсоединяется от подставки и поочередно подключается к разъемам ИС на панели.

Основными факторами, определяющими погрешность измерения времени установления ЦАП, являются: погрешность преобразования выходного тока в напряжение, погрешность определения опорного уровня установки, поддержания и фиксации уровней отсчета, погрешность цифрового измерителя временного интервала.

Сорласно алгоритму работы измерителя абсолютная погрешность измерения времени установления ЦАП может быть описана выражением

$$\Delta t_{SI} = \pm \sqrt{\left(\frac{\sum U_{\text{KTH}}}{S_{\text{TH}}}\right)^2 + \left(\frac{\sum U_{\text{KLAII}}}{S_{\text{LLAII}}}\right)^2 + \left(\frac{t_{\text{CH}}}{\sqrt{12}}\right)^2}$$
(5.1)

где

$$\sum U_{\vec{k}TH} = \sqrt{\gamma_{\Sigma1}^2 + \xi_{\Sigma1}^2 + \varkappa_{\Sigma1}^2 + \theta_{\Sigma1}^2}$$
(5.2)

— среднее квадратнческое значение шумов, дрейфов, амплитудной нелинейности, временной задержки узлов канала тестовых импульсов; γ<sub>Σ1</sub>, ξ<sub>Σ1</sub>, χ<sub>Σ1</sub>, θ<sub>Σ1</sub> — суммарные значения шумов, дрейфов, амплитудной нелинейности, времени задержки в функцнональных узлах канала формирователя импульса начала измерения (источника опорного напряжения, компаратора, делителей, сумматора и т д.)

$$\sum U_{x \text{ un}} = \sqrt{\gamma_{\Sigma 2}^2 + \xi_{\Sigma 2}^2 + x_{\Sigma 2}^2 + \theta_{\Sigma 2}^2}$$
(5.3)

 среднее квадратическое значение шумов, дрейфов, амплитудной нелинейности, временной задержки узлов канала выходного сигнала измеряемого ЦАП  $\Psi^{\bullet}_{D^{\bullet}}$   $\xi_{D^{\bullet}}, \kappa_{E^{\bullet}}, \theta_{D^{\bullet}} - суммарные значения шумов, дрейфов, амплитудной нелинейности, выремени задержки в функциональных каналах формирования импульса конца измерения (источника опорного напряжения, компаратора, делителей, сумматора, преобр. азователя-усилителя, выходного тока, измеряемого ЦАП, вспомогательного ЦАП и т. а.); <math>I_{er}$  - период счетных импульсов;  $S_{m}$  - крутизна тестовых импульсов бы точке сравнения;  $S_{LA\Pi}$  - крутизна выходного сигнала ЦАП в точке сравнения;  $S_{LA\Pi}$  - крутизна выходного сигнала ЦАП в точке сравнения;  $S_{LA\Pi}$  - измеряемая величина времени установления;  $\Delta I_{SI} \approx \infty 0.04 I_{ass} + A/I_{ass} + 1$  ед счета, где A - коэффициент, харажтернзующий временые нестабильности тестера.

#### 5.4.2. ИЗМЕРИТЕЛИ ВРЕМЕНИ УСТАНОВЛЕНИЯ ЦАП. РАБОТАЮЩИЕ В ТРАНСФОРМАТОРНОМ МАСШТАБЕ ВРЕМЕНИ

Основным недостатком ранее приведенных измерителей динамичоеских параметров ЦАП является ограниченный диапазон измеряемюго времени установления со стороны малых времен. Для измероения динамических параметров ЦАП в нано- и субнаносекундном динапазонах необходимо использовать методы измерения, основанные на линейной трансформации временного масштаба.

На рис. 5.19 приведена обобщенная структурная схема измерення впремени установления ЦАП с линейной трансформацией временноого масштаба. В ней выходной сигнал ЦАП непосредственно поступатет на вход стробпреобразователя. Полоса пропускания современных стробоскопических преобразователей достигает единиц гигагеерц и более, в результате чего минимальное измеряемое время может быть достаточно малым (единицы и доли наносекунд). Учитываяя, что коэффициент трансформации стробоскопических преобразователей может быть достаточно большим (тысячи раз), полоса преобразованного сигнала получается достаточно узкая и обработка сигнала не представляет трудностей.

Методы и параметры измерителей времени установления и другнах динамических параметров ЦАП (и АЦП), работающих в трансформированном масштабе времени, во многом зависят от параметров ис:пользуемого стробоскопического преобразователя и последующего из мерителя временных параметров.



Рнас. 5.19. Обобщенная схема измерения времени установления ЦАП с линейной трансформацией временного масштаба



Рис. 5.20. Структурная схема измерителя динамических параметров быстродействующих 8-разрядных ЦАП

На рис. 5.20, 5.21 приведены структурная схема и временные диаграммы измернтеля динамических параметров 8-разрядных быстродействующих ЦАП, работающего на принципе стробоскопического преобразования временного масштаба измеряемых времен с последующей инфровой обработкой информации [53—56]. Для преобразования временного масштаба используется специализированный стробоскопический преобразователь (СП), работающий в режиме пикового детектирования и формирования шага считывания с по мощью двух кварцевых генераторов (подробное описание и анализ работы СП приведены в г.1. 7)

Выходные импульсы кварцевых геператоров запускают соответственно формирователи тест- и стробимпульсов, которые, в свою очередь, поступают на входы измеряемого ЦАП и стробпреобразователей СПІ—СПЗ (СП2 и СЛЗ подключены к прямому и инвертированному выходам измеряемого ЦАП) Выходные усиленные сигналы от СПІ—СПЗ подаются на схему коррекции формирующую сигналы «СТАРТ» для измерения времени задержки распространения Ip и сигналы «СТОП» для измерения времени установления (Str. Сигналы «СТАРТ» и «СТОП» поступают





.

яа схему управления. При измерении времени задержки распространения сигналы «СТАРТ» и «СТОП» далее попадают на схем∨ счетчика, где производится цифровое измерение t<sub>p</sub>.

При намерении времени установления сигнал с выхода СП2 (СП3) подается на схему автоматической регулировки усиления (АРУ). Амплитуда импульса на выходе схемы АРУ становится равной требуемой величине. При этом независимо от амплитуды импульса на выходе ЦАП амплитуда сигнала на входе схемы компаратора будет одинаковая, а уровни отсчета, устанавливаемые в схеме компаратора, будут востоянные.

Уровни отсчета в схеме компаратора выбираются из условий  $U_{y1} = U_{smax} + U_y^{1}$  и  $U_{y2} = U_{nmax} - U_y^{1}$ , где —  $U_{nmax} - максимальная величина вспомогательного$  $напряжения; <math>U_y^{1}$  — уровни отсчета, равные, например,  $\pm 0.5$  ЕМР. Когда мгновенное уровня отсчета (рис. 5.21, 6), схема компаратора генерирует сигнал «СТАРТ»  $t_{ar}$ . Данный сигнал оступает на схему управления, и в Схеме счетчика начинается намерение времени установления. Импульс «СТОП»  $t_{sp}$  на выходе схемы коррекции останавливает измерение. В схеме счетчика хранится значение  $t_s'$ . Далее востоянное напряжение уменьшается на определениую величину и измеренных величика востоянное напряжение уменьшается на определениую величину и измеренных величик преи напряжении  $U_n$ , равном амплитуде измеряемого импульса  $U_a$ , измеренные величика запомненная величина будет опять возрастать (рис. 5.21, e). Таким образом, запомненная в памяти схемы счетчика наименьшая измеренная величина  $t_{smin}$  и будет измеряемы временем  $t_{SU}$ . Это позволяет отказаться от измерения амплитуды измерямого импульса. С выхода схемы счетчика двончно-десятичные кодовые сигналы поступают на блок индикации и схемы тестирования, t оценивается результат измерения по заданному программным устройством коду. Результат оценки поступает и индицируется световым табло ГОДЕН — БРАК.

Схема режима измерения предназначена для управления алгоритмом измерения и установки ручного, полуавтоматического или автоматического режима. Схема испытательных сигналов предусмотрена для имитации измеряемых сигналов в трансформированном масштабе времени и используется для настройки и проверки тестера в процессе эксплуатации. Схема защиты ЦАП предусмотрена для защиты измеряемой ИС от перенапряжения по цепи источника питания.

В тестере имеется программное устройство, выполненное в виде переключателя с формирователем двоично-десятичного кода, которое позволяет задавать нормы разбраковки проверяемого ЦАП в диапазоне 0 50 нс с дискретностью 0,01 нс.

Проверка всего измерительного тракта осуществляется суммированием выходного сигнала ЦАП и короткого импульса с калиброванной задержкой. Для этого используются встроенные схемы эталонных интервалов времени. Калибровка измерительного тракта преобразованного сигнала проводится с помощью испытательных сигналов, получаемых от кварцевых генераторов.

Данный способ измерения дает возможность исключить дополнительно погрешности измерения из-за появления на плоской части преобразованного измеряемого импульса различных неравномерностей, вызванных пролезанием импульсов управления через паразитные емкости корпуса ЦАП или контактора, наводок, величина которых меньше 0,5 ЕМР.

#### Основные технические характеристики тестера

| Днапазон измеряемых времен, ис                                   | 250  |
|--|--|
| Днапазон уровня отсчета, ЕМР                                     | ±4   |
| Частота повторения тестимпульсов, Міц                            | 5  |
| Разрядность измеряемого ЦАП                                      | 0  |
| Динамический, диапазон измеряемых сигналов, В                    | ±1,5   |
| Погрешность измерения, %   | Не более 10  |
| Нестабильность временной шкалы измерителя, %                     | Не более ±2  |
| Входное сопротниление. Ом  | 50   |
| Производительность (без учета контактирования).                  |  |
| HC/u   | 300  |
| Режим измерения  | Ручной, полува-<br>томатический,<br>автоматический |
| Macca, Kr  | 20   |
| Габаритные размеры базового блока, мм                            | 490×480×220  |
| , Габаритные размеры пульта управления, мм<br>Напряжение питакия | 320×300×60<br>220; 50 Гц                           |
| Потребляемая мощность, Вт  | Не более 200                                       |

Конструктивно тестер состоит из базового блока и выносного пульта управления. Базовый блок выполнен в корпусе типа «Надел», в котором размещены печатные платы измерителя и источники питания. На передней панели базового блока расположены органы управления и индикации, используемые при измерении, а также розетка для соединения базового блока с пультом управления, на задней панели — контрольные гнезда и органы управления для проверки тестера. Выносной пульт управления выполнен в нестандартном корпусе и соединен с базовым блоком гибким кабелем длиной около I м. В пульте управления и индикации, дублированные с одноименными органами базового блока, а также, контактор для подключения проверяемой ИС.

Основными факторами, определяющими погрешности измерения времени задержки распространения и времени установления, являются погрешности стробоскопического преобразователя, схемы формирования уровней отсчета и систематическая погрешность цифрового метода измерения.

Суммарная погрешность измерения времени задержки распространения

$$\delta t_{p} = \pm \sqrt{\delta_{xB}^{2} + \delta_{C\Pi}^{2} + \delta_{\omega}^{2}} + \delta_{nx} + \delta_{uw} + \delta_{uw}.$$
(5.4)

где  $\delta^{e}_{eB} = 2U\delta_n/St_{Pn}$  — относительная погрешность. вносимая неточностью установки уровней отсчета. U — амплитуда измеряемого импульса на входе; S — средняя крутна на измеряемых сигналов.  $t_{Pn}$  — ожидаемое номинальное значение времени задержки распространения;  $\delta_{CII}$  — относительная погрешность, вносимая CII;  $\delta_{uu}$  — относигельная погрешность, вносимая схемой цифрового отсчета,  $\delta_{nx}$  — погрешность, вносимая конечным временем нарастания переходной характеристики сгробпреобразователей;  $\delta_n$  — погрешность, вносимая нелинейностью амплитудной характеристики тестера,  $\delta_{bw}$  — относительная погрешность, вносимая внутренийми шумами тестера

Под действием конечного времени установления переходной характеристики длительность фронтов измеряемых импульсов увеличивается. Согласно [57] имеем что, если время нарастания в 5 раз меньше длительности фронтов измеряемых импульсов, погрешность измерения не превышает 1...2%. При измерения времени задержки распространения данная погрешность значительно меньше (она возникает только из-за неидентичности СП1—СП3 и разных длительностей фронтов измеряемых импульсов) и в тестере не превышает 0.5...1%.

Под действием амплитудных нелинейностей СП и схемы коррекции уровни отсчета могут сдвинуться и возникнуть погрешности измерения времени задержки расвространения. Данная погрешность возникает только при различных значениях длительности фронтов измеряемых импульсов или различных характерах амплитудвой нелинейности в каналах тестера. Практически реальная величина этой погрешности сравнительно малая, и ею можно пренебречь.

Под действием внутренних шумов возникают случайные погрешности измерения времени задержки распространения:

$$\delta_{\rm m} = \sqrt{\bar{U}_{\rm m}^2} / St_{\rm pH},$$
 (5.5)

где  $\widetilde{U}_u^{\mu}$  — среднее значение шумового напряжения внутренних шумов тестера. При измерении осуществляется многократное усреднение результатов и погрешность, вносимая внутренними\_шумами, практически исключается.

Случайная погрешность временной нестабильности коэффициента трансформакии временного масштвба (нестабильность временной шкалы) определяется нестабильностью разностной частоты кварцевых генераторов

$$\delta_{C\Pi} = 2\delta F_1 + \delta(\Delta F), \qquad (5.6)$$

где  $\delta F_i$  — относительная нестабильность частоты кварцевых генераторов;  $\delta(\Delta F) = K_{\delta}(\delta F_i)F_i/\Delta F$  — нестабильность разностной частоты кварцевых генераторов;  $K_B \leq 1 - \kappa \cos \phi$ фициент влияния, учитывающий, что кварцевые генераторы маходятся примерно в одинаковых температурных условиях, подключены к одному всточнику питания и в них использованы кварцевые резонаторы одного типа.

Погрешность бы при использовании импульсов от кварцевого генератора

$$\delta_{\mu H} = 100/qt_{pH}F_{c}$$
, (5.7)

гле F<sub>c</sub> — частота повторения счетных импульсов. Тогда согласно (5.4) и (5.7) лолучаем

$$\delta t_{p} = \pm \sqrt{\left(2 \frac{U\delta_{n}}{St_{pn}}\right)^{2} + \left(2\delta F_{\tau}\right)^{2} + \left(\frac{K_{n}F_{\tau}\delta F_{\tau}}{\Delta F}\right)^{2} + \left(2\sqrt{\frac{U_{u}^{2}}{St_{pn}}}\right)^{2} + \left(\frac{100}{qt_{pn}E_{\tau}}\right)^{2} + \delta_{nn}^{2}.$$
(6.8)

В погрешность измерения времени установления дополнительно влодит методическая погрешность измерения, причиной которой является способ измерения.

Суммарная относительная погрешность измерения времени установления

$$\delta t_{SU} = \pm \sqrt{\delta_{uu}^2 + \delta_{cu}^2 + \delta_{uu}^2 + \delta_{uu}^2 + \delta_{uu}^2 + \delta_{nu}^2 + \delta_{nu}^2 + \delta_{nu}^2 + \delta_{nu}^2}, \qquad (5.9)$$

гле  $\delta_n = \pm \delta_n^2 + \delta_n^2 + \delta_n^2 - относительная методическая погрешность измерения;$  $<math>\delta_{nn}$  — относительная погрешность определения времени путем выбора минимального влачения  $I_{SU}$ ;  $\delta_n$  — относительная погрешность измерения  $I_{SU}$ , вызванная погрешпостью уровней отсчета;  $\delta_n$  — относительная погрешность, вызванная искажениями формы сигнала в стробоскопическом преобразователе.

Проведенные расчеты и экспериментальные исследования показали, что в случае осциллирующего процесса установления выходного сигнала ЦАП амплитуд-

287

ная погрешность уровней отсчета практически не влияет на результат измерения величины  $l_{SU}$ , так как  $S_k \Delta U/U_c K_{cn} K_c \ll U_n - U_{n-1}$ , гле  $K_k -$  чувствительность компаратора, установленного в схеме компаратора;  $\Delta U$  — абсолютная погрешность поддержания амплитуды выходного сигнала ЦАП в схеме АРУ;  $U_c$  — амплитуда выходного сигнала ЦАП;  $K_{CII}$  и  $K_c$  — коэффициенты передачи стробоскопического преобразователя и системы АРУ соответственно;  $U_n$ ,  $U_{n-1}$  — амплитуды двух соседних осцилляций на измеряемом сигнале.

Предложенный способ позволяет отказаться от точного измерения амплитуды импульса, так как производится нормализация амплитуды каждого измеряемого ямпульса. Это исключает погрешности измерения времсни установления, вызванные меравномерностями и искажениями плоской части импульса.

Таким образом,  $\delta_x = \pm 100/4 F_n t_{SH}$ , где  $F_n$  – частота осцилляции выходного сигнала ЦАП;  $t_{SH}$  — ожидаемое значение параметра  $t_{SU}$ .

Погрешности, вызванные конечным временем установления переходной характеристики и нелинейностью амплитудной характеристики, аналогичны погрешностям, возникающим при измерении времени задержки распространения.

Согласно указанному выше имеем

$$\delta t_{SU} = \pm \sqrt{\left(\frac{U\delta_{H}}{St_{PH}}\right)^{2} \left(2\delta F_{\tau}\right)^{2} + \left(\frac{K_{B}F_{\tau}\delta F_{\tau}}{\Delta F}\right)^{2} + \dots}$$

$$\cdots + \left(\frac{\sqrt{U_{w}^{2}}}{St_{\rho H}}\right)^{2} + \left(\frac{100}{4F_{n}t_{SH}}\right)^{2} + \left(\frac{100}{qt_{SH}F_{S}}\right)^{2} + \delta_{nx}^{2} + \delta_{H}^{2}$$
(5.10)

Проведенные теоретическое и экспериментальное исследования измерителей динамических параметров показывают, что основными факторами, ограничивающими разрядность проверяемых ЦАП, являются шумы, помехи и дрейф стробоскопического преобразователя, искажения формы выходного сигнала. Для измерения времени установления 10-разрядных (и более) ЦАП, имеющих наносекундные времена установления, необходимо использовать специализированиые СП и определенную структуру построения измерителя (см. гл. 7).

На рис. 5.22, а приведена структурная схема лабораторного измерителя времени установления ЦАП на 10...12 разрядов в субнаносекундном диапазоне времен [165]. Трансформация временного масштаба выходного сигнала ЦАП осуществляется аналогичным способом (использована та же система формирования шага считывания). На вход проверяемого ЦАП подается сигнал запуска от формирователя тестовых импульсов, связанного с кварцевым генератором 1. Выходные сигналы прямого и инверсного выходов ЦАП поступают на смесители / и 2. Выходные импульсы кварцевого генератора 2 запускают формирователи стробимпульсов І и 2 и поступают на стробирующие входы смесителей. На выходе стробпреобразователей получаем выходной сигнал ЦАП, преобразованный во временном масштабе и усиленный предварительным усилителем. После усиления выходной сигнал смесителя 2 поступает на инвертирующий усилитель. С выхода переключателя / сигнал поступает на усилитель с регулируемым усилением, причем амплитуда сигнала на выходе усилителя устанавливается нормализованной




 $t_{SU}^{0}$  н,  $t_{SU}^{*}$  — время установления выходного уровня ЦАП от  $U_{2}^{0}$  + UEMP до  $U_{1}^{1} \pm U$ EMP к  $U_{2}^{0} - U$ EMP до  $U_{3}^{0} \pm U$ EMP – (постоянной). Это дает возможность упростить схему измерения, т. е. уровни отсчета времени установления всегда поддерживать постоянной величины. При этом отпадает необходимость при каждом изменении фиксировать амплитуду сигнала и выставлять новые уровни отсчета.

Временные диаграммы измерения рис. 5.22.6. приведены на Импульсы с нормализованной амплитудой поступают на усилителиограничители. В усилителе-ограничителе / усиливается установившееся значение (часть сигнала по верхнему уровню) при **в**ключенном ЦАП, в усилителе ограничителе 2— при выключенном ЦАП. Кроме того, изменением пределов ограничения изменяется и уровень выходного сигнала. Выходные сигналы усилителей-ограничителей поступают на входы двух схем сравнения, в которых сравни-Ваются уровни сигналов с выставленными уровнями отсчета. В мо-10-499

мент настройки на экране осциллографа сначала с помощью регулируемого усилителя выставляется требуемое значение выходного импульса, после этого путем регулирования уровней ограничения производится установка опорных уровней. Для этого на входы схем сравнения подаются постоянные напряжения. На экране осциллографа с помощью яркостной модуляции наблюдаются уровни включения блоков сравнения. Регулированием уровней ограничения усилителей ограничителей моменты срабатывания схем сравнения совмещаются с установившимся значением импульса (при включенном и выключенном ЦАП). Цифровой измеритель позволяет более точно измерить требуемый параметр.

### Основные параметры измерителя

| Полоса пропускания, ГГи<br>Коэффициент трансформации                     | 2.75<br>10 000  |
|--|-----------------|
| Частота повторения тестимпульсов ЦАП, МГЦ.                               | 1               |
| 12-разрядного  | 0,5             |
| Погрешность измерения, %   | Не более 1520   |
| Эквивалентное напряжение шумов, приведенных ко                           |                 |
| входу СП, мкВ  | Не более 400500 |
| Частота повторення преобразованного сигнала. Гц Производительность. ИС/ч | 50              |

Конструктивно измеритель состоит из базового блока, сменных адаптеров, предназначенных для измерения 10- и 12-разрядных ЦАП, а также стандартного низкочастотного осциллографа. Базовый блок выполнен в корпусе типа «Надел», в котором размещены источники питания и цифровая часть схемы измерителя. На передней панели базового блока расположены органы управления, коммутации и индикации. Адаптеры, сделанные в виде отдельных блоков, с базовым блоком соединяются с помощью низкочастотных разъемов. В них размещены стробоскопические преобразователи, контактирующая головка и аналоговая часть схемы измерителя с выведенными ручками управления и регулирования.

### 5.5. СХЕМЫ ВКЛЮЧЕНИЯ ЦАП К594ПА1, К1118ПА1, К1118ПА2, К1118ПА3, К1118ПА4 ПРИ ИЗМЕРЕНИИ ВРЕМЕНИ УСТАНОВЛЕНИЯ И ОСОБЕННОСТИ ИХ КОНСТРУКТИВНОГО ИСПОЛНЕНИЯ

Независимо от типа и структуры используемого для измерения времени установления тестера или измерителя очень важным фактором, влияющим на результат измерения, является схема подключения измеряемой ИС к измерителю. Особое влияние на результаты измерения времени установления быстродействующих и сверхбыстродействующих ЦАП имеет конструктивное исполнение узлов подялючения: контактирующего устройства, шин нулевого потен-



Рис 5.23 Схема включения (а) и временные диаграммы измерений t<sub>S1</sub> (б) ИС К594 ПА1:

параметры тестимпульсов ачинит дн 3 8+10% время спада 400. 200 нс частота повторения 5 50 кГш скважность 2±25%

циала (корпуса), шунтирующих и развязывающих конденсаторов нагрузочных резисторов и т. д.

На рис. 5.23 приведены схема включения ЦАП К594ПА1 и временные диаграммы измерения времени установления тока. Измерения осуществляются с помощью тестера, структурная схема которого приведена на рис. 5.17. При измерении непосредственно к выходу измеряемого ЦАП (геометрическая длина между выводом корпуса ИС и точкой подключения преобразователя-усилителя должна быть минимальной и не превышать 50...60 мм) подключается преобразователь-усилитель. Он преобразует выходной ток измеряемого ЦАП в напряжение. Все источники питания ИС шунтируются малоиндуктивными конденсаторами.

На рис. 5.24—5.27 приведены схемы включения и временные диаграммы измерения динамических параметров ЦАП К1118ПА1, К1118ПА3, К1118ПА4, а на рис. 5.28—5.29—ЦАП К1118ПА2

Во многом время установления ЦАП этого типа определяет геометрическая длина проводника от вывода корпуса ИС до точки подключения измерителя и нагрузки. Наиболее чувствительной является ИС К1118ПА1. Незначительное геометрическое расстояние между измерителем и нагрузочным резистором ИС (десятки миллиметров) приводит к колебательному характеру процесса выходного сигнала ЦАП, а величина времени установления ЦАП возрастает и может значительно превышать истинное ее значение. Для устранения этого резистор нагрузки и измеритель временных интервалов (стробоскопический преобразователь) размещаются непосред ственно на выводах измеряемого ЦАП. Если время установления ЦАП проверяется по всем выходам, необходимо испотьзовать мно-

10"



Рис. 5.24. Схема включения ИС К1118ПА1 при измерении динамических параметров



Рис. 5.25. Схема включения ИС КПП8ПАЗ при измерении динамических параметров



Рис. 5.26 Схема включения ИС КПТ8ПА4 при измерении динамических параметров



Рис 5.27 Временные днаграммы измерения динамических параметров ИС КІІІВПАІ, КІІІВПАЗ, КІІІВПА4 Параметры тестимпульсов амплитуда 0.8 В для тельмость импульса и парзы раздельно на челее 30 кс частота следования импульсов не более 19 МГи, длительность фрокта и среда импульсов ис более 4 нс Рис 5.28. Временные диаграммы измерения динамических параметров ИС К1118ПА2

Параметры тестимпульсов основных вкодов и входа с вмплитуда 0.8 ± 10%, длительность не менее 200 ис. длительность фронта и среза ин более 5 ис. частота повторения не более 5 МГц. время задержки основных импульсов относительно вкода С не ченее 20 ис



Рис. 5.29 Схема подключения ИС КПП8ПА2 при измерении динамических яараметров

гоканальные измерители временных интервалов, так как непосред ственная коммутация выходных сигналов ЦАП из-за больших паразитных индуктивностей и габаритных размеров коммутаторов практически невозможна. Используемые для развязки источников питания конденсаторы должны быть безвыводного типа, для чего под каждый тип ИС разрабатывается индивидуальная плата подключе ния контактирующей головки, источников питания и измерителя. Для устранения дополнительных наводок и шумов свободные выводы корпуса ИС заземляются. Токонесущие части адаптерной платы и контактора покрываются золотом или серебром

### Глава 6.

### МЕТОДЫ И АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ СТАТИЧЕСКИХ И ДИНАМИЧЕСКИХ ПАРАМЕТРОВ МИКРОСХЕМ АЦП

### 6.1. МЕТОДЫ ИЗМЕРЕНИЯ СТАТИЧЕСКИХ ПАРАМЕТРОВ АЦП

Если для ЦАП каждому цифровому коду соответствует одно дискретное значение выходного сигнала и трудность контроля параметров сволится только к обеспечению высокой точности измерения этого сигнала, то для АЦП каждому цифровому коду соответствует некоторый диапазон значений аналогового сигнала, в результате чего необходимо определить уровень квантования. Учитывая, что большинство АЦП имеет значительную зону неопределенности уровня квантования, задача еще более усложняется. В одних случаях эта зона определяется внутренними свойствами самой микросхемы, например прохождением тактирующего сигнала во входные цепи, в других — это результат влияния внешней помехи, меры защиты от которой не всегда дают требуемый эффект В большинстве случаев для определения параметров ХП АЦП используются статистические методы.

Рассмотренные здесь методы измерения параметров ХП АЦП могут быть использованы для большинства типов АЦП. Однако необходимо отметить, что все приведенные рассуждения касаются АЦП параллельного действия и на некоторые другие типы АЦП могут не распространяться.

Аналогично ЦАП кроме параметров ХП АЦП характеризуются рядом других параметров, определяющих их энергетические свойства, контроль которых производится известными методами и в данной книге подробно не рассматривается.

### 6.11 ОПРЕДЕЛЕНИЕ ПАРАМЕТРОВ ХАРАКТЕРИСТИКИ ПРЕОБРАЗОВАНИЯ С ПОМОЩЬЮ ОПОРНОГО ЦАП

Наиболее простым способом определения параметров ХП АЦП является использование опорного ЦАП, имеющего незначительную нелинейность и такое же число разрядов, как и измеряемый АЦП (рис. 6.1). Для этого вход измеряемого АЦП соединяется с выходом ЦАП, имеющим такую же ХП. При последовательном изменения кода ЦАП контролируется его совпадение с выходным кодом АЦП. По разности кодов в отдельных точках ХП можно судить об основных параметрах АЦП. Недостатком метода является низкая разрешающая способность, так как определить действительное значение уровня квантования в пределах единицы младшего раз:



ряда невозможно. Этот метод применяется только для ориентировочной оценки работоспособности АЦП.

Для повышения разрешающей способности необходимо использовать ЦАП, число разрядов которого больше, чем АЦП (рис. 6.2)

начальный момент первый и второй счетчики импульсов установлены в нуль, а третий — в единицу. После запуска генератора первый и второй счетчики подсчитывают число поступающих импульсов, что приводит к изменению выходных напряжений опорного и вспомогательного ЦАП. Число разрядов опорного ЦАП на 4-6 больше числа разрядов измеряемого АЦП, поэтому на входе АЦП напряжение меняется относительно плавно. За каждый период сигнала измеряемый АЦП должен производить не менее одного преобразования. После некоторого числа импульсов напряжение опорного ЦАП станет равным первому уровню квантования измеряемого АЦП и на его выходе появится код, равный значению кода третьего счетчика. В этот момент цифровой компаратор выдает сигнал А = В, по которому генерация импульсов прекращается. Число импульсов, зафиксированное в данный момент вторым счетчиком, пропорционально напряжению смещения нуля. Затем второй третий — увеличивает счетчик нуль, свой устанавливается В а код на единицу При этом выходной сигнал цифрового компаратора А = В запускает генератор. После определенного числа импульсов напояжение опорного ЦАП станет равным второму уровню квантования и коды на входах цифрового компаратора опять совпадут, что вызовет прекращение генерации. Число импульсов, зафиксированное в данный момент вторым счетчиком, пропорционально ступени квантования, а отклонение его от номинального значения дифференциальной нелинейности. С помощью вспомогательного ЦАП это число преобразуется в напряжение, и компараторами проверяется, находится ли оно в допустимых пределах. Результат проверки передается во второе индикаторное устройство. В дальнейшем процесс повторяется до окончания проверки всех возмож ных кодовых комбинаций или останавливается при такой комбина ции, которая у измеряемого АЦП отсутствует, т. е. фиксируется отсутствие кода, значение которого отображается первым индика торным устройством.

Таким образом, по окончании цикла работы устройства будут проверены дифференциальная нелинейность и отсутствие пропуска кодов.

Если предположить, что  $n_0$  — число импульсов, зафиксированное вторым счетчиком во время первого такта работы, т е до появления первого заданного кода,  $n_1$  — число импульсов второго такта,  $n_2$  — третьего такта и т. д., N — число возможных значений кода измеряемого АЦП, то дифференциальная нелинейность [EMP] в *i*-й точке ХП

$$\delta_{LDi} = (n_i - \bar{n})/\bar{n}$$
, the  $\bar{n} = \left(\sum_{i=1}^{N-1} n_i\right)/(N-1)$ 

Если опорный ЦАП имеет значительно меньшую нелинейность, чем измеряемый АЦП, то по данному методу возможно определить и нелинейность. Для этого необходимо зафиксировать результаты подсчета импульсов первого счетчика в моменты появления нового кода на выходе измеряемого АЦП и произвести соответствующий расчет. Легко заметить, что первый и второй счетчики подсчитывают одны и те же импульсы. Отличие заключается в том, что второй счетчик ведет счет в пределах ступени квантования. Результат первого счетчика всегда можно рассчитать путем суммирования результатов второго, соответствующих предыдущим ступеням кван тования. Поэтому на ЭВМ достаточно передавать только результаты второго счетчика. При наличии ЭВМ вспомогательный ЦАП, компа раторы напряжения и второе индикаторное устройство могут отсут ствовать. Необходимо отметить, что при этом может быть дости гнуто большее быстродействие системы в режиме ГОДЕН-БРАК (только для оценки дифференциальной нелинейности)

Нелинейность [ЕМР] может быть рассчитана по формуле

$$\delta_{Lk} = \left(\sum_{i=1}^{k} n_i - k\bar{n} - n_0\right)/\bar{n}$$

Данная формула соответствует аппроксимации характеристики пре

образовання по конечным точкам и оценке отклонения от прямой линии средних точек ступеней квантования.

Устройство отличается простотой и высоким быстродействием, особенно если не требуется проверка нелинейности, поэтому может быть рекомендовано, например, для проверки функционирования на пластинах.

Недостаток устройства в том, что погрешность определения уровня квантования может быть значительной, если измеряемый АЦП имеет растянутую зону неопределенности этого уровня. Для устранения этого недостатка необходимо повысить частоту преобразования измеряемого АЦП. Для этого каждый импульс генератора и тем самым каждый уровень входного сигнала подвергаются многократному преобразованию. По частоте появления сигнала A = B, измеряемого частотомером, подключенным к выходу цифрового компаратора, можно судить о вероятности появления заданного кода при входном сигнале, соответствующем очередной стуленьке ЦАП. Если запретить прохождение сигнала A = B от цифрового компаратора в следующие блоки до тех пор, пока частота появлення этого сигнала не станет равной половине частоты преобразования, точность устройства значительно повысится. Найденное таким образом значение уровня квантования будет соответствовать действительному уровню квантования — значению входного напряжения, при котором вероятность появления заданного и предшествующего кодов равна.

### 6.1.2. ОПРЕДЕЛЕНИЕ УРОВНЯ КВАНТОВАНИЯ С ИСПОЛЬЗОВАНИЕМ ИНТЕГРАТОРА

На рис. 6.3 приведена структурная схема устройства для определения параметров ХП АЦП с автоматическим поиском и поддержаннем входного сигнала при равной вероятности появления заданного и предшествующего кодов. Устройство работает следующим образом. Генератор кода по команде ЭВМ устанавливает код. для которого необходимо определить уровень квантования. Цифровой компаратор сравнивает текущий выходной код АЦП и код. установленный на выходе генератора. Если значение выходного кода АШП меньше установленного, цифровой компаратор выдает сигная А < В, по которому управляющее устройство приводит ключ в положение, увеличивающее входной сигнал. Наоборот, если значение выходного кода АЦП равно или больше установленного, входной сигная будет уменьшаться. Таким образом, напряжение на входе АЦП будет изменяться по пилообразному закону со случайной амплитудой переменной составляющей, но не превышающей значения, соответствующего зоне неопределенности уровня квантования. С помощью интегрирующего измерительного прибора определяется среднее значение этого напряжения, которое соответствует равновероятностному появлению заданного или предшествующего кода. Это значение передается в ЭВМ, которая после накопления данных о напряжениях всех уровней квантования производит расчет параметров ХП.

Для обеспечения приемлемой точности устройства интегрирующнй измерительный прибор должен иметь нелинейность на порядок меньше нелинейности измеряемого АЦП, а изменение напряжения на аходе измеряемого АЦП в течение одного цикла преобразования не должно превышать 0,1 ЕМР.

Достоянство данного устройства — возможность оперативно контролировать любой уровень квантования, что очень удобно при исследовании параметров стабильности, а также при функциональной настройке, регулировке иапряжения смещения нуля или коэффициента преобразования.

### 6.1.3. ОПРЕДЕЛЕНИЕ ПАРАМЕТРОВ ХАРАКТЕРИСТИКИ ПРЕОБРАЗОВАНИЯ ПО РЕЗУЛЬТАТАМ НАКОПЛЕНИЯ ДАННЫХ ПРЕОБРАЗОВАНИЯ ЛИНЕЙНО ИЗМЕНЯЮЩЕГОСЯ СИГНАЛА

Если на вход АЦП подать линейно изменяющееся напряжение и со стабильной частотой производить преобразование, то число появлений какого-либо кода будет пропорционально действительной ступени квантования в этой точке ХП. Фиксируя при этом число появлений каждого из возможных значений выходного кода, можно вычислять нелинейность и дифференциальную нелинейность измеряемого АЦП. Точность данного метода определяется линейностью изменения входного напряжения и стабильностью частоты преобразования. Обеспечение этих условий не является трудновыполнимой задачей, что позволяет использовать этот метод и для измерения ХП прецизионных АЦП.



Рис. 6.3. Схема измерения ХП с Рис. 6.4. Схема измерения ХП с линейинфровой обратной связью мым генерэтором

Устройство, реализующее описанный метод, может быть выполнено по структурной схеме, показанной на рис. 6.4. Имеющийся в нем блок сравнения предназначен для привязки характеристики преобразования к конкретным значениям напряжения и выдает сигналы в моменты достижения нарастающим напряжением значений  $U_1$  и  $U_2$ . ЭВМ фиксирует число преобразований до появления этих сигналов, а также подсчитывает число появлений каждого возможного кода. Значения напряжений  $U_1$  и  $U_2$  должны находиться в диапазоне изменений линейно нарастающего напряжения, но их разпость, для повышения точности, должна быть максимально возможной. По окончании цикла работы действительное значение по формуле

$$U_{i} = [(U_{2} - U_{1})/(Q_{2} - Q_{1})] \Big( \sum_{k=0}^{i=1} P_{k} - Q_{1} \Big) + U_{1}$$

где Q<sub>1</sub>, Q<sub>2</sub> — число преобразований до появления сигналов о равенстве нарастающего напряжения значениям U<sub>1</sub> и U<sub>2</sub>; P<sub>k</sub> — число появлений кода k.

### 6.2. АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ СТАТИЧЕСКИХ ПАРАМЕТРОВ АЦП

### 6.2.1 ИЗМЕРЕНИЕ СТАТИЧЕСКИХ ПАРАМЕТРОВ АЦП К1107

Параметры характеристики преобразования АЦП К1107 измеряются по методу, изложенному в п. 6.1.2. Используется соответствующий тестер, в котором применен цифровой универсальный измерительный прибор (ЦУИП), подключенный к ЭВМ с помощью интерфейса. Для контроля микросхем, диапазон входного напряжения которых — 2...0 В, применено смещение шкалы цифрового прибора в диапазоне измерения 1,6 В, что позволяет перекрывать диапазон входного напряжения с повышенной разрешающей способностью. С аналогичной целью в диапазоне входного напряжения — 2.5 В ЦУИП подключается через делитель 1:2.

Определение параметров XП начинается с измерения напряжений всех уровней квантования и запоминания их значений в памяти ЭВМ. Непосредственно по этим данным вычисляется дифференциальная нелинейность. Далее по значениям двух соседних уровней квантования вычисляется среднее значение ступени квантования k-го кода  $U_{k,cp} = (U_i + U_{i+1})/2$ , которое используется для расчета нелинейности, напряжения смещения нуля и коэффициента преобразования.

Нелинейность ИС К1107ПВ1 [ЕМР] оценивается относительно прямой, соединяющей начальную и конечную точки ХП, поэтому

для k-го кода  $\delta_{Lk} = [U_{kcp} - U_{1cp} - (k-1)\tilde{h}]/\tilde{h}$ . Для остальных ИС данной серии нелинейность оценивается относительно прямой, аппроксимирующей ХП по методу наименьших квадратов y = Ax + B, где A — коэффициент, характеризующий напряжение смещения нуля; B — коэффициент преобразования:

$$A = \left\{ \left[ \left( \sum_{k=1}^{N} k \sum_{k=1}^{N} U_{kcp} \right) / N \right] - \sum_{k=1}^{N} k U_{kcp} \right\} / \left\{ \left[ \left( \sum_{k=1}^{N} k \right)^{2} / N \right] - \sum_{k=1}^{N} k^{2} \right\}, \\B = \left[ \left( \sum_{k=1}^{N} U_{kcp} \right) / N \right] - \left( A \sum_{k=1}^{N} k \right) / N \right]$$

Если коэффициент A и B известны, нелинейность [EMP]  $\delta_{Lk} = (U_{kcp} - kA - B)/h$ . Нормирование нелинейности и дифференциальной нелинейности производится по всем точкам при заданных предельно допустимых значениях.

В тестере использована ЭВМ типа ДВК-2М. Программы для этой ЭВМ могут быть составлены как на языках низкого уровня (Ассемблер, Макроассемблер), так и высокого уровня (Бейсик, Фортран, Паскаль). Использование языка высокого уровня значительно упрощает программирование и изменение программ, но снижает быстродействие, поэтому может быть оправдано только тогда, когда необходимо часто и оперативно менять программу. Для производственного контроля, при котором первостепенное значение имеет скорость выполнения программы, целесообразнее применять язык низкого уровня.

Для измерения других статических параметров АЦП, определяющих энергетические свойства ИС (входных и токов потребления, напряжений выходных уровней и т. д.), можно использовать любой измеритель статических параметров, например установки «Интеграл», «Вахта», обеспечивающие измерение необходимых параметров АЦП.

### 6.3. МЕТОДЫ ИЗМЕРЕНИЯ И ПРИНЦИПЫ ПОСТРОЕНИЯ ИЗМЕРИТЕЛЕЙ ДИНАМИЧЕСКИХ ПАРАМЕТРОВ АЦП

Динамические свойства АЦП характеризуются большим числом параметров, в отличие от ЦАП, динамические параметры которых в основном определяются временем установления напряжения или тока. Причиной этого является многофункциональность АЦП, разнообразность их использования, а также параметры преобразуе го (входного) сигнала.

Анализ методов и аппаратуры измерения динамических параметров АЦП, описанных в разной литературе, показывает, что в зависимости от типа измеряемого АЦП, специфики работы преобразователя в конкретной аппаратуре, средств измерения применяются различные методы оценки динамических параметров. Хотя единый подход к оценке динамических параметров АЦП отсутствует наиболее распространенными методами оценки быстродействия АЦП являются. методы с использованием вспомогательного ЦАП; методы быстрого преобразования Фурье; методы, основанные на построении гистограмм выходных кодов (число эффективных бит) с последующей их обработкой; методы основанные на непосредственном измерении одного из важнейших параметров АЦП, определяющих быстродействие АЦП (время преобразования отдельных его составляющих, отношение сигнал-шум, шум мощности, апертурное время, апертурная неопределенность, амплитудно-частотная характеристика и т. д.).

Большую трудность представляет собой выбор метода, преиму щественно характеризующего динамические свойства АЦП. Практика показывает, что в каждом конкретном случае применения АЦП число динамических параметров и методы их измерения зависят от структуры АЦП и решаемой ими конкретной задачи. Далее будуг рассмотрены конкретные методы измерения и построения измерителей основных динамических параметров АЦП, используемые при выходном контроле АЦП с конкретной аппаратурной реалнзацией.

### 6.3 І ИЗМЕРИТЕЛИ ВРЕМЕНИ ПРЕОБРАЗОВАНИЯ АЦП

Время преобразования состоит из двух основных составляющих времени цикла кодирования и времени задержки запуска. В зависимости от конкретной структуры АЦП, уровня и стадий производства (разработка, серийный выпуск, входной контроль и т. д.) время преобразования измеряется разными методами и различными средствами измерения.

На рис. 6.5 приведены схемы измерения времени преобразования (а также основных его составляющих) АЦП с внешним и без внешнего запуска, имеющих и не имеющих сигнала окончания преобразования [37, 58, 59]. Источником сигнала является эталонный ЦАП, выходное напряжение которого непосредственно или через ключ, формирующий необходимый фронт импульса, подается на измеряемый АЦП. Цифровое устройство сравнения служит для контроля погрешности преобразования. Частотомер или измеритель временных интервалов (ИВИ) предназначен для измерения интересующих временных интервалов. Регулируемая линия задержки предназначена для определения момента окончания преобразования (в преобразователях, не вырабатывающих импульсы конца преобразования) и измерения времени преобразования

Интерес представляет измерение времени задержки запуска (рис. 6.6) [47]. В ней на вход измеряемого АЦП через быстродействующий ключ подается сигнал от образцового калибратора с амплитудой, близкой к верхней границе диапазона входных сигналов. Длительность выходных импульсов ключа несколько превы-



Рис. 6.5. Схемы измерения времени преобразования АЦП: с наличием импульса конца преобразования, б при отсутствии импульса конца преобразования

шает время, равное сумме времени преобразования и максимального времени задержки. Изменяя время задержки линии и фиксируя код, при котором приращения погрешностей по отношению к первоначальному его значению достигают определенного значения, определяют минимальное время задержки запуска.

Сравнительно простую реализацию и высокую производительность проверки времени преобразования АЦП параллельного типа обеспечивает устройство, структурная схема которого приведена на рис. 6.7 [62]. В нем производятся проверка функционирования и измерение времени преобразования при высоких скоростях изменения входного напряжения и тактовой частоты. Для этого на входы измеряемого АЦП поступают входные и стробнрующие импульсы, имеющие определенные частоты повторения и задержку. После выборки выходные коды с помощью стробимпульса записы-



Рис. р.б. Схема измерения времени задержки запуска



Рис. 6.7. Схема измерения времени преобразования и проверки функционирования при высоких скоростях изменения входного напряжения и тактовой частоты

ваются в регистрирующее устройство и далее поступают на логическое устройство. Логическое устройство анализирует соответствие зафиксированного кода с заданным и выдает информацию о годности измеряемого АЦП (более подробное описание этого принципа измерения дано в § 6.4). Амплитуда входных импульсов должна быть такова, чтобы перекрыть весь диапазон входных напряжений АЦП. При этом выходной код принимает значение 000 000 или 111 111. По каждому выходу измеряется время задержки и максимальное его значение определяет время преобразования  $t_c ==$ =  $1/f_a + t_{smax}$ , где  $t_{smax}$  — максимальное время задержки.

Функциональный контроль АЦП заключается в проверке отсутствия пропуска кодов АЦП при монотонно изменяющемся (с определенной, нормированной скоростью изменения) входном сигнале и максимальной частоте тактовых импульсов. Для более простой аппаратурной реализации в качестве тактовых импульсов используются пачки импульсов. Скорость изменения пилообразного напряжения, подаваемого на аналоговый вход измеряемого АЦП, выбирается исходя из быстродействия АЦП (скорости изменения синусоидального напряжения при определенных значениях амплитуды около точки перехода ее через нулевую линию [63]), оцениваемого на максимальной частоте входного сигнала.

Для определения динамических характеристик АЦП (особенно для их исследования) широко применяются методы измерения, основанные на восстановлении входного сигнала с помощью образцового ЦАП [6, 17, 20, 60]. Обобщенная схема такого устройства приведена на рис. 6.8. Разрядность сверхбыстродействующего ЦАП должна значительно превышать разрядность измеряемого АЦП. Быстродействие вспомогательного ЦАП должно быть больше измеряемого. Он должен обеспечить неискаженное восстановление входного, чаще всего синусоидального, с предельным для измеряемого АЦП.

спектром входного сигнала. Этот метод применяется при измерении менее быстродействующих и разрядных АЦП.

В ряде случаев для определения динамических свойств АЦП применяются методы, основанные на статической обработке выходных сигналов (дискретное преобразование Фурье) [6, 17, 20, 61, 67-69], которые не требуют образцовых и быстрых ЦАП, а также быстродействующих ЭВМ с достаточно большим объемом памяти. Обобщенная схема такого устройства приведена на рис. 6.9. Учитывая их большую сложность, малую производительность и трудности нормирования динамических характеристик, они сравнительно мало используются при выходном контроле АЦП в серийном производстве.

Наряду с ранее рассмотренными методами, широко используемыми для исследования динамических свойств АЦП, применяются методы, основанные на проверке работоспособности АЦП при воздействии на его входе максимальной рабочей частоты [66] или реакции АЦП на профиль ступени квантования [65]. Кроме описанных аппаратурных методов измерений времени преобразования или его отдельных составляющих известны расчетные методы, играющие важную роль в решении вопросов метрологического обеспечения средств измерения, а также используемые на этапе проектирования. К этим методам относятся графоаналитический и метод машинного эксперимента (моделирования) [58, 64]. Необходимо отметить, что эти методы из-за большой сложности реализации и малой точности конечных результатов не нашли широкого применения.



Рис. 6.8. Обобщенная схема измерения динамических параметров методом вспомогательного ЦАП





## Рис. 6.9. Обобщенная схема измерения динамичеких параметров методом дискретного преобразования Фурье



### 6.3.2. ИЗМЕРИТЕЛИ АПЕРТУРНОГО ВРЕМЕНИ И АПЕРТУРНОЙ НЕОПРЕДЕЛЕННОСТИ АЦП

Наиболее сложно и разнообразно измеряются апертурное время и апертурная неопределенность. Сложность измерения этих параметров заключается в том, что они во многом определяются характером тестовых сигналов (видом, формой, шумовыми и спектральными параметрами и т. д.), а также конструктивным исполнением схемы подключения. Кроме того, принципы и аппаратура измерения также зависят от структуры построения самого измеряемого АЦП. На рис. 6.10 приведена схема измерения апертурной неопределенности АЦП параллельного типа серии К1107 [70]. С помощью регулируемой линии задержки устанавливается такое временное расположение между положительными и отрицательными импульсами, поступающими на входы измеряемого АЦП, при котором момент измерения совпадает с фронтом входного сигнала. Выходные коды АЦП и коды устройства опорного кода поступают на сумматор, и при их совпадении на выходе последнего появляется импульс. При изменении порогового уровня АЦП частота выходных импульсов сумматора плавно уменьшается от максимального значения, равного частоте дискретизации АЦП, до нуля. Апертурную неопределенность в днапазоне преобразуемых сигналов можно найти по графику дифференциальной функции распределения апертурной неопределенности, определяющей зависимость частоты от приращения порогового уровня. На рис. 6.11 приведена схема измерения апертурного времени АЦП с помощью образцового ЦАП [72]. В ней на вход АЦП и первый канал стробоскопического осциллографа подается синусоидальный сигнал. Запуск АЦП и ЦАП производится от синхроимпульса осциллографа через регулируемую линию задержки. На экране осциллографа наблюдаются две синусоиды: одна от генератора, вторая восстановленная. Частота генератора увеличивается до появления искажений воєстановленной синусоиды. Апертурное время опреде-





# Рис. 6.10. Схема измерения апертурной неопределенности осциллографическим методом



ляется расчетным путем:  $t_a \leq h/U_{\parallel}2\pi F$ , где h — ступень квантования АЦП;  $U_{\parallel}$  — максимальный размах входного напряжения АЦП, f — частота, при которой начинаются искажения синусоиды. Данный метод не позволяет оценить инерционность входных цепей АЦП, так как выборка производится на максимальной частоте, а также количественно оценить апертурное время.

Известен расчетный метод определения апертурного времени, основанный на принципе машинного имитационного эксперимента [73], однако практическое его применение (кроме теоретических исследований при проектировании АЦП) пока ограничено. Описанный в [74] метод определения апертурного времени из-за больших погрешностей измерения, ограниченного быстродействия ЦАП малопригоден для измерения апертурного времени быстродействующих АЦП.

# 6.3.3. ИЗМЕРИТЕЛИ АМПЛИТУДНО-ЧАСТОТНОЙ ХАРАКТЕРИСТИКИ АЦП

Для определения неравномерности амплитудно-частотной характеристики (АЧХ), как правило, используется синусоидальный сигнал. Амплитудно-частотная характеристика характеризуется при малом и большом сигналах, разница между которыми равна величине искажений синусоидального сигнала. При малом сигнале АЧХ характеризуется диапазоном частот от нуля до наивысшей частоты, при которой АЦП передает синусоидальный сигнал (с допустимым ослаблением обычно 0,1 или 3 дБ), имеющий амплитуду, при которой еще не искажается сигнал из-за скорости его изменения. При большом сигнале АЧХ характеризуется максимальной частотой, при которой устройство передает синусоидальный сигнал большой амплитуды до его ограничения.

На рис. 6.12 приведена схема для определения неравномерности АЧХ. В ней с помощью регулируемой линии задержки смещается момент запуска АЦП до получения на его выходе максимального значения кода. При этом фиксируются значение частоты генератора и код. Затем изменяется частота генератора и процедура повторяется.



### Рис. 6.11 Схема измерения апертурного времени АЦП с помощью образцового ЦАП







Рис. 6.13. Схема измерения амплитудно-частотной характеристики для большого и малого сигналов

Аналогичным образом работает устройство (рис. 6.13), позволяющее провести измерения АЧХ как для малого, так и большого сигнала [20]. Для фиксации искажений выходного сигнала при большом сигнале используется осциллограф. Необходимо отметить, что процесс измерения АЧХ является достаточно трудоемким и не всегда гарантирует работу АЦП на более высоких частотах входного сигнала. В связи с этим измерение АЧХ при выходном контроле АЦП практически не используется. В ряде случаев, когда АЦП применяется для преобразования и обработки широкололосных сигналов (телевидение, радиолокация, и т. д.), измеряется непосредственный спектр входного кодируемого сигнала. Методика его измерения сводится к преобразованию спектра синусоидального напряжения с частотой, равной частоте кодируемого сигнала, и размахом, равным диапазону его входного напряжения. Критерием работоспособности АЦП является отсутствие пропуска кодов в ХП при заданных частотах тактового и входного сигналов АЦП.

На рис. 6.14 приведена схема проверки функционирования АЦП. Частоты генераторов выбираются исходя из ширины спектра вход-







ного сигнала АЦП, причем они должны иметь автоматическую подстройку частоты, чтобы обеспечить биения между их выходными сигналами, и определенное приращение амплитуды аналогового входного сигнала за один период (десятые доли ЕМР) Для контроля ширины спектра входного сигнала в режиме ГОДЕН-БРАК, как правило, чспользуются кварцованные генераторы (с подстройкой частоты)

# 6.3.4 -ИЗМЕРИТЕЛИ ШУМА АЦП

Шум АЦП во многом определяет его быстродействие и точность преобразования. Сложность измерения шума АЦП по сравнению с измерением шума других чегырехполюсников заключается в том, что измеряется не сам шум, а его отклик. В ряде случаев оценка эквивалентного входного шума АЦП производится расчетным путем (измеряются шумы отдельных его узлов). Необходимо отметить, что этот метод дает очень грубую оценку шума и применяется лишь на начальной стадии проектирования АЦП. Для грубой оценки шума иногда используется метод, при котором на вход измеряемого АЦП подается сумма напряжений постоянного тока и низкочастотного сигнала небольшой амплитуды. С помощью осциллографа наблюдается небольшой участок передаточной характеристики АЦП, по которому и определяется значение шума. Наиболее важным шумовым параметром АЦП является отношение сигнал-шум, для измерения которого часто используются методы спектрального анализа [20, 60, 61, 151]. Экспериментально доказано, что с достаточной точностью отношение сигнал-шум можно рассчитать по формуле сигнал-шум = 6N + 1,8 дБ, где N - 1число разрядов АЦП. Для определения отношения сигнал-шум необходим «чистый» синусоидальный сигнал. Для этого входной (тестовый) синусоидальный сигнал после дополнительной фильтрации (см. структурную схему рис. 6.9) квантуется измеряемым АЦП и анализируется в цифровой или аналоговой форме. По результатам анализа определяются уровень искажения сигнала и шума АЦП. Методы спектрального анализа не позволяют разграничить шумы преобразователя, вызванные нелинейностью ХП, шумами квантования, запоминающего устройства и т. д. Кроме того, при исследовании высокоразрядных АЦП весьма сложной проблемой является получение малошумящего входного синусоидального сигнала. Широко используются методы измерения шума АЦП, в которых источником входного сигнала служит ЦАП с высокой разрешающей способностью (разрядность ЦАП должна на несколько разрядов превышать разрядность исследуемого АЦП). Сначала устанавлива-



ваются одинаковой частоты появления других кодов, и т. д. Зная напряжение входного сигнала, в пределах которого обеспечивается одинаковая частота появления соседних кодов в различных точках характеристики АЦП, можно определить величину шума. На рис. 6.15 приведена структурная схема измерения шума АЦП при входных напряжениях, незначительно отличающихся от заданного переходного уровня (это обеспечивает наибольшую чувствительность) [152]. В процессе измерения с помощью цепи обратной связи, состоящей из компаратора кодов и интегратора, входное напряжение АЦП поддерживается в окрестностях переходного уровня. Переходный процесс, около которого должно производнться измерение, задается путем подачи соответствующего кода на один из общих входов компаратора. Компаратор производит сравнение заданного кода с кодом исследуемого АЦП, и в зависимости от того, какой из сравниваемых кодов больше, на вход интегратора подается образцовое напряжение любой полярности. Выходное напряжение интегратора, поступающее на вход АЦП, изменяется по пилообразному закону, а знак его изменения поочередно меняется. Точность, с которой поддерживается заданное входное напряжение АЦП, определяется параметрами интегратора (величинами R и C), а также продолжительностью циклов преобразования. В тех случаях, когда шум отсутствует, входное напряжение АЦП изменяется симметрично относительно переходного уровня и его изменение равно  $\Delta U$ . Изменение входного напряжения АЦП при наличии шума принимает случайный характер. Фиксируя закон и величину изменения  $\Delta U$ , а также ее частоту, после пекоторых математических преобразований можно получить величину шума АЦП [152]. Необходимо отметить, что методы измерения

# шумовых параметров АЦП являются сравнительно трудоемкими и мало поддаются автоматизации.







# 6.4. АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ ДИНАМИЧЕСКИХ ПАРАМЕТРОВ АЦП

6.4.1 ИЗМЕРИТЕЛИ ВРЕМЕНИ ПРЕОБРАЗОВАНИЯ АЦП

Известные автоматизированные установки, позволяющие определять время преобразования, время задержки запуска и время цикла кодирования [76, 77], из-за ограниченного диапазона измеряемых времен и большой погрешности измерения малых времен малопригодны для определения динамических параметров быстродействующих АЦП параллельного типа.

На рис. 6.16, *а*, *б* приведены структурная схема тестера и временные диаграммы, предназначенные для измерения и контроля времени преобразования и проверки функционирования АЦП параллельного типа на 6—8 разрядов. Измерение осуществляется при

высоких частоте повторения тактовых импульсов и скорости измерения входного сигнала [62].

Тестер работает следующим образом. Генератор тактовых импульсов / вырабатывает импульсы формы меандра с частотой повторения 20 МГц, которые поступают на схему выделения парных импульсов 2. С выхода этой схемы импульсы поступают на формирователь тактовых импульсов 3 и на тактовый вход  $U_{\tau}$  измеряемого АЦП 10. К выходу генератора подключен делитель частоты 5 с коэффициентом деления 1:200. Делитель выдает импульсы синхронизации на другие функциональные узлы тестера, в том числе на схему управляемой задержки 6. Формирователь входного напряжения 7 формирует линейно изменяющееся входное напряжение. Он





311

по согласованному тракту подключен к аналоговому входу измеряемого АЦП U<sub>IA</sub>. Схема управляемой задержки совместно с 12разрядным счетчиком импульсов 8 и с ЦАП 9 линейно перемещает входной сигнал относительно тактовых импульсов, как показано на рис. 6.16, б. Таким образом, в момент прихода каждой пары тактовых импульсов на контролируемую ИС поступают новые значения напряжения. Так как входное напряжение изменяется последовательно, выходной код контролируемой ИС должен изменяться тоже последовательно, что проверяется с помощью цифрового компаратора 12. При этом на входы 1 цифрового компаратора через блок стробируемых компараторов 11 поступает выходной код контролируемой ИС, а на входы 2 — опорный код от 8-разрядного счетчика 13. Для считывания выходного кода измеряемой ИС в заданный момент времени, равный нормированному значению времени преобразования t<sub>c</sub>, введена схема регулируемой задержки считывания кода 15, которая выдает стробимпульсы U<sub>st</sub> на блок стробируемых компараторов. Источник опорного напряжения обеспечивает считывание выходного кода при заданном напряжении. Блок переключения рода работы 4 обеспечивает переключение тестера из режима КОНТРОЛЬ в режим ИЗМЕРЕНИЕ или КАЛИБ-РОВКА. В режиме КОНТРОЛЬ цикл работы тестера начинается после подачи импульса ПУСК от генератора одиночных импульсов 20. При этом устанавливаются счетчики импульсов 8 и 13 в исходное состояние (код 000 0). С приходом каждого импульса синхронизации (от делителя частоты 5) фронт входного сигнала перемещается по отношению к тактовым импульсам на величину 2<sup>-12</sup> X Xt<sub>c</sub> и сравнивается выходной код 1 измеряемого АЦП с опорным кодом 2. Так как после пуска тестера выходной код исправного АЦП равен опорному коду (000 0), цифровой компаратор фиксирует равенство кодов и вырабатывает сигнал, который через логический вентиль 19 и счетчик 13 увеличивает опорный код на единицу, т. е. он становится 000...1. После этого фронт входного напряжения перемещается, в результате чего опорный код тоже увеличивается на единицу. Таким образом, если ХП АЦП монотонная, т. е. если отсутствует пропуск кодов, счетчик 13 автоматически проходит все возможные значения кодов АЦП. В конце цикла от старшего разряда этого счетчика поступает импульс на вход схемы индикации ГОДЕН-БРАК 14, которая выдает световой сигнал о годности измеряемого АЦП (ГОДЕН). В случае пропуска любого кода АЦП равенство кодов в данной точке ХП отсутствует и счетчик 13 останавливается в состоянии пропущенного кода. При этом в конце цикла контроля схема сдвига опорного кода 21 формирует импульс, который увеличивает опорный код на единицу, а счетчик числа пропущенных кодов 18 фиксирует пропуск кода. Число пропущенных кодов в пределах



наличии пропуска кодов схема индикации выдает сигнал об отбраковке измеряемого АЦП (БРАК)

В режиме контроля тестер позволяет проводить функциональный контроль АЦП (отсутствие пропуска кодов) и контроль времени преобразования t<sub>c</sub> по заданным нормам (например, ЦЕХ, ОТК, ТУ). При этом схемой задержки считывания кода 15 управляет схема задания нормы t<sub>c</sub> 16.

В режиме измерения тестер работает аналогично. Схема регулируемой задержки считывания 15 автоматически увеличивает длительность стробимпульса с 70 нс до тех пор. пока не появится пропуск кода, после чего цифровой измеритель  $t_c$  17 измеряет фактическое значение  $t_c$  Тестер позволяет измерять  $t_c$  и таких микросхем, которые имеют пропуск кодов более девяти (время измерения при этом значительно увеличивается) Пропущенные коды автоматически выставляются счетчиком 18.

В режиме калибровки производится калибровка цифрового измерителя *t*<sub>c</sub> подачей на его вход импульса длительностью 100 нс, который формируется от генератора тактовых импульсов.

### Основные параметры тестера

| Тактовая частота, МГц<br>Длительность тактовых импульсов, нс   | 20±1%<br>15±20%  |
|--|--|
| Длительность фронта и среза тактовых импульсов<br>не   | Не более 6   |
| В  | 2 45   |
| В  | 0.0,4  |
| Скорость изменения входного напряжения В/нс  | 2/150<br>2/150   |
| Напряжение высокого уровня. В<br>Напряжение низкого уровня. В  | -2.12.3  |
| Диапазон сдвига фронта входного напряжения от<br>носительно тактовых импульсов, не<br>Чисто, изгов савига                            | $110 \pm 10, 200 \pm 20$   |
| Нормы контроля времени преобразования  | 90±5%, 95±5%<br>100±5%   |
| Диапазон измерения времени преобразования, нс<br>Погрешность измерения времени преобразования, %                                     | 70 120<br>Не более 10  |
| Производительность без учета контактирования ИС/ч  |  |
| в режиме контроля<br>в режиме измерения<br>Напряжение питания, В<br>Потребляемая мощность, Вт<br>Габаритные размеры, мм<br>Macca. кг | 3000<br>200<br>220±10%<br>Не более 100<br>480×300×200<br>Не более 25 |

Конструктивно тестер выполнен в виде базового измерительного блока, пробника и комплекта сменных контакторов. В базовом блоке размещены все основные узлы измерителя, кроме компараторов кодов. На передней панели блока находятся органы управления и индикации, а также разъем для подключения пробника. Пробник со сменным контактором состоит из двух отдельных узлов, которые для удобства работы размещены на отдельной массивной подставке и соединяются с базовым блоком с помощью удлинителя длиной около 1 м. На пробнике имеются кнопка ПУСК и световые индикаторы ГОДЕН—БРАК, дублированные с базовым блоком. Конструкция пробника обеспечивает его подключение к испытательной панели.

Погрешность измерения времени преобразования

$$\delta t_{e} = \pm \sqrt{\delta t_{\pi}^{2} + \delta t_{\pi p}^{2} + \delta t_{\mu e}^{2}}, \qquad (6.1)$$

где δt<sub>н</sub> — погрешность измерителя временны́х интервалов; δt<sub>ap</sub> — погрешность из-за апертурной задержки регистра; δt<sub>he</sub> — погрешность из-за нестабильности уровня считывания выходных кодовых импульсов АЦП.

Погрешность измерителя временных интервалов

$$\delta t_{\mu} = \pm \sqrt{\delta_{\phi\tau}^2 + \delta_{\phi c}^2 + \delta_{cc}^2 + \delta_{\mu}^2 + \delta_{\pi}^2 + \delta_{\tau}^2}, \qquad (6.2)$$

где  $\delta_{0\tau}$  и  $\delta_{0\tau}$  — погрешности из-за конечной длительности фронта тактовых и стробнрующих импульсов соответственно;  $\delta_{rr}$  — погрешность стартстопного устройства измерителя;  $\delta_n$  — погрешность из-за нелинейности временной шкалы измерителя;  $\delta_n$  — погрешность из-за дискретности счета измерителя;  $\delta_r$  — погрешность из-за дискретности счета измерителя;  $\delta_r$  — погрешность из-за дискретности счета измерителя;  $\delta_r$  — погрешность из-за дискретности счета измерителя;  $\delta_n$  — погрешность из-за температурной нестабильности. Теоретические расчеты и экспериментальное исследование измерителя показали, что суммарная величина  $\delta_n$  не превышает 2...3 нс.

Апертурная задержка регистра, построенного на компараторах типа КР 597СА2, определена путем измерения апертурной задержки большого числа компараторов. Получено, что и (2,1) ис. Тогда при нормальном законе распределения апертурвой задержки компараторов [77, 78]

$$\delta t_{\mathbf{a}} = t_{\mathbf{a}\mathbf{p}}/3t_{\mathbf{c}} \tag{6.3}$$

Погрешность из-за нестабильности уровня считывания выходных кодовых импульсов

$$\delta t_{cy} = \Delta U_{cy} / S t_c. \tag{6.4}$$

где  $\Delta U_{cs}$  — погрешность установки уровней считывания: S — крутизна фронтов выходных импульсов; U<sub>cs</sub> — напряжение считывания.

Согласно (6.1) — (6.4) суммарная погрешность измерения времени преобразования

$$\delta t_{c} = \pm \sqrt{\delta t_{\mu}^{2} + (t_{sp}/3)^{2} + (\Delta U_{cu}/St_{c})^{2}}$$

Проведенные расчеты и экспериментальное исследование показывают, что погрешность не превышает 8...9% (для нижнего значения времени преобразования). Для измерения динамических параметров более быстродействующих АЦП, частота преобразования которых составляет 50...100 МГц (принцип действия этих АЦП отличается от ранее рассмотренных), используется тестер, структур-



Рис. 6.17. Обобщенная структурная схема тестера для измерення te и проверки функционирования 6—8-разрядных АЦП с частотой преобразованя 50. 100 МГц (а) и временные диаграммы (б)

ная схема и временные диаграммы которого приведены на рис 6.17 [164].

Тестер работает следующим образом. В качестве ведущих генераторов, определяющих частоту квантования измеряемого АЦП, используются два кварцевых генератора, работающие на близких частотах / н / – △/, причем / » △/. Фронт импульсов генератора I запускает формирователь тактовых импульсов, который выдает серию импульсов с алительностью меньше 1// (не полностью заполняется период колебаний генератора 1). Синхронно с фронтом импульсов этого генератора вырабатывается синхроимпульс, положение которого в последовательности тактовых импульсов определено временем преобразования АЦП (он обычно следует после второго тактового импульса). С помощью синхроимпульса произ-АЦП быстродействующий регистр. водится запись кодов В Формирователь входного напряжения вырабатывает нарастающее напряжение, скорость изменения которого равна v. С каждым периодом входного сигнала из-за разницы частот от генераторов 1 2 образуется сдвиг фазы H одновременно некоторое изменение напряжения  $\Delta U_i = v \Delta t$ . При этом выходной код идеаль- $(\Delta U_i f t 2'' / U_A) = целая$ ного к = целая часть часть  $(v \bigtriangleup it2^{\circ}/U_{A})$ , где t — время с момента нзмерення; N — разрядность АЦП; **U<sub>4</sub> — диа**пазон входного напряжения АЦП. Выходной код АЦП изменится прямолинейно, если и и Д/ константы. Скорость изменения и и разница частот генераторов  $\Delta f$  выбираются следующим образом. Для того чтобы зафиксировать выходной код АЦП с вероятностью p, ступень квантования которого равна  $kU_A/2^{*}$ , число выборок  $b = 2^{n}/k(1-p)$ , где k - коэффициент, характеризующий дифференциальную иелинейность (пропуск кода происходит HDH k=0

Количество выборок определяется выражением  $b = U_A / \Delta U_I = U_A / v \Delta f$ . Тогда  $\Delta f = k(1-p)U_A / 2^{"}v$ 

Таким образом,  $\Delta I$  выбирается так, чтобы не пропустить ни один код из последовательности при проверке годного АЦП (на выходе годного АЦП должны появиться последовательно все коды без пропусков). Последовательность кодов проверяется логическим устройством, которое состоит из цифрового компаратора и счетчика импульсов. При совпадении кода цифровой компаратора выдает импульс, который меняет состояние счетчика на единицу При этом счетчик начинает работать от нулевого состояния и проходит последовательно все коды. Если АЦП имеет пропуск кода, то счетчик на этом коде остановится, так как от цифрового компаратора не поступит импульс. При фиксации последнего кода индикатор ГОДЕН—БРАК показывает годность АЦП.

Одновременно с функциональным контролем АЦП проверяется и время преобразования. Задержка синхронмпульсов  $l_{pc}$  устанавливается заданной. Если время преобразования меньше заданного, то в регистр будут записаны неустановившиеся выходные коды, т. е. не будет последовательного изменения. При этом, меняя время  $l_{pc}$ , можно найти минимальное его значение, при котором нарушается последовательность кодов. Задержка будет соответствовать времени преобразования АЦП, которое может быть измерено с помощью измерителя временных интервалов.

#### Основные параметры тестера

| Тактовая частота, МГц   | 50: 100±10%<br>10; 5±10%<br>0,98±5%<br>Не менее 0.7<br>50: 100±20% |
|---|--|
|   | 2,53   |
| Напряжение низкого уровия входного напряжения,<br>В<br>Пределы установкя задержки считывания выходных |  |
| KOAOB, HC   | 840  |
| Производительность без учета контактирования, ИС/ч:   |  |
| в режиме контроля   | Не менее 3000  |
| в режные измерения  | Не менее 500   |
| Напряжение питания, В   | $220 \pm 10\%$   |
| Потребляемая мощность, Вт   | Не более 100   |
| Габаритные размеры, мм  | 480×215×35   |
| Macca, Kr   | Не более 20  |

Конструктивно тестер выполнен в виде настольного нзмерилельного прибора, состоящего из базового блока, размещенного в корпусе «Надел», и выносного пробника со сменными контакторами. Динамические параметры АЦП, такие как апертурное время, апертурная неопределенность. АЧХ, в основном измеряются на этапе разработки АЦП (при конструктивных испытаниях). В результате этого, а также из-за сложности и особенностей измерения этих параметров производительная аппаратура для их измерения либо отсутствует, либо является лабораторного типа (собранная из ряда измерительных приборов общего назначения).

На рис. 6.18 приведена структурная схема установки для измерения апертурного времени быстродействующих АЦП [71]. Апертурное время зависит от уровня и скорости изменения входного сигнала и равно  $t_a = t'_a + t''_a + t''_a$  где  $t'_a - задержка выборки на$  $растающего сигнала; <math>t''_a - задержка выборки убывающего сигнала;$  $<math>t''_a - случайная составляющая, обусловленная флуктацией запуска$ АЦП. Входной тестовый сигнал представляет сумму синусоидального и постоянного напряжений:

$$U_{ax} = U_0 + U_m \sin \omega t \tag{6.5}$$

На вход измеряемого АЦ[] подается напряжение  $U_0$  и в определенные моменты времеви регистрируются показания  $N_0$ . Затем дополнительно подается синусоидальный сигнал (к  $U_0$  добавляется синусоидальное напряжение) и в те же моменты времени регистрируются показания  $N'_1$  и  $N'_1$  (при положительном и отрицательном полупериодах синусоидального сигнала). Разность  $N_1 - N_0$  характеризует апертурную составляющую, связанную с изменением скорости нарастания сигнала. Далее, регулируя  $U_0$ , находят максимальную разность показаний АЦП на положительных и отрицательных полупериодах ( $N'_2 - N'_1$ ), которые служат для оценки разброса значений задержки отсчета АЦП. При этом

$$t'_{a} = h \left( N_{1} - N_{0} \right) / \omega U_{m}, \ t''_{a} = h \left( N'_{2} - N''_{2} \right) / \omega U_{m},$$
(6.6); (6.7)



Рис. 6.18. Структурная схема измерителя апертурного времени АЦП



Рис 6 19. Структурная схема измерителя апертурного времени с использованием кварцевых генераторов

где h — ступень преобразования АЦП. Подставляя (6.6)<sup>°</sup> н (6.7) в t<sub>a</sub>, получаем апертурное время.

На рис. 6.19 приведена схема измернтеля апертурного времени с использованием двух кварцевых генераторов. Для формирования входного сигнала и тактовых импульсов используются кварцевые генераторы с близкими частотами. Началом измерения служит совпадение фронтов импульсов генераторов, фиксируемое схемой совпадения Необходимые параметры входного сигнала и тактовых нипульсов, поступающих на входы измеряемого АЦП, вырабатываются формирователем входных импульсов. Цифровой формирователь временного сдвига состоит из двух счетчиков разрядностью **И. в результате чего на входы АЦП поступают импульсы с** временным сдвигом  $\Delta t_x = N \Delta t$ , где  $\Delta t$  — разница периодов повторения кварцевых генераторов. После заполнения счетчиков происходнт некоторый фазовый сдвиг между импульсами, равный  $\Delta t_x$ Сдвиг регулируется частотой одного из генераторов Его величина выбирается такой, чтобы происходило изменение выходного кода АЦП Для определения численного значения  $\Delta t_s$  используются расширитель-преобразователь, компаратор и цифровой блок. Данным устройством может быть измерено лишь апертурное время, так как создаваемый счетчиками фазовый шум имеет достаточно большое значение

Известно также многофункциональное устройство, предназначенное для определения динамических характеристик АЦП [141], которое из-за ограниченного быстродействия малопригодно для измерения динамических параметров (в том числе апертурного времени) быстродействующих АЦП параллельного типа

### 6.4.3. ИЗМЕРИТЕЛИ АПЕРТУРНОЙ НЕОПРЕДЕЛЕННОСТИ-АЦП

В приведенной на рис 6 20 схеме измерения апертурной неопределенности [20] выходной сигнал генератора синусондального напряжения, имеющего низкий уровень шумов, поступает на цифровой вход измеряемого АЦП На другой его вход подается смещен-



Рис. 6.20. Структурная схема измерителя апертурной неопределенности

ный сигнал того же генератора. В начале измерения с помощью фазовращателя, аттенюатора и регулятора смещения обеспечивается кодирование входного сигнала (при максимальной скорости нарастания). Опорные коды при этом устанавливаются на среднем значении 0111...1. Повторной регулировкой фазовращателя добиваются максимальных показаний частотомера. Изменяя частоту генератора частотомером, измеряют частоту появления выходных кодов и строят гистограмму их распределения. Из этой гистограммы по формуле  $t_a = \Delta U/(dv/dt)$  определяют апертурную неопределенность, где  $\Delta U -$ амплитуда шумового напряжения аналогового сигнала; dv/dt — скорость изменения синусоидального входного сигнала в точке перехода через нуль.

В ряде случаев, когда АЦП работает в непрерывном режиме (с непрерывным тактовым сигналом или сериями импульсов), для



Рис. 6.21. Структурная схема язмерителя апертурной неопределенностя при работе АЦП в непрерывном режиме

проверки идентичности параметров кодирования АЦП по каждому импульсу используется схема измерения, приведенная на рис. 6.21 [20], принцип работы которой аналогичен.

### 6.5. СХЕМЫ ВКЛЮЧЕНИЯ ИС АЦП К1107 ПРИ ИЗМЕРЕНИИ ДИНАМИЧЕСКИХ ПАРАМЕТРОВ И ОСОБЕННОСТИ ИХ КОНСТРУКТИВНОГО ИСПОЛНЕНИЯ

На рис. 6.22 — 6.24 приведены схемы включения и временные днаграммы измерения времени преобразования АЦП ИС К1107ПВ1 и К1107ПВ2.

Параметры тактовых импульсов (рис. 6.24): частота повторения  $f_r = 20$  МГц $\pm 1\%$ ; входное напряжение низкого уровня  $U_{rt} = 0...0,4$  В; входное напряжение высокого уровня  $U_{rH} = 2,4...$ 5 В; длительность фронта не более 6 нс (на уровнях 0,1; 0,9  $U_r$ ); длительность спада не более 6 нс (на уровнях 0,1; 0,9  $U_r$ ); длительность импульса  $t_r = 15$  нс $\pm 20\%$ .

Параметры входного сигнала: входное напряжение низкого уровня  $U_{IL} = -2,1$  — 2,3 В; входное напряжение высокого уровня  $U_{IN} = 0,1...0,2$  В; длительность фронта 50...150 нс (на уровнях 0,1; 0,9  $U_{IA}$ ); сдвиг входного напряжения  $t_{cab}$  не менее 100 нс (дискретность не более 25 нс).

Параметры стробнрующих импульсов: длительность  $t_{st} = 70...$ 120 нс (на уровнях 0,5  $U_{st}$ ), длительность фронта и спада 6 нс (на уровнях 0,1; 0,9 $U_{st}$ ).

К выходам измеряемого АЦП подключен эквивалент нагрузкн (рис. 6.25). В зависимости от структуры построения измерителяя временных интервалов АЦП к его измеряемым выходам подключается эквивалент нагрузки: либо к каждому выходу (при параллельном измерении выходов АЦП), либо к измеряемому выводу (при одноканальном измерителе).

На рис. 6.26—6.28 приведены схемы включения и временные диаграммы измерення времени преобразования ИС К1107ПВЗ и К1107ПВ4.

Параметры тактовых импульсов (рис. 6.28): частота следования  $f_r = 100$  МГц, 50 МГц $\pm 10\%$ ; длительность импульса  $t_r = 5$  нс; 10 нс $\pm 10\%$ ; длительность фронта и среза не более 2 нс (на уровнях 0,2; 0,8  $U_r$ ); амплитуда не менее 0,7 В; входное напряжение высокого уровня  $U_{lh} = -1,5...-2$  В; входное напряжение низкого уровня  $U_{lL} = -0,8...+1,1$  В.

Параметры входного сигнала: входное напряжение низкого уровня  $U_{lL} = -2,5...-3$  В; входное напряжение высокого уровня  $U_{IN} = 2,5...3$  В; длительность среза 50 нс; 100 нс  $\pm 20\%$  (на уровнях 0.1; 0.9  $U_{IA}$ ); дискретность сдвига не более 10 нс.

Параметры стробирующих импульсов: длительность нмпульсов 0...30 нс (на уровнях 0,50  $U_{st}$ ); длительность фронта и среза 2 нс (на уровнях 0,2; 0,8 $U_{st}$ ).



Рис 6.22 Схема включения ИС К1107ПВ1 при измерении t. и проверке функционирова - ния



Рис 6.23. Скема включения ИС К1107ПВ2 при измерении I, и проверке функционирования

11-499





#### Рис. 6.25. Схема эквивалента нагрузки при измерении динамических параметров ИС К1107ПВ1 и К1107ПВ2

Рис. 6.24. Временные диаграммы измерения tc и проверки функционирования ИС К1107ПВ1 и К1107ПВ2



Рис. 6.26. Схема включения ИС К1107/1ВЗ при измерении tc и проверке функционирования



Рис. 6.27 Схема вилючения ИС К1107ПВ4. при измерении динамических параметров и проверке функционирования



Рис. 6.28. Временные диаграммы при измерении с и проверке функционирования ИС К1107ПВЗ и К1107ПВ4.

Достоверность измерения динамических параметров АЦП во многом зависит от конструктивного исполнения адаптерной платы. при измерении динамических параметров ЦАП наиболее Если критичными являются выходные цепи, то при измерении динамических параметров АЦП — входные. Наряду с требованиями и мерамн конструктивного исполнения адаптерных плат для ЦАП, которые изложены в гл. 5 и 7, особое внимание необходимо обратить на конструктивное исполнение цепей подключения входов АЦП. Из-за широкого спектра выходных сигналов АЦП и входных стробирующих импульсов, большой их амплитуды по сравнению с ЕМР, а также нерегулярного характера появления выходных импульсов АЦП относительно входного сигнала, подаваемого на вход АЦП, образуются достаточно большие паразитные сигналы. Эти сигналы через паразитные емкости адаптерной платы попадают на аналоговый вход АЦП, в результате чего появляется нестабильность его работы, теряется достоверность измерения, возрастают погрешности. Для исключения этого применяются отдельные «аналоговая» и «сигнальная» корпусные заземляющие шины.

### Глава 7

### ОСНОВНЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ Измерителей динамических параметров микросхем цап и ацп

### 7.1. ИЗМЕРИТЕЛИ ВРЕМЕННЫХ ИНТЕРВАЛОВ

Наиболее сложным узлом, определяющим метрологические ха рактеристики измерителей динамических параметров ИС ЦАП и АЦП, является измеритель временных интервалов. Особенности методик измерения динамических параметров, форма входных и выходных сигналов, точность и производительность измерений предъявляют специфические требования к измерителям.

Принципы построения и структура измерителей временных интервалов, предназначенных для измерения динамических параметров (в основном времени установления), определяются разрядностью и быстродействием измеряемых ЦАП. Усредненные значения основных параметров быстродействующих ЦАП, определяющих требования к измерителям временных интервалов, приведены в табл. 7.1

Методы измерения временных интервалов и их применение для измерения динамических параметров цнфровых микросхем широко освещены в [79—81]. Основными параметрами измерителей, предназначенных для измерения динамических параметров ЦАП,
| Разрядность | Минимальное<br>времи / <sub>SU</sub> нс | Сопротнв-<br>ление<br>нагрузки,<br>Ом | емр<br>NB | Разрядность | Минимальное<br>время 1 <sub>521</sub> . «с | Сопротин<br>ленне<br>нагрузки,<br>Ом | EMP NB                 |
|-------------|---|---------------------------------------|-----------|-------------|--|--------------------------------------|------------------------|
| 8           | 5 50                                    | 25; 50; 75                            | 1 2       | 12          | 50.500                                     | 50; 75                               | 0,250.5                |
| 10          | 10. 100                                 | 50; 75                                | 0,5 1     | 14          | 500 н более                                | 50; 75                               | Мен <del>се</del> .0,5 |

Таблица 71 Параметры быстродействующих ЦАП

являются диапазоны измеряемых времен и амплитуд, разрешающая способность амплитуды и точность их измерения.

Разрешающая способность амплитуды зависит от разрядности измеряемого ЦАП и амплитудного диапазона выходного сигнала Это связано с тем, что обычно время установления измеряется при малых уровнях отсчета (уровнях, отличающихся от установившегося значения сигнала на ±0,5; ±1, ±2 ЕМР и т д.) Если зона точности установившегося ЦАП ±0,5 ЕМР, то для 10-разрядных ЦАП это составляет ±0,05%, а для 12-разрядных ±0.012% величины выходного сигнала Измерение мгновенных значений таких малых сигналов в наносекундном диапазоне является весьма сложной задачей. Очень высокие требования предъявляются к шумовым свойствам измерителей Например, зона точности 0,5 ЕМР для 10-разрядных ЦАП составляет 500 мкВ, а для 12-разрядных около 200 мкВ Следовательно, точность измерения должна обеспечить измерение и установку уровней отсчета при величинах шумов, значительно меньших амплитуды полезного сигнала. Ошибка в установке уровней отсчета (например, неточное измерение опорного уровня из-за шумов) может привести к значительным погрешностям измерения времени установления. То же относится и к плоской части выходного импульса ЦАП Спад и подъем плоской части выходного импульса могут привести к погрешностям измерения того же порядка. Следовательно, при построении таких измерителей особое внимание должно уделяться точности анализа плоской части импульса и методам уменьшения уровня собственных шумов измерителя

Аналнз технических характеристик наиболее точных измерителей временных интервалов [79---87] показывает, что их максимальная точность в наносекундном диапазоне времени при нзмерении импульсных сигналов не превышает ±0,2% Абсолютная разрешающая способность амплитуды таких нзмерителей не превышает единицы милливольта, причем напряжения собственных шумов измерителей составляют единицы и более милливольт. Таким образом, описанные в [79-87] измерители могут быть использованы для достоверного измерения времени установления ЦАП с разрядностью, абсолютная величина ЕМР которых составляет десятки милливольт. Непосредственное их применение для построения измерителей ЦАП с разрядностью более 6 затруднено из-за большого уровня собственных шумов и малой разрешающей способности амплитуды.

Для построения измерителей динамических параметров быстродействующих и сверхбыстродействующих ЦАП с разрядностью более 6—8 могут быть использованы следующие методы измерения: прямой компараторный; компараторный с предварительным усилением выходного сигнала ЦАП; метод предварительного преобразования временного масштаба выходного сигнала ЦАП.

Существующие в настоящее время быстродействующие компараторы напряжения в интегральном исполнении имеют времена задержки порядка 5...6 нс [88, 89], а максимальная их чувствительность составляет единицы милливольт (компараторы серий КР597СА1, КР597СА2) без учета временных и температурных нестабильностей. Построение измерителей динамических параметров сверхбыстродействующих (8 разрядных и более) ЦАП на базе таких компараторов затруднено из-за малых разрешающих способностей по времени и амялитуде. Для этой цели нужны компараторы, имеющие времена задержки (или нестабильность времени задержки) не более 0,2...0,3 нс с чувствительностью, значительно меньшей ЕМР (порядка десятков или сотен микровольт). Из-за отсутствия такого класса компараторов построение измерителей динамических параметров сверхбыстродействующих ЦАП с разрядностью более 8-10, работающих компараторным методом и обеспечивающих приемлемую точность измерения, в настоящее время затруднено.

Широкое применение прямой компараторный метод, работающий в реальном времени, нашел лишь в измерителях динамических параметров ЦАП микросекундного и миллисекундного диавазонов времен [90—93].

Для измерения времени установления более высокоразрядных и менее быстродействующих ЦАП широко используется компараторный метод с предварительным усилением выходного сигнала ЦАП. Основной трудностью такого метода измерения является построение усилителя выходного сигнала ЦАП.

Таким образом, существующая в настоящее время элементная база позволяет создавать измерители времени установления, работающие в реальном масштабе времени с разрядностью до 12—14 и временем установления более 50...100 нс.

Предпочтительным методом построения измерителей, особению для сверхбыстродействующих ЦАП, является использование предварительного преобразования временного масштаба (спектра) выходного сигнала ЦАП. Для его реализации необходимо применять специальные стробоскопические преобразователи, так как универсальные преобразователи, используемые в стробоскопических осциллографах, для этой цели малопригодны на-за низкой чувствнтельности, большой погрешности трансформации временного масштаба, а также большого уровня шумов [83—87].

Наиболее высокой точностью обладают специализированные стробоскопические преобразователи, работающие в режиме пикового детектирования и формирования шага считывания с помощью двух кварцевых генераторов [94] Структурная схема такого преобразователя приведена на рис. 7.1. Выходные импульсы кварцевого генератора с частотой повторения  $F_1$  запускают формирователь тестимпульсов и с последнего поступают на вход измеряемого ЦАП и смеситель 2. Сигналом кварцевого генератора 2 запускается формирователь стробимпульсов. Частота повторения кварцевого генератора 2  $F_2 = F_1 + \Delta F$ , причем  $F_1 \approx F_2 \ll \Delta F$ .

В связи с тем, что частота повторения стробимпульсов выбрана больше частоты повторения тестимпульсов, преобразование временного масштаба измеряемых сигналов происходит по обратной шкале времени образуется из-за того, что времени. Обратная шкала частота тестовых импульсов превышает частоту стробирующих импульсов, в результате чего стробирование осуществляется с конца исследуемого импульса (по обратной шкале времени). Это обстоямногих случаях позволяет значительно упростить тельство во процесс измерения времени установления. Коэффициент трансформации временного масштаба  $q = F_2 / \Delta F$ . Стробоскопический преобработающий в режиме пикового вазователь. детектирования. дает возможность достичь следующих преимуществ:

а) получить сравнительно большой коэффициент передачи преобразователя (до 0,5...0,6);

б) обеспечить наименьший уровень внутренних шумо́в (преобразователи, работающие в режиме пикового детектора, имеют наивысшее отношение сигнал-шум, зависящее от постоянной времени разряда запоминающего конденсатора и от шага считывания);

в) получить на запоминающем конденсаторе преобразованный аналоговый (непрерывный) сигнал, что при высоком коэффициенте передачи позволяет значительно упростить схему преобразователя и последующую схему обработни исследуемого сигнала;

г) достичь хорошей линейности вреобразования временного



Рис 7 1 Структурная схема специализированного стробосконического преобразова теля

масштаба и малой абсолютной погрешности трансформации, так как оба кварцевых пенератора находятся в идентичных условиях работы и изменения их частот равны;

д) получить малые габаритные размеры преобразователя и возможность его гибридного исполнения. Это, в свою очередь, позволяет разместить преобразователи на выводах контактора (измеряемого ЦАП), что также помогает уменьшиль уровень собственных шумов преобразователя и исключить погрешности, связанные с отражением сигнала в неоднородностях высокочастотной линии передачи сигнала;

е) отрегулировать подбором постоянной времени разряда запоминающей емкости смесителя наклон плоской части исследуемого импульса преобразователя, т. е. при регулировке измерителя погрешность, вносимая спадом или подъемом плоской части импульса, может быть значительно уменьшена.

В [83, 94] показано, что преобразователь, работающий в режиме пикового детектирования, обладает способностью подавления внутренних и внешних шумов.

Для наиболее эффективного подавления помех необходимо определенным образом подобрать шаг считывания и постоянную разряда. Анализ показывает, что наиболее эффективное подавление помех (x = 10...20) можно получить при постоянной времени разряда емкости смесителя  $\beta_p = 0, 3...0, 7$  (рис. 7.2). Выбросы на запоминающей емкости можно легко отфильтровать с помощью фильтра цижних частот, установленного на выходе преобразователя. Как показывают эксперименты, уменьшить внутренние шумы и наводки стробпреобразователя можно только конструктивным путем. При очень высоких требуемых точностях имеет место антенный эффект, создающий высокочастотные шумы, а также наводки с различным спектром частот (одни элементы стробпреобразователя служат как передатчики, например генератор стробим-пульсов, другие — как приемники). Для этого необходимо использовать гибридную конструкцию стробпреобразователя.

Очень важной характеристикой ЦАП, используемого для измерения времени установления, является неравномерность плоской части переходной характеристики, которая для преобразователя с пиковым детектором определяется процессом разряда запоминающей емкости.

На рис. 7.3 приведены зависимости заряда запоминающей емкости преобразователя от числа стробимпульсов в данной точке сигнала при разных значениях времени ее разряда и амплитудах стробимпульсов. Принципиальная электрическая схема стробоскопического преобразователя приведена на рис. 7:4. Преобразователь выполнен в виде гибридной микросхемы, помещенной в специальный корпус. Выводы его элементов для уменьшения шумов сделаны возможно минимальными (использованы безвыводные конденсаторы и транзисторы), толстопленочные резисторы выполнены методом выжигания. Преобразователь содержит формирователь





Рис 7.2. Зависимости коэффициента подавления помех от числа стробимпульсов при разных значениях постоянной разряда емкости смесителя β<sub>0</sub>

Рис 7.3. Зависимость напряжения за ряда запоминающей емкости от числа стробимпульсов при разных значениях времени ее разряда (а) и амплитудах стробимпульса (б)



Рис 74. Принципиальная электрическая схема гибридного стробоскопического преобразователя

стробимпульсов, смеситель, работающий в режиме пикового детектирования, и усилитель преобразованного сигнала. Формирователь стробимпульсов реализован на транзистовах VT1 VT5 по схеме усилителя-ограничителя с дифференцирующими RC-цепочками меж ду каскадами. Для формирования стробимпульса применены диод VD2 и короткозамкнутая коаксиальная линия (кабель). В смесителе используется диод VD3. В качестве усилителя преобразованного сигнала применяется ОУ D1.

Учитывая, что требования, предъявляемые к измерителям динамических параметров АЦП (как по днапазону исследуемых сигналов, так и по разрешающей способности амплитуды), менее жесткие (в том числе для апертурного времени и апертурной неопределенности), чем требования к измерителям времени установления ЦАП, в качестве последних могут использоваться измерители, описанные в [79—82].

# 7.2. КОНТАКТИРУЮЩИЕ ГОЛОВКИ ДЛЯ ИЗМЕРЕНИЯ ДИНАМИЧЕСКИХ ПАРАМЕТРОВ ИС

Для подключения измеряемой ИС к измерителю используется контактирующая головка (КГ). Чтобы исключить выход из строя измеряемой ИС из-за механического повреждения выводов, обеспечить удобное и быстрое ее подключение к измерителю, как правило, используются головки, называемые контакторами.

Контактор — это КГ вместе с элементами измерителя, размещенными рядом с головкой и предназначенными для создания необходимого режима измерения или испытания.

Основными параметрами КГ являются переходное сопротивление и допустимое число сочленений. Однако при измерении динамических параметров сверхбыстродействующих ИС (а особенно ЦАП и АЦП), работающих в нано- и субшаносекундных диапазонах времен, очень важными являются паразитные конструктивные параметры: межконтактиая емкость, емкость на корпус, индуктивность выводов. Конструкции КГ определяются типом корпуса измеряемой ИС. Их можно разделить на две основные группы. для корпусов с планарными выводами и для корпусов с диповскими выводами.

#### 7.2.1 КОНТАКТИРУЮЩИЕ ГОЛОВКИ ДЛЯ КОРПУСОВ С ПЛАНАРНЫМИ ВЫВОДАМИ

На рис. 7.5 схематически показана конструкция КГ полоскового типа. Контактирующей частью головки является печатная плата с топологией проводников, идентичной расположению выводов корпуса. Проводники покрывают золотом или другим обеспечивающим хорошую проводимость и стойкость к оксидации метал лом. При измерении дниамических параметров быстродействующих ИС требуется согласование передающих трактов измерителя и КГ



Рис. 7.5. Контактирующая головка полоскового типа:

а — общий вид (I — плата. 2 — проводник. 3 — напривляющай, 4 — контакт. 5 — прижимная подушка. 6 — прижимной рычаг; 7 — фиксирующий рычаг); 6 — плоский ленточный контакт; в — плоский волнистый контакт; е — плоский пружинистый контакт; д — контакт типа волосковой симметричной линии

Для этого форма проводников платы представляет собои несимметричную полосковую линню. Учитывая, что ширина проводников платы КГ равна ширине выводов корпусов ИС или несколько уже ее, необходимое волновое сопротивление полосковой линии обеспечивается путем подбора изоляционного материала (с определенной диэлектрической проницаемостью) и геометрических размеров проводящих и изолирующих частей головки.

Контактирующая головка полоскового типа имеет простую конструкцию и обеспечивает наибольшую широкополосность, так как паразитные емкости и индуктивности контактирующих проводников очень малы. Основным недостатком головки такого типа является плохое качество контактирования, обусловленное остаточной деформацией прижимных колодок, а также плоской формой контактирующего проводника платы. Как правило, в качестве материала для прижимных колодок применяется силиконная резина, имеющая малое количество серы.

Для улучшения надежности контактирования используются контактирующие лепестки либо волнистого, либо пружинистого типа. B первом случае надежность контактирования обеспечивается образованием ряда точек контактирования с большой силой прижатия (на верхушках лепестка), во втором — индивидуальным прижатием каждого лепестка КГ к выводу ИС. Недостатками КГ с лепестком пружинистого типа являются увеличенные паразитные емкость и индуктивность.

В ряде случаев микросхемы с одинаковыми электрическими параметрами имеют разное конструктивное использование, т. е. помещены в корпуса различной конструкции. Для обеспечения универсальности и ремонтоспособности аппаратуры, а также оперативного перехода от измерения одного типа ИС к другому конструкция КГ должна обеспечить оперативную их замену.



Рис. 7.6. Контактирующая головка съемной конструкции для корпусов планарного типа [85]

I — корпус 2 — болт для регулировки зажина. 3 — крышка. 4 — измеремая ИС. 5 — направляющая для прижима. 6 — направляющая для установан ИС. 7 — коитактирующий лепесток 8 — коитакт 9 — плата коитактоов 4

Если замену КГ при измерении статических параметров можно осуществить с помощью разъемов, припаянных к КГ (непосредственно или на удлиняющих проводах), то при измерении динамических параметров сверхбыстродействующих ИС это невозможно из-за больших индуктивностей и емкостей соединительных проводов На рис. 7.6 приведена конструкция КГ для корпусов планарного типа, обеспечивающая оперативный переход от одного типа корпуса к другому. Измеряемая ИС подключается к измерителю с помощью двух подвижных контактов с тремя местами переходного контакта (ИС — лепесток 7, лепесток 7 — контакт 8, контакт 8 — плата адаптера) Контактирующая головка с помощью болтов крепится к адаптерной плате. Топология места подключения КГ к плате адаптера идентична расположению выводов ИС.

Очень широко используются КГ (как для корпусов с планарными, так и с диповскими выводами) с кулачковым зажимным устройством (рис. 7.7). Однако из за больших паразитных индуктивностей и емкостей они пригодны для измерения динамических параметров ИС ограниченного быстродействия. Кроме того, такие КГ имеют неудобное подключение ИС

### 7.2.2. КОНТАКТИРУЮЩИЕ ГОЛОВКИ ДЛЯ ДИПОВСКИХ КОРПУСОВ

Наиболее широкое применение для диповских корпусов нашли КГ с кулачковым зажимным устройством (см. рис. 7.7). В этом случае выводы ИС погружаются в пространство между плоскостями контактирующего лепестка и им зажимаются. Хотя погрузка диповских корпусов в головку значительно удобнее и контактирование надежнее по сравнению с головками планарного типа, широкополосность их получается сравнительно низкая. Причиной этого является большое расстояние между точкой вывода ИС из корпуса и точкой подключения контакта головки к цепям измерителя.

На рис. 7.8 приведены конструкция и вид КГ с кулачковым зажимным устройством и поперечным контактом. Контактирование



Рис. 7.7 Контактирующая головка с кулачковым зажимным устройством, а. – общий анд (конструкция), 1 – фиксатор: 2 – клавини, 3 – рычаг: 4 – контакт: 5 – ползун: 6 – ос подвижная: 7 – опора: 8 – винт для регулировки прижима: 9 – пружина: 10 – ось рычага: 11 – ос клавищи: 6 – конструкция контакта 4 для диповскоги конструкция контакта для планарног корписса



Рис. 7.8. Контактирующая головка с кулачковым зажимным устройством н поперечным контактом (для корпусов диповского типа):

а — общин вил. б — место контактирования вывода (в состоянии укладки ИС). 1 — контакт; 2 — контакт ный лепесток, 3 — вывод ИС, 4 — толкатель, 5 — корпус; а — место контактирования вывода (в зажатох состоянии).



Рис 7.9 Контактирующая головка с подвижной частью платы:

I — неподвижная часть. 2 — контактирующьй лепесток; 3 — корпус ИС; 4 — выводы ИС, 5 — проводящий проводник платы; 6 — подвижная часть

ИС осуществляется за счет передвижения корпуса ИС, выводы которого деформируют контактный лепесток, скользящий по контакту и выводу ИС. В процессе скольжения разрушается оксидная пленка (если она есть) и обеспечивается надежное контактирование.

На рис. 7.9 схематически показана широкополосная КГ с под-

| Ϊκη ΚΓ΄  | С1. пФ | С3. пФ | C₂, σΦ | L<br>расч.<br>иГи | Обозвачение<br>С., С., С.<br>для 16-выводной КГ |  |
|--|--------|--------|--------|-------------------|---|--|
| Полоскового типа с неподвижным контактом для планарных<br>корпусов                             | 0,13   | 0,53   | 0,74   | 4,81              |   |  |
| С кулачковым зажниным уст-<br>ройством для планарных кор-<br>пусов                             | 0,33   | 0,43   | 0,65   | 3,71              |   |  |
| Контактирующие головки типа<br>УК 1-16   | 0,25   | 1,03   | 1,55   | 7,91              |   |  |
| Контантирующие головки типа<br>РС 1-16, РС 1-28, РС 1-40                                       | 0,45   | 0,55   | 0,97   | 4,42              |   |  |
| Полоскового тяпа с пружняя-<br>стым контактом  | 0,12   | 0,65   | 1,04   | 5,59,<br>13,92    |   |  |
| С кулачковым зажныным уст-<br>ройством и полеречным кон-<br>тактом для диповских корпу-<br>сов | 0,23   | 0,31   | 0,43   | 2,11              | C2  |  |
| С кулачковым зажниным уст-<br>ройством и продольным кон-<br>тактом для диповских корпу-<br>сов | 0,30   | 0,38   | 0,59   | 3,21              | 53  |  |

| Таблнца | 7.2. | Паразятяне  | <b>EOBCTPYETRAMINE</b> | параметры |
|---------|------|-------------|------------------------|-----------|
|         |      | юатактируюе | COLORES AS             |           |

вижной частью печатной платы. Место контактирования находится непосредственно в точке крепления (или выхода) вывода ИС из корпуса. Подвижная половина платы контактора соединена с измерителем с помощью гибких проводов. Для фиксации схемы в КГ используется слециальное прижимное устройство.

Результаты теоретического и экспериментального исследований паразитных конструктивных параметров наиболее распространенных КГ приведены в табл. 7.2 [95] ( $L_{pacy}$  — расчетная индуктивность вывода КГ).

### 7.3. ГЕНЕРАТОРЫ ТЕСТОВЫХ ИМПУЛЬСОВ

Как было показано в предыдущих главах, большое влияние на динамические параметры ЦАП и АЦП (особенно на время установления сверхбыстродействующих ЦАП) имеют параметры тестимпульсов. Теоретические и экспериментальные исследования работы быстродействующих ЦАП показывают, что их время установления является функцией фронтов и срезов тестимпульсов, а также амплитуды и длительности их выбросов.

В большинстве случаев для получения минимального времени установления ЦАП фронты и срезы импульсов должны быть равны среднему значению фронтов и срезов выходных импульсов измеряемых ЦАП. Для исключения влияния выбросов и осцилляций на вершине и основании тестовых импульсов на время установления ЦАП их фронт и срез должны быть апериодическими, т. е. не иметь выбросов.

Значительное влияние на динамические параметры и нелийейность (особенно при высоких частотах преобразования) оказывают осцилляции тестовых, стробирующих или тактовых импульсов. Фронты тестимпульсов в случае сверхбыстродействующих АЦП имеют сравнительно малую величину (единицы наносекунд). Входные паразитные емкости тактовых и аналоговых входов АЦП составляют десятки или даже сотни пикофарад, в результате чего образуется несогласованность коаксиальных или полосковых линий, приводящая к большим отражениям и осцилляциям. Паразитные осцилляции и выбросы, имеющие достаточно широкий спектр, через внутренние связи АЦП, КГ и корпус ИС поступают на входные цепи преобразователя и значительно искажают результаты измерення. Для устранения этих факторов нужны генераторы тестимпульсов с апериодическими фронтами и срезами.

Для получения оптимального режима измерения желательно иметь плавную регулировку фронтов и срезов импульсов, так как различные типы ЦАП и АЦП имеют различную реакцию на тестовый сигнал.

Известные широкофункциональные генераторы импульсов [97] малопригодны для построения измерителей ЦАП и АЦП. На рис. 7.10 приведена схема генератора импульсов с плавно регулируемыми наносекундными фронтом и срезом [98] Формирование



Рис. 7.10. Структурная схема генератора импульсов с регулируемыми наносекундными фронтами

прямоугольных импульсов осуществляется методом суперпознции. Выходные импульсы ведущего генератора поступают на формирователь-регулятор фронта и через регулятор длительности, определяющий длительность формируемого импульса, на формирователь-



Рис. 7 11 Принципиальная электрическая схема формирователя наносекундных — гайка 2 — контакт: 3 — формирующий диод: 4 — ось для регулкровки; 6 — крышка: 6 — плунжер держатель. 16 — вывод;

регулятор среза. В формирователях фронта и среза имеются регуляторы фронтов и срезов импульсов, выполненные в виде малоиндуктивного конденсатора, внутри которого помещены формирующие диоды [99, 100] Выходные положительные и отрицательные перепады, сдвинутые во времени, поступают на последовательно соединенные сумматор-ограничитель, регулятор фронта и среза и коакснальный инвертирующий трансформатор, предназначенный для получения двухполярных импульсов. Принципиальная электрическая схема формирователя импульсов приведена на DHC 7.11a Формирование крутых фронта и среза, а также длительности импульсов осуществляется с помощью днодов с накоплением заряда Отдельная регулировка фронта и среза импульсов производится переменными конденсаторами «ПЕРЕДНИЯ» и «ЗАДНИЯ» (рис 7.11.6) Одновременная регулировка фронта и среза импульсов



импульсов (а) и структурная схема регулятора фронтов (б) 7 — шайба: 8, 9 — проклавха: 10 — пластина: 11 — изсляционная вленка. 12 — сороус: 13 — втуяка: 14 16 — пружика, 17 — винт

осуществляется переменными конденсаторами и дросселями «ФРОН-ТЫ».

### Основные параметры формирователя

| Сопротналение нагрузки, Ом<br>Полярность | 50<br>Положительная,                |
|--|-------------------------------------|
| Длительность, нс                         | отрицательная<br>050                |
| Чвстота следования                       | Определяется ве-<br>дущим генерато- |
|  | ром                                 |
| Длятельность фронтов, нс<br>Амплитуда, В | 15<br>0,52                          |

Неравномерность плоской части, выбросы, форма фронта и среза импульсов определяются положением регуляторов фронтов и срезов.

Полярность импульсов (положительная или отрицательная) переключается с помощью герконных реле, коммутирующих обмотки широкополосного транформатора.

В тех случаях, когда необходимо иметь смещение импульсов по постоянному току (например, для измерения апертурной неопределенностн или других параметров), к выходу генератора (после *C15*) можно подключить индуктивность, соединенную с источником напряжения смещения. Величнна индуктивности выбирается такой, чтобы ее реактивное сопротивление для импульса было достаточно большое.

Иногда для проверки функционирования АЦП на высоких частотах или измерения динамических параметров используется синусоидальный тестовый сигнал, причем амплитуда его должна поддерживаться с высокой точностью. При измерении разных экземпляров или партий ИС (особенно сверхбыстродействующих параллельных АЦП) из-за разброса входных емкостей амплитуда входного тестового сигнала значительно нзменяется, что приводит к дополимтельным погрешностям измерения. Для исключения этого явления целесообразно использовать систему регулирования (стабилизации) входного сигнала.

На рис. 7.12 приведена принципиальная электрическая схема широкополосного устройства, позволяющего с высокой точностью автоматически поддерживать амплитуду сигнала у входа измеряемой ИС.

Устройство состоит из СВЧ аттенюатора, детектора и схемы управления. Коэффициент передачи электрически управляемого аттенюатора зависит от выходного напряжения схемы управления. Датчиком служит двухдиодный детектор, расположенный в точке подключения проверяемого объекта (ИС). Амплитуда стабилизированного синусоидального сигнала определяется опорным напряже-



Рис. 7.12. Принципиальная электрическая схема устройства автоматической стабилизации амплитуды синусондального сигнала

нием. Точность поддержания амплитуды сигнала не хуже 1% при частоте, равной десяткам — сотиям мегагерц.

### 7.4. КОРПУСА ДЛЯ ИС И ИХ ПАРАЗИТНЫЕ КОНСТРУКТИВНЫЕ ПАРАМЕТРЫ

Значительное влияние на динамические параметры быстродействующих ИС оказывают паразитные емкости и индуктивности их корпусов. Для уменьшения этого влияния необходимо в процессе проектирования определенным образом подобрать тип корпуса и провести проектирование топологии и монтаж ИС.

В табл. 7.3 приведены усредненные значения паразитных емкостей и индуктивности применяемых типов корпусов (обозначения емкостей согласно рис. 7.13). Как видно из таблицы, емкость сильно зависит от места расположения выводов ИС, что необходимо учесть при проектировании сверхбыстродействующих ИС: размещении контактных площадок, выборе типа корпуса и определенни функцнонального назиачения его выводов.

Влияние паразитных емкостей корпусов ИС на динамические параметры сказывается по-разному.

Во-первых, широкополосные тестимпульсы, подаваемые на входы ИС, или выходные импульсы, снимаемые с логических выходов АЦП, через паразитные емкости проходят на чувствительные цепи измеряемой ИС. Длительность фронтов импульсов составляет едини-

|   | Усредненные значения паразитных парвметров  |  |  |  |  |  |  |  |
|---|---|--|--|--|--|--|--|--|
|   |   | Межвывода                                    | Индуктав-<br>ность, иГи                      |  | задерж                                       |  |  |  |
| Тип корщуса   | в разных Рядах                              |  |  |  |  | в одном ряду                                 |  |  |
|   | Cmin 2                                      | Cmax 3                                       | C <sub>min 1</sub>                           | C <sub>max 1</sub>                           | Lmin   | Lmax   | Время<br>ки, пс                        |  |
| 201.16-8<br>201.16-13<br>405.24-2<br>2123.40-6(3)<br>2207.48-1<br>2136.64-1 | 0,27<br>0,26<br>0,21<br>0,75<br>0,26<br>0,1 | 0,49<br>0,48<br>0,64<br>1,18<br>0,72<br>2,76 | 0,71<br>0,65<br>0,86<br>1,04<br>0,83<br>1,12 | 1,23<br>1,14<br>1,37<br>1,87<br>2,42<br>5,87 | 16,4<br>15,3<br>17,6<br>17,3<br>18,6<br>16,9 | 24,1<br>20,2<br>23,3<br>25,7<br>26,7<br>47,3 | 320<br>300<br>370<br>479<br>650<br>940 |  |
| Примечаны   | е. Сопротивл                                | ение выводо                                  | В СОСТАВЛЯ                                   | ет 0,40,48                                   | Ом.  |  | 0                                      |  |

Табянца 7.3. Паразвтиме конструктивные параметры наиболее распространенных корпусов

цы наносекунд, а амплятуда — единицы вольт. Наиболее опасными связями для ЦАП являются связи между логическими входами и выходом, а для АЦП — между логическими выходами или тактовыми входами и аналоговым входом. Амплитуда наводимого паразитного напряжения во много раз превышает величину ЕМР, что оказывает влияние на работу измеряемой ИС и результаты ее измерения. Это опасно при измерении времени установления сверхбыстродействующих ЦАП, когда цифровые входы соединяются между собой и суммарная паразитная емкость вход — выход составляет единицы пикофарад, а также при измерении АЦП, когда фронты выходных импульсов через паразитные емкости попадают на аналоговый вход АЦП. Для уменьшения этого влияния используются два вида заземляющих шин: аналоговая и цифровая.

Во-вторых, через паразитные емкости корпусов и КГ образуются положительные обратные связи, приводящие к самовозбуждению всей системы измерения. Форма и частота генерации носят разнообразный характер, причем изменяются в процессе измерения



Рис. 7.13. Обозначение паразитных емкостей корпусов ИС

(нагревания измеряемой ИС), что приводит к нестабильности и недостоверности результатов измерения

В табл 74 приведены результаты измерения паразитных емкостей корпусов, используемых для некоторых конкретных типов ЦАП, параметры снгналов на выводах ИС и ими создаваемые паразитные наводки. Величина наводимого паразитного напряжения от входа к выходу (для ЦАП), от тактового входа или выхода к аналоговому входу (для АЦП) достигает достаточно большого значения по сравнению с ЕМР. Это паразитное напряжение по-разному оказывает влияние на измеряемые параметры. Оно определяется для конкретного случая (более подробный анализ приведен в § 7 6)

| Тип ИС   | Номера<br>выводов-<br>входов | Номера<br>выводов-<br>выходов | Паразнтная<br>емкость<br>вход —<br>выход, пФ | Длитель-<br>ность<br>фронта<br>тест — ны-<br>пулься, вс | Наводнмое<br>паразятное<br>напряжение<br>на выходе,<br>е мВ | емр<br>MB |
|----------|------------------------------|-------------------------------|--|---|---|-----------|
| ҚІІІ8ПАІ | 18                           | 14, 15                        | 0,8  | 2   | 27  | 2         |
| ҚІІІ8ПА2 | 1539                         | 7                             | 1*   | 5   | 33  | 0,5       |
| ҚІІІ8ПА3 | 18                           | 18                            | 0,7  | 2   | 36  | 2.        |
| ҚІІ18ПА4 | 112                          | 20, 21                        | 0,9  | 5   | 20  | 0,7       |

Таблица 7.4. Данные включения и паразитных воздействий, обусловленные конструктивными параметрами корпусов

### 75. УСИЛИТЕЛИ ВЫХОДНЫХ СИГНАЛОВ ЦАП

Как было отмечено, в измерителях времени установлення ЦАП, работающих по принципу компараторного метода в реальном масштабе времени, широко используются усилители (усилителипреобразователи тока в напряжение) выходных сигналов ЦАП Они имеют широкие динамический диапазон входных сигналов (0.3 В) и полосу пропускания (время установления усилителя должно быть значительно меньше времени установления измеряемого ЦАП) Если динамические параметры измеряются осциллографическим методом, то усилитель должен произвести компенсацию постоянной составляющей ЦАП

Коэффициент усиления в основном определяется разрядностью нзмеряемого ЦАП и должен быть не менее нескольких десятков. В качестве усилителей выходных сигналов ЦАП чаще всего используются двух-трехкаскадные ОУ В цепях обратной связи ОУ находятся диоды с малым временем восстановления, с помощью которых устраняются паразитные выбросы и осуществляется ограничение нижней части сигнала. При этом усиливается лишь подлежащая к измерению часть (зона, в которой выходной сигнал ЦАП входит в окрестность отсчета параметра). На выходе усилителя, где амплитуда сигнала составляет несколько вольт, а величина ЕМР достигает 1...2 В, используются классические цифровые измерители временных интервалов.

На рис. 7.14 приведена схема усилителя с компенсацией постоянной составляющей выходного напряжения ЦАП, позволяющего производить измерение времени установления при высокой чувствительности осциллографа [48].



Рис. 7.14. Схема усилителя выходного сигнала ЦАП с компенсацией постоянной составляющей



Рис. 7.15. Принципиальная электрическая схема усилителя выходного сигнала ЦАП, построенного на базе схемы Джильберта



Рис 7 16. Схема усилителя-преобразователя для измерения /с ЦАЛ К594ПАТ

Большие широкополосность и коэффициент усиления обеспечивает схема, приведенная на рис. 7.15 [101] Входной дифференциальный каскад преобразует входное напряжение в дифференциальный токовый сигнал, который подается на схему Джильберта со слежением токов, в результате чего обеспечивается достаточно широкая полоса пропускания. Переходиая характеристика составляет десятки наносекунд, что возволяет измерить время установления в диапазоне более 80...100 нс.

Сравнительно высокие характеристики при достаточно простом схемотехническом и конструктивном исполнении обеспечивают усилители-преобразователи, выполненные на быстродействующих ОУ На рис 7.16 приведена схема усилителя-преобразователя, используемого для измерения времени установления ЦАП К594ПА1 Коэффициент усиления его равен 2000 В/мА, время установления не более 200 нс

# 7.6. АДАПТЕРНЫЕ ПЛАТЫ

Контактирующая головка со всеми подключенными к ней элементами, создающими необходимые режимы измерения ИС (нагрузка генератора тестимпульсов, шунтирующие конденсаторы источников питавия ИС, нагрузка измеряемой ИС, входные цепи измерителя временных интервалов), называется адаптерной платой или адаптером. В большинстве случаев в состав адаптерной платы входят также коммутирующие элементы (реле, герконы). Эквивалентная схема адаптерной платы имеет вид, приведенный на рис. 7 17 (96). В ней учтены все элементы, влияющие на результаты измереиня В ряде случаев паразитными элементами, величины которых при определенном конструктивном исполнении платы достаточно малы, можно пренебречь.



Рис. 7 17 Эквивалентная схема адаптерной платы

R<sub>st.</sub>, R₀ сопротивление нагрузки и выходное сопротивление драйвера L<sub>st.</sub>, C<sub>sto</sub> — паразитные параметры коммутатора. C<sub>1</sub>, - C<sub>st</sub> - паразитные емкости контактора (зона) L<sub>st</sub>. L<sub>sto</sub>, - паразитные пидуктивности выводов контактора: C<sub>D</sub>(C<sub>1</sub> — C<sub>D</sub>(C<sub>4</sub> — паразитные емкости MC, L<sub>D</sub>(C<sub>2</sub> = M<sub>2</sub>) - паразитные и науктивности выводов Контактора: C<sub>D</sub>(C<sub>1</sub> — C<sub>D</sub>(C<sub>4</sub> — паразитные емкости контактора и внутрисхемной ИС, R<sub>st</sub> = R<sub>D</sub>C<sub>2</sub> = паразитные емкости контактора и внутрисхемной ИС, R<sub>st</sub> = R<sub>D</sub>(C<sub>2</sub> = проходное и входное сопротивление ИС, R<sub>st</sub> = son C<sub>2</sub> = son — входное сопротивление и паразитивая емкость и эмесяя за сопротивление и па-

Для выяснения влияющих факторов платы на результаты измерения необходимо провести анализ переходной характеристики (отдельно для входной и выходной цепей). Оценку частотногодиапазона, а также амплитудной и временной погрешностей измерения, вносимых адаптерной платой, можно получить как реакцию этих цепей на единичный скачок напряжения. Методами приближенного анализа переходных процессов в сложных цепях можно определить их продолжительность н запаздывание [95\*, 102—105]

Расчеты и экспериментальные исследования влияния реальных паразитных параметров адаптерной платы (паразитных параметров отдельных ее конструктивных и схемотехнических элементов) показали [95], что при измерении времени установления ЦАП в диапазоне десятков и единиц наносекунд они во многом определяют погрешности измерения. Вносимая ими погрешность оказывает влияние на время запаздывания выходного сигнала и время прекращения осцилляций и колебаний. Время запаздывания выходного сигнала во многом зависит от сопротивления нагрузки измеряемой ИС и входного сопротивления измерителя. При суммарной их величине, равной 50...100 Ом, время запаздывания выходного сигнала достнгает единиц наносекунд, а разброс времени запаздывания в нескольких образцах адаптерных плат (того же самого типа) составляет сотни пикосекунд. Для исключения этой погрешности в измерителях используется ее компенсация (с помощью отрезков коакснальных кабелей или поправочных коэффициентов, введенных в управляющую ЭВМ). Более трудно компенсировать и оценивать влияние паразитных осцилляций и колебаний, так как они являются совокупностью измеряемого объекта н схемы измерения. Для их уменьшения или устранения необходимо определенным образом подобрать конструкцию адаптерной платы, предусмотреть возмож. но минимальные геометрические размеры токоведущих частей ее. особенно земляной шины. Продолжительность переходных колебапроцессов при плохой конструкции адаптерной платы тельных

<sup>•</sup> Приведен подробный анализ адаптерных плат

может привести к результатам измерения, значительно превышаю: щим истинные. Например, при измерении времени установления ЦАП КІІІ8ПАІ тем же самым измерителем удлинение геометрической длины проводников, соединяющих выход ЦАП с измерителем, от 10...20 мм до 40...50 мм дает увеличение времени установления от 20...30 нс до 50...70 нс

### Глава 8

## ОСОБЕННОСТИ ИЗМЕРЕНИЯ И АППАРАТУРЫ ДЛЯ КОНТРОЛЯ ЭЛЕКТРИЧЕСКИХ ПАРАМЕТРОВ МИКРОСХЕМ ЦАП И АЦП В ПРОЦЕССЕ ИХ ИЗГОТОВЛЕНИЯ

### 8.1. КОНТРОЛЬ НА ПЛАСТИНАХ

Первой и наиболее важной операцией измерения в технологическом процессе изготовления ИС является контроль на эпитаксиальных пластинах. Этой операцией оцениваются результаты всех предыдущих технологических процессов и определяется работоспособность схемы. В качестве контрольной аппаратуры, как правило, используется аппаратура, предназначенная для выходного или входного контроля, работающая совместно с зондовой установкой типов Зонд А-5, ЭМ-680 и др. В тех случаях, когда измеряемые ИС должны работать при повышенной температуре окружающей среды, используются зондовые установки с подогреваемым столиком, например типа ЭМ-6020.

Общим требованием контроля и измерения параметров ИС на пластине является максимальное число измеряемых параметров (как статических, так и динамических), чтобы до минимума уменьшить коэффициент запуска корпусов, который желательно иметь близким к единице. Коэффициент запуска корпусов — соотношение всех собранных ИС к полученным из них годным ИС. Необходимо отметить, что коэффициент запуска корпусов для ЦАП и АЦП в зависимости от их сложности колеблется от единицы до десяти и более. Уменьшение коэффициента запуска корпусов дает не только экономию самых корпусов, но и уменьшенне трудоемкости изготовления, а тем самым — и себестоимости ИС. Для уменьшения коэффициента запуска корпусов проверка на пластине производится ло жестким нормам разбраковки (до двух и более погрешностей измерения параметра).

Высокие точностные характеристики ЦАП и АЦП предъявляют специфические требования к измерению и контролю их параметров на пластине. Основными факторами, во многом вызывающими дополнительные посрещности измерения на пластине, являются надежность и качество контактирования зондов, предназначенных для подключения измерателя к измеряемой ИС, а также генерации, возникающие в кабелях, соединительных проводах и самих зондах.

Качество и надежность контактирования зондов определяются переходным сопротивлением зонд-плошадка подсоединения вывода ИС, а также его стабильностью. Влияние переходного сопротивления на измеряемые параметры ИС очень заметно при больших коммутируемых токах, так как незначительное изменение сопротивления приводит к большим падениям напряжений, что непосредственно влияет на режим измерения, а тем самым — на погрешность измерения. Учитывая, что значения токов потребления быстродействующих ЦАП и АЦП достигают сотен и более миллиампер (яапример, для К1107ПВ2 ток потребления от источника отрицательного напряжения равен 400...450 мА), незначительные изменения переходного сопротивления зондов приводят к неприемлемым результатам измерения. Для увеличения надежности и стабильности контактирования применяются специальная конструкция зондов, их параллельное соединение, проверка переходных сопротивлений с помощью специальных тестов и тестовых пластии или кристаллов.

Для подключения измеряемого кристалда к измерителю обычно используются универсальные зондовые держатели (типа УК-1), имеющие регулировочные винты, предназначенные для выставления игл на контактные площадки проверяемого кристалла. Такие жондовые держатели широво применяются для проверки ИС с малым числом контактных площадок и достаточно большими их размерами. Основными недостатками таких зондовых держателей, затрудияющих нх использование для измерения параметров ЦАП и АЦП, имеюиях большое число контактных площадок и потребляющих большие токи, являются сложность установки зондов на площадки (из-за больших геометрических размеров держателей), нестабильность тереходного сопротивления, сбои координат игл. Кроме того, ислы таянк зондовых держателей имеют сравнительно малый срок службы; 50...500 тыс. контактирований.

Наиболее высокие эксплуатационные параметры обеспечивают зонды с жесткой топологией, называемые устройствами контактными фиксированными (УКФ). Они представляют собой ряд контактируюидих игл специальной формы, залитых или запаянных на изоляционную плату Распайка или заливка (диэлектрическим клеем) игл осуществляется с помощью специальных установок, позволяющих выставить иглы по топологии контактирующих площадок для конкретного типа проверяемого кристалла (индивилуально для каждого типа ИС) Основные параметры регулируемых зондовых держателей и УКФ приведены в табл. 8.1

Использование УКФ для контроля ЦАП и АЦП на пластине дает возможность умевьшить погрешности измерения и коэффициент запуска корпусов. Кроме того, малые геометрические размеры игл позволяют создавать устройства для оценки динамических параметров на пластине (для АЦП и менее быстродействующих ЦАП)

| Характеристика  | УК-1   | УКФ   |
|---|--|---|
| Число контактирований<br>Минимальное расстояние между иглами.                                     | <b>500 000</b><br>0,20,3                     | 1 508 800<br>0,10,2   |
| им<br>Число игл в ряду при размере площа-<br>док в промежутке 0,12 мм                             | До 8 в одном<br>ряду                         | До 30 вгл в 1-м<br>ряду; 160 нгл<br>в двух рядах;<br>по четырем сторо-<br>нам 240 игл |
| Переходное сопротивление при токе<br>50 мА. Ом  | 0,31,0                                       | 0,10,5  |
| Емкость между игламн, пФ<br>Усилие прижима, г<br>Развовысотность, мм<br>Периодичность регулировки | 23<br>68<br>В каждой смене<br>или после сбоя | Не более 1,5<br>810<br>Не более 0,03<br>Не требуется                                  |

#### Таблица 8.1. Характеристики зондовых держателей

Для контроля и определения качества контактирования широко применяются специальные тесты, выполняемые перед началом измерения ИС на пластине. На рис. 8.1 приведена топология тестового кристалла, предназначенного для проверки контактирования зондов при измерении на пластине 8-разрядного АЦП. В ней все контактные площадки кристалла соединены металлизацией.

Далее, перед измерением параметров ИС на пластине, осуществляется измерение падения напряжения (при заданном токе) на тестовом кристалле, при котором определяется двойное переходное сопротивление контактирования. Если такой тестовый кристалл размещен непосредственно на рабочей пластине, появляется возможность одновременной оценки качества металлизации каждой рабочей пластины, а производительность измерения значительно увеличивается.

Для исключения быстрого вывода из строя зондовых игл и увеличения переходного сопротивления, вызванного их обгоранием при больших токах ИС, подключение к пластние и отключение осуществляют только в обесточенном режиме.

Иногда при измерении параметров ИС на пластине значительное влияние на их величину имеет свет, попадающий на измеряемый кристалл от источника подсветки зондов, а также свет окружающей среды (попадание прямых солнечных лучей или источников электрического освещения). Для исключения этого используются экраны, препятствующие попаданию света окружающей среды (освещения помещения) на измеряемый кристалл. Подсветка кристалла от источника микроскопа зондовой установки осуществляется лишь в процессе ориентации пластины на зондовом столике нля при выставления зондов. Процесс измерения происходит при полностью затемненном кристалле.



Рис 8.1 Топология тестового кристалла для проверки переходного сопротивления контактирования ИС К1107ПВ2

Рис 8.2. Обобщенная структурная скема автоматизированной установки ла зерной подгонки ИС ЦАП 14 КТЛ800-007

Особенно труднорешаемой проблемой является устранение паразитных генераций, имеющих место при измерении параметров быстродействующих ИС, особенно ЦАП и АЦП. Необходимо отметить, что способы решения этой проблемы заключаются в подборе оптимальных схемотехнических и конструктивных решений кабеля, соединяющего зонд с измерителем, а также зондовой платы, индивидуальной для каждого типа ИС. Причинами возникновения генерации и помех в основном бывают взаймосвязи между линиями. находящимися в одном жгуте (особенно для быстродействующих АЦП, где фронты тактовых импульсов составляют наносекунды) Чтобы исключить погрешности измерения, возникающие из-за генераций и помех, а также погрешности, связанные с падением напряжения на кабеле при больших токах потребления, используются двухпроводные линии: коаксиальные кабели или экранированные (с изолированным экраном) линии передачи, отдельные для цифровых и аналоговых цепей

### 8.2. ФУНКЦИОНАЛЬНАЯ ПОДГОНКА

Для доведения точностных ХП до заданных пределов в процессе их изготовления имеется операция подгонки. Как правило, подгонка используется при изготовлении высокоразрядных ЦАП и АЦП (начиная с 10—12 разрядов), так как технология изготовления как пассивной, так и активной их частей не обеспечивает необходимую точность. Подгонка бывает поэлементная и функциональная. При поэлементной подгонке сопротивления всех резисторов с необходимой точностью доводятся до номинальных значений. Наиболее часто применяется функциональная подгонка, в процессе которой контролируются реальные ХП и их отклонения от номинальных значений. Подгонка при этом осуществляется по результирующей (необходимой) ХП.

Подгонка, как правило, осуществляется разрушением резистивного слоя элементов ЦАП или АЦП. Часто для этой цели используют лазерный луч (с диаметром, равным единицам или деся кам микрон), хотя применяется и подгонка электронным лучом, электроэрозией, химическим травлением и т. д. При лазерной подгонке точность зависит от алгоритма ее осуществления и траектории реза. Для грубой подгонки проводится предперпендикулярный рез, для точной — параллельный.

Операция подгонки является достаточно трудоемкой, так как в ее процессе осуществляется непосредственно измерение параметров ХП. Для проведения подгонки используются автоматизированные установки, состоящие из лазерного устройства, координатного подвижного столика, измерительно-вычислительного устройства, а также устройства управления столиком. Технические характеристики систем подгонки в основном определяются параметрами измерительного устройства и лазера. Существующие системы подгонки обеспечивают подгонку ЦАП и АЦП, имеющих 12—14 разрядов и более [110, 142—145, 153].

На рис. 8.2 приведена обобщенная структурная схема авт атизированной установки лазерной подгонки ИС ЦАП. При проводении подгонки проводятся следующие операции:

1. Установка ИС в контактирующее устройство, ориентация по осям координат и выставление луча лазера в начальную точку отсчета (осуществляется вручную оператором).

2. Измерение параметров ЦАП и принятие решения о пригодности ИС к настройке.

3. Функциональная настройка.

4. Измерение всех статических параметров или параметров, характеризующих точность настройки, и разбраковка по принципу ГОДЕН—БРАК.

Установка подгонки имеет разные режимы работы, позроляющие провести настройку по этапам — по каждому резистору с остановкой, анализ результатов настройки и т. д. (см. рис. 8.2)

#### Основные технические характеристики системы

| Максимальное перемещение луча лазера по осям    |                |
|---|----------------|
| ХнҮ, мм   | <b>±6</b>      |
| Точность перемещення, мкм                       | ±5             |
| Дискретность перемещения, мкм                   | 2,5            |
| Мощность излучения лазера, Вт                   | Не менее 6     |
| След луча лазера на обрабатываемой поверхности, |                |
| NKM   | Не более 10×10 |

Производительность, ИС/ч 25 Точность настройки по нелинейности, % ± Потребляемая мощность от 3-фазной сети 380/220 В, кВт Н

25 ±0,005

Не более 10

Если точность подгонки в основном определяется точностью измерительного устройства, конструктивными параметрами лазерного устройства и самого объекта, то производительность во многом определяется алгоритмом подгонки. Для получения максимальной производительности алгоритм подгонки должен быть выбран индивидуально для конкретного типа подгоняемого объекта с учетом технических характеристик оборудования.

Практика разработки и изготовления быстродействующих и сверхбыстродействующих ИС ЦАП и АЦП показала, что функциональная подгонка в большинстве случаев применяется, начиная лишь с 10—12-разрядных преобразователей.

### 8.3. КОНТРОЛЬ И ИЗМЕРЕНИЕ ПАРАМЕТРОВ ИС В ДИАПАЗОНЕ ТЕМПЕРАТУР

В зависимости от объема, вида проводимых измерений, диапазона температур, в котором они производятся, и конкретных параметров (статистических или динамических) выбирается тип испытательного оборудования. Для измерения статических параметров ИС ЦАП и АЦП при приемосдаточных испытаниях, как правило, применяются проходные камеры, тип которых определяется конструкцией корпуса ИС. Для корпусов типа ДИП используются проходные камеры 12КП-300-005, 12КП-64-008, а для планарных ПК-5003-1, ПК-5003-2 и др. Динамические параметры ЦАП и АЦІІ при приемосдаточных испытаниях из-за больших технических трудностей в большинстве случаев не измеряются.

Измерение параметров ИС быстродействующих ЦАП н АЦП в дианазоне температур с помощью проходных камер осуществляется аналогично проверке на пластине. Разница нзмерения заключается в конструкции контактора н дополнительных погрешностях измерения, обусловленных токами утечки при измерениях на холоде.

Для проведения квалификационных и других видов испытаний ЦАП и АЦП, в том числе и по динамическим параметрам, где число измеряемых ИС незначительное, широко используются микрокамеры или испытательные панели, надеваемые на камеры тепла или холода (вместо дверей). Панели в зависимости от вида измеряемых параметров можно разделить на две группы: панели для измерения статических параметров и панели для измерения динамических параметров.

Панели для измерения статических параметров состоят из универсального коммутатора, платы с контактором, блока эквивалентных нагрузок (БЭН) и формирователя импульсов. Коммутатор представляет собой термоизоляционный щнт, на стенах которого определенным образом расположены разъемы и зажимы, обеспечивающие необходимый электрический режим работы ИС и подключение к ней измерителя. Принципиальная схема коммутатора построена так, что при подключении к нему БЭН автоматически осуществляется подача напряжений питания и входных сигналов, поступающих на испытываемую схему от формирователя испытательных сигналов и источников напряжения питания. При отключении БЭН от коммутатора источники питания и испытательные сигналы отключаются, что дает возможность к испытываемой ИС подключить с помощью пробника измеритель. На БЭН имеются гнезда, предназначенные для контроля режимов питания и проверки функционирования. Такая конструкция испытательных панелей обеспечивает определенную универсальность, так как при переходе от одного типа испытываемых ИС к другому, имеющих одинаковое конструктивное использование, необходим только другой БЭН (коммутатор и плата с КГ остаются те же).

Для проведения испытаний ИС по динамическим параметрам используются динамические испытательные панели. Необходимо отметить, что измерение дннамических параметров быстродействующих АЦП и особенно ЦАП является весьма проблематичным и при нормальной температуре. В большинстве случаев в диапазоне температур производится не измерение динамических параметров, а проверка функционирования при высоких частотах. Особенности передачи, коммутации и измерения параметров широкополосных сигналов требуют специальных конструктивных и схемотехнических решений таких панелей. В этом случае для каждого типа испытуемой ИС используется индивидуальная испытательная панель, на внутренней стороне которой (стороне воздействия температуры) размещены КГ. На наружной стороне панели имеются высокочастотные разъемы, предназначенные для подключения испытуемой ИС к источнику входных тестовых сигналов и измерителю динамических параметров, а также низкочастотный разъем для подачи питающих напряжений. Соединение ИС с высокочастотными разъемами осуществляется с помощью температуростойких коаксиальных кабелей. Для исключения рассогласования кабеля из за изменения волнового сопротивления и токов утечки, образующихся под воздействием влаги (при отрицательной температуре), используются коаксиальные кабели со сплошной металлической оплеткой, например типа РК-50-1-22, РК-50-2-22 и др. Геометрическое расноложение высокочастотных и низкочастотных разъемов, находящихся в одной группе (предназначенных для подключения одной ИС), идентичное для всей панели и пробника, что обеспечивает одновременное подключение всех коммутируемых цепей.

В большинстве случаев для получения необходимого режима измерения, хорошего согласования коаксиальных линий, а также эффективного подавления паразитных сигналов и пульсаций питающих напряжений используются безвыводные конденсаторы и резисторы, чувствительные к воздействию влаги, которые после монтажа и наладки покрываются несколькими слоями лаќа. Кроме того, испытания на тепло и холод проводятся поочередно. Если нужны только испытания на холоде, перед каждым испытаннем пронзводится сушка. Для этого панель либо обдувается теплым сжатым воздухом, либо помещается в камеру тепла с принудительной вентиляцией. Для сушки внутренних объемов панели имеются штуцера, к которым подключаются шланги со сжатым теплым воздухом. Воздух, прошедший внутренний монтаж панели, удаляется через специальные отверстия.

Для измерения статических и динамических параметров ИС широко используются микрокамеры, представляющие собой контактирующее устройство, проверяемая схема в котором помещается на массивный радиатор (или между двумя радиаторами) При измереции параметров ИС в тепле внутри радиатора имеются нагревательные элементы. Необходимая температура обеспечнвается с помощью автоматической системы регулирования, датчиком которой служит термопара, расположенная рядом с корпусом испытуемой ИС. Для более быстрого установления необходимого температурного режима на измеряемом объекте терморегулируемый радиатор закрывает ИС со всех сторон

Для создания отрицательной температуры к микрокамере подключается дюар с жидким азотом и с помощью дозатора и системы регулирования обеспечивается необходимая температура на испытуемой ИС. В ряде случаев при измерении параметров ИС в диапазоне температур на пульт измерителя с контактором надевается устройство (колпак), создающее положительную (с помощью нагревательных элементов) или отрицательную (с помощью жидкого азота) температуру и имеющее систему автоматического регу лирования

Основным фактором, определяющим конструкцию испытательной оснастки, предназначенной для проведения измерений и испы танни ИС в диапазоне температур (статических и особенно дниа мнческих), является используемый измеритель.

### 8.4. ЭЛЕКТРОТЕРМОТРЕНИРОВКА

Важной операцией технологического процесса изготовления ИС ЦАП, АЦП, позволяющей отсенвать ненадежные и нестабильные схемы. является электротермотренировка (ЭТТ) [106—109, 131, 132, 154—156]. Особое зиачение ЭТТ имеет при изготовлении линейных ИС (ЦАП, АЦП), обеспечивающих высокие точностные характеристики и параметры. В отличие от ЭТТ логическах ИС. ИС памяти и других видов, аппаратура для проведения ЭТТ микросхем ЦАП и АЦП имеет некоторые особенности.

Во-первых, нз-за значительной потребляемой мощности быстродействующих ИС ЦАП и АЦП, составляющей сотни милливатт и более (для некоторых типов мощность достигает единиц ватт), необходима большая мощность источников питания стендов ЭТТ Поэтому динамический диапазон регулировки температуры стендов ЭТТ при большой плотности загрузки камеры должен быть достаточно широким.

Во-вторых, для создания необходимого режима ЭТТ нужно

| Тип<br>микрослевы | Номиналь<br>Номинальн | ные напряж<br>ные тока по | Суммарная<br>потребляе-<br>мая мощ-<br>ность, Вт | Размери<br>корпуса<br>(длина X<br>ширила),<br>мм |     |                |
|-------------------|-----------------------|---------------------------|--|--|-----|----------------|
| <u>Қ1107ПВ</u> І  | +5,25<br>30           | $\frac{-6.18}{150}$       | $\frac{-2.0}{43}$                                | -  | 1,1 | 30×20          |
| Қ1 107ПВ2<br>≠    | <u>+5,25</u><br>35    | <u>6,18</u><br>450        | $\frac{-2.0}{250}$                               | <u>±2.5</u><br>140                               | 3,4 | 80×25          |
| Қ1107ПВЗ          | <u>+5,3</u><br>60     | <u>5,5</u><br>80          | $\frac{\pm 3.0}{120}$                            | <u>2,0</u><br>_                                  | 1,2 | 20×8           |
| <b>К1</b> 107ПВ4  | $\frac{+5,3}{200300}$ | <u>5,5</u><br>350         | $\frac{\pm 3.0}{50}$                             | $\frac{-2,0}{200}$                               | 3,5 | 80×25          |
| <b>қ594</b> ПА і  | <u>6</u><br>25        | $\frac{-18}{35}$          | _  | -  | 0,7 | <b>34×19,5</b> |
| <b>Қ1118ПА</b> 1  | <u>5,46</u><br>130    | <u>10,56</u><br>3,2       | -  | -  | 0,7 | 20×8           |
| П1118ПА2          | +5.3<br>15            | <u>5,3</u><br>120         | <u>-1,024</u><br>5                               | -  | 0,8 | 50×15          |

#### Табляца 8.2. Режимы и параметры ИС ЦАП и АЦП при электротермотренировке

большое число источников питания (до 5), что, ь свою очередь, значительно усложняет конструкцию стенда (табл 8.2)

В-третьих, для создания оптимального режима ЭТТ, которым, как правило, является динамический, необходимо большое число элементов (резисторов, конденсаторов и т д.) Для обеспечения режима функционирования элементы должны быть в непосредственной близости к тренируемой ИС (находиться под воздействием температуры), что, в свою очередь, усложняет конструкцию плат ЭТТ, а также уменьшает коэффициент загрузки в объеме камеры (коэффициент загрузки из-за больших геометрических размеров корпусов ИС ЦАП, АЦП получается малый)

В-четвертых, для создания динамического режима тренировки

и обеспечения функционпрования ИС необходимы запускающие импульсы, имеющие достаточно малые фронт и срез, длительность которых составляет единнцы или десятки наносекунд. Это требует размещения рядом с тренируемыми схемами драйверов-формирователей импульсов или использования коаксиальных линий передачи широкополосных сигналов, подключенных к мощным генераторам сигналов, так как каждая линия (каждый вход ИС) нагружается согласующим резистором.

На основании изложенного видно, что из-за малой мощности источников питания серийно выпускаемые стенды СТТ-ИС, 13ТИС-013, СТТ-ИМ[15400 и др. малопригодны для проведения ЭТТ быстродействующих ЦАП и АЦП. Часто для этого используется специально. разработанный стенд ЭТТ типа СЭТТ ИМЭ-1800-017 (табл. 8.3).

| Число        | Число ИС  | Число ИС   | Число        | Число ИС  | Чысло ИС   |
|--------------|-----------|------------|--------------|-----------|------------|
| выводов      | на олате, | на стенде, | выводов      | на плате, | на стерде, |
| корпуса, ед. | шт.       | шт.        | корпуса, ед. | шт.       | шт.        |
| 16           | 54—126    | 2016—6804  | 48           | 12—24     | 432—864    |
| 40           | 36—50     | 1296—1800  | 64 -         | 6—12      | 216—432    |

Таблица 8.3. Загрузочная способность плат при электротермотренировке

Основными преимуществами этого стенда перед другими являются автоматизированный контроль функционирования ИС и документальная ее регистрация. Это осуществляется с помощью таймера, вычислительного комплекта 15ВУМС-28-025 и печатающего устройства. Таймером задается интервал времени, через который производится последовательный опрос тренируемых ИС о наличии функционирования на характерном выходе. Полученная информация отображается на дисплее и при необходимости автоматически печатается и печатающем устройстве, что позволяет во время тренировки получить оперативную информацию о ее результатах, а в конце отобрать вышедшие из строя ИС.

При больших объемах производства и продолжительных тренировках (168, 240 ч и более) значительно возрастают площади, занимаемые оборудованием ЭТТ, и количество обслуживающего персонала, а тем самым — и себестоимость изделий. С целью уменьшения этого создаются специализированные участки ЭТТ с автоматической загрузкой, контролем функционирования и разгрузкой ИС. Для экономии производственных площадей участки представляют собой роботизированный многоэтажный стеллаж (высотой 10 м и более), в котором помещены модульные автономные камеры ЭТТ, вмещающие несколько сотен ИС. С помощью робота, работающего по специальной программе, модули доставляются на специальный автоматизированный пост загрузки-разгрузки ИС, пос-

#### Рис 8.3. График интенсивности отказов при электротермотренировке-

в при отсутствии отказов (хорошем технологичес Ком продессе изпотовления) о́ и при поивлении этказые восле 240 и 500 ч работы соответствению (довобом технологическом процессе изготовления)



ле чего тем же роботом они направляются в ячейку стеллажа, в которой проводится тренировка. Необходимо отметить, что использование таких участков целесообразно лишь при крупносерийном произвоястве.

Важным фактором изготовления ИС, и особенно ЦАП и АЦП. является продолжительность ЭТТ, что непосредственно связано с надежностью и стоимостью изготавливаемых изделий. так как стонмость операции ЭТТ достаточно высокая. Продолжительность ЭТТ определяется экспериментально-расчетным способом. Для этого ежемесячно из текущего производства, в зависимости от его объема, отбирается определенное число ИС («свидетели»), которые подвергаются 600-часовой ЭТТ. По результатам замеров после 168, 240, 360, 480 и 600 ч проводят расчет 24. 48, 96, интенсивности отказов  $\lambda = N_1/KN_2t$ , где  $N_1$  — число отказов при испытании «свидетелей»; N2 — число «свидетелей»; t — продолжительность испытаний; К = 5 — температурный коэффициент ускорения. По расчетным данным строится график интенсивности отказов и определяется необходимая продолжительность ЭТТ (рис. 8.3)

#### Глава 9

### ПЕРСПЕКТИВЫ РАЗВИТИЯ Быстродействующих микросхем цап, ацп и измерение их параметров

### 9.1. ПУТИ УВЕЛИЧЕНИЯ БЫСТРОДЕЙСТВИЯ И РАЗРЯДНОСТИ АЦП

Интегральный критерий качества АЦП и ЦАП, определяющий их качество в применяемость, можно выразить добротностью [111]

$$Q = [f_{cmex} 2^{0.50} f(Q_A, Q_f, Q_E, Q_C, Q_P)]/A.$$

где  $I(Q_A, Q_7, Q_E, Q_C, Q_P)$  — функция. Зависящан от эксплуатационных характеристик схем;  $Q_A$  — временная стабильность,  $Q_7$  — температурная стабильность;  $Q_E$  — стабильность к воздействию окружающей среды.  $Q_C$  — стабильность к начененням питающих напряжений.  $Q_P$  — потребляемая мощность. A — стоимость микросхемы

При проектировании АЦП с улучшенной добротностью возникают проблемы, связанные с изготовлением компонентов схемы с заданными характеристиками при их большом количестве на кристалле большой плошали при приемлемом проценте выхода годных. Увеличение добротности АЦП и ЦАП в основном определяется повышением их быстродействия и разрядности при снижении стоимости.

Одновременно увеличить разрядность и быстродействие очень сложно, так как эти требования взаимно противоречивы. Увеличение разрядности обусловли вает увеличение числа составных единиц АШП или числа циклов, за которое происходит преобразование, коэффициентов усиления устройств. работающих в линейном режиме, что, в свою очередь, приводит к снижению быстродеАствия

Увеличение разрядности АЦП параллельного типа связано с увеличением числа шагов квантования XII Увеличение числа шагов квантования приводит к уменьшению их величины Увеличение диапазона входных напряжений АЦП свыше 5...6 В ограничивается пробивными напряжениями транзисторов, так как граничная частота усиление транзисторов в общем случае обратно пропорциональна пробивным напряжениям. С уменьшением величины шагов квантования резко возрастают требования к точности изготовления компонентов для получения необходимых нелинейности и дифференциальной нелинейности. Кроме того, с увеличением разрядности увеличивается «токовая» составляющая нелинейности (см гл. 2) [114 116, 117] Отклонение опорного эталонного напряжения на *i*-м компараторе, обусловленное протеканием входных токов компараторов через резисторы делителя, определяется [112] как

$$\Delta U_{R}(i) = \sum_{j=1}^{\infty} \left[ I_{REF} 2^{b} + (2^{b} - j)i_{B} \right] R - \frac{i}{2^{b}} \sum_{j=1}^{2^{b}} \left[ I_{REF} 2^{b} + (2^{b} - j)i_{B} \right] R = \frac{i_{B}R}{2} (2^{b} - i)i_{B}$$

где  $\Delta U_R(i)$  — отклонение опорного напряжения на  $\iota$  м компараторе,  $I_{REF}$  — ток через делитель,  $\iota_B$  — входной ток компаратора; R — номинальное сопротивление резистора в делителе опорных напряжений

Максимальное отклонение будет в середине XП при  $i = 0.5 \cdot 2^{h}$ 

$$\Delta U_{Rmax} = (i_B R/2) (2^b - 0.5 \cdot 2^b) \cdot 0.5 \cdot 2^b = i_B R 2^{2b}/8.$$

При изготовлении резисторов делителя в слое металлизации ИС из сплава AL — Si ввиду особенностей конструкции топологии минимально возможным следует считать сопротивление R = 0,16 Ом. При приемлемой входной полосе частот компаратора его входной токi<sub>в</sub>≈1 мкА. На рис. 9.1 представлена зависимость «токовой» составляющей нелинейности для АЦП разной разрядности и с разным диапазоном входного сигнала. Как видно из графика, возникающая погрешность обратно пропорциональна диапазону входного сигнала АЦП и экспоненциально возрастает с увеличением разрядности

Рис 9.1 Зависимость «токовой» сос тавляющей нелинейности от числа разрядов АЦП при R = 0.16 Ом.  $i_{B} = 1$  мкА



Если для  $b \leqslant 8$  этой составляющей можно пренебречь, то при дальнейшем увеличении разрядности она является преобладающей.

Разброс сопротивлений резисторов делителя также определяет нелинейность ХП АЦП. Сопротивление резистора зависит от толщины резистивного слоя, его ширины, длины и удельного сопротивления материала, из которого он изготовлен. Исследования показывают, что флуктуациями планарных геометрических размеров и удельного сопротивления материала можно в первом приближении пренебречь, и значение сопротивления резисторов определяется в основном толщиной слоя резистивного материала [113]. Распределение толщины слоя не является случайным, обычно его толщина постепенно изменяется в одном направлении. Считая, что вдоль вертикального направления толщина слоя увеличивается на а% (сверху вниз), а вдоль горизонтального на b % (слева направо), в [112] получены формулы для расчета возникающей погрешности для 8-разрядного АЦП. В анализируемой конструкции АЦП компараторы размещены четырьмя блоками. В каждый блок входит по две линейки из 32 компараторов. Такая компоновка является оптимальной и поэтому традиционной при разработке топологии параллельных АЦП.

Максимальное значение возникающей погрешности [EMP] вдоль горизонтальной стороны кристалла (поперек линеек компараторов) составляет  $\varepsilon_{max1} = 32b/100$ . Максимальное значение возникающей погрешности [EMP] вдоль вертикальной стороны кристалла (вдоль линеек компараторов) составляет  $\varepsilon_{max2} = 4a/100$ . Таким образом, максимальная погрешность, вызываемая неоднородностью толщины слоя резистивного материала делителя, прямо пропорциональна числу компараторов в линейке. В табл. 9.1 приведены значения допустимой относительной погрешности толщины

| Разрядность АЦП, бит   | 6    | 8    | 10   | 12     |
|--|------|------|------|--------|
| Максимальное относительное изменение<br>толщины резистивного слоя в горизон-<br>тальном направлении в, % | 3,1  | 1,56 | 0,78 | 0,39   |
| Число компараторов в линейке X число<br>блоков компараторов  | 16×2 | 32×4 | 64×8 | 128×16 |

Таблица 9.1 Требования к неоднородности толщины слоя резистивного материала

слоя резистивного материала делителя в горизонтальном направлении (поперек линеек компараторов) в зависимости от числа разрядов при допускаемой возникающей погрешности 0,5 ЕМР.

Еще одним фактором, влияющим на нелинейность ХП АЦП, яв ляется разброс значений напряжения смещения компараторов. Напряжение смещения определяется в основном разностью напряжений  $\Delta U_{\rm E9}$  транзисторных пар  $\Delta U_{\rm E9} = f(\rho_{SE}, h_{21}, R_c, I_E, S)$ . Допустимые отклонения указанных параметров для достижения заданной нелинейности, равной  $\pm 0.5$  МЗР, рассчитанные на условия наихудшего их сочетания, приведены в табл. 9.2.

|  | Разрядность АЦП |       |       |        |  |
|--|-----------------|-------|-------|--------|--|
| Параметр   | 6               | 8     | 9     | 10     |  |
| Разброс площадей эмиттеров входных транаисторов компараторов S   | ±4,2            | ±1,02 | ±0,77 | ±0,58  |  |
| Разброс поверхностного сопротявления   | ±2              | ±0,5  | ±0,39 | ±0.3   |  |
| Разброс статического коэффициента  | ±6              | ±2    | ±0,77 | ±0,57  |  |
| усиления транзисторов n <sub>21</sub> , %<br>Разброс контактных сопротивлений к<br>слою эмиттера R <sub>c</sub> , Ом | ±3,8            | ±0,89 | ±1,14 | ±0,857 |  |
|  |                 |       |       |        |  |

Таблица 9.2. Допустимые отклонения параметров, влияющих на АИка

Примечания. 1. Расчет параметров табл. 9.2 произведен на основания конкретных принципиальных скем компараторов.

принципиальных схем компараторов. 2. Расчет произведен исходя на следующего распределения составляющия: на долю разброса площадей эмиттеров приходится 0,1 ЕМР; на долю разброса контактных сопротивлений к эмиттеру 0,05 ЕМР; на долю разброса поерехностного сопротналения слоя эмиттера 0,05 ЕМР; на долю разброса статического коэффициента усиления транзисторов 0,1 ЕМР; на долю погрешности, виссимой делителем опорных напряжений, 0,1 ЕМР; на долю погрешиюсти, високной коллекторными резисторами нагрузки компараторов, 0,1 ЕМР; Увеличение быстродействия параллельных АЦП связано увеличением быстродействия отдельных узлов. Увеличение быстродействия АЦП должно охватывать увеличение как максимальной частоты преобразования, так и полосы и скорости изменения входного аналогового сигнала. Максимальная частота преобразования определяется временем задержки компаратора в режиме сравнения, временем срабатывания триггера-защелки, а также временами задержки в логических элементах шифратора. Допусти мые полоса и скорость изменения входного сигнала определяются в основном апертурной неопределенностью и разбросом значений апертурного времени (см. § 2.4)

Вернемся к двум режимам работы АЦП: с УВХ на входе и без него. Применение АЦП без УВХ, безусловно, нанболее интересно для разработчнков аппаратуры, однако оно не позволяет реализовать преобразование с малымн динамнческими искажениями при частотах входного аналогового сигнала, близких к половине максимальной частоты преобразования. Причем с увеличением разрядности АЦП максимальная частота входного сигнала, при которой нелинейность XII возрастает, например, на 0,5 ЕМР, сильно уменьшается и для Ю-разрядных АЦП может достигать значений сотен килогерц при максимальной частоте преобразования 20 МГц. Поэтому режим работы без УВХ при достаточно широком диапазоне частот входных сигналов может быть применен в прикладных задачах, когда абсояютная величина закодированного сигнала не имеет большого значения, например при использовании АЦП в цифровом телевидения При постановке прикладных задач, связанных с необходимостью оценки абсолютных значений сигнала, например в измерительных системах, предпочтительно применение первого режима работы с УВХ на входе.

Проведем оценку возникающей дополнительной нелинейности при быстроизменяющемся входном сигнале, определяемой конечным значением паразитных параметров элементов конструкции без учета неидеальности самих компараторов. Шину аналогового входа (тактового), обходящую последовательно компараторы АЦП, можно представить в внде многозвенного RC-фильтра нижних частот Значение R определяется сопротивлением шины металлизации, заключенной между двумя соседними компараторами, значение C — входиой емкостью компаратора и распределенной емкостью шины металлизации. при веденной ко входу компаратора. Максимальное время задержки распространения на выходе такого многозвенного фильтра [129]  $t_{max} = 0.53RCN^2$ , где N — число компараторов, объедиияемых шиной тактового (аналогового) сигнала. Переходя к значению входной емкость АЦП, получаем  $t_{max} = 0.53RC_iN^2/(2^o - -1)$ , где  $C_i$  — входная емкость АЦП.

Максимальная частота синусондального сигнала, при которой будет происходить увеличение нелинейности на 0,5 ЕМР из-за рассматриваемого механизма,  $f_{Imax} = 1/2\pi t_{max} 2^{b+1}$ 

В табл 9.3 приведены рассчитанные значения  $\dot{l}_{lmax}$  для рассмотренных типов АЦП, а также для 10-разрядного АЦП, который может быть создан на базе технологии трех диффузий с уменьшенными по сравнению с АЦП К1107ПВ2 размерами компонентов.

| Пераметр                       | Тип АЦП          |           |                  |                 |        |
|--------------------------------|------------------|-----------|------------------|-----------------|--------|
|                                | <b>К</b> 1107ПВ1 | K1107TTB2 | <b>КІ 107ПВ3</b> | <b>К1107ПВ4</b> | АЦП-10 |
| Входная емкость                | 100              | 300       | 35               | 120             | 500    |
| Сопротнвление                  | 0,32             | 0,3       | 0,07             | 0,07            | 0,21   |
| Шины К. Ом<br>Число компарато- | 16               | 32        | 32               | 64              | 64     |
| Частота fi max.<br>МГЦ         | 18,3             | 1,63      | 59               | 4.3             | 0,35   |
| міц                            |                  |           |                  |                 |        |

Таблица 9.3. Рассчитанные значения параметра f / max некоторых типов АЦП

Рассмотрев принципы, определяющие разрядность и быстродействие параллельных АЦП, можно сделать выводы о возможности увеличения их быстродействия и разрядности. Способы увеличения разрядности, быстродействия и улучшения эксплуатационных параметров заключаются в уменьшении влияния перечисленных факторов Приведем конкретные способы уменьшения влияния этих факторов

1. Уменьшение «токовой» составляющей нелинейности

Конструктивно-схемотехнические способы. Первым способом уменьшения «токовой» составляющей нелинейности является реализация нелинейного делителя эталонных опорных напряжений. При этом реализация с помощью нелинейного делителя ХП должна зеркально отображать ХП АЦП с линейным делителем, искаженную влиянием входных токов компараторов. Тогда результирующая ХП будет иметь линейный характер. Однако влияние неоднородности резистивного материала, разброс параметров компонентов (статического коэффициента усиления транзисторов, сопротивлений резисторов) от партии к партии ИС приводит к невозможности полной компенсации. Поэтому этим способом возможна лишь статистическая компенсация возникающей нелинейности

Вторым способом компенсации «токовой» составляющей нелиней ности является способ, основанный на фиксации потенциала в промежуточных точках делителя эталонных опорных напряжений Его реализация заключается в организации дополнительных отводов из промежуточных точек делителя. На эти отводы через буферные повторители напряжения подаются компенсирующие опорные
напряжения от дополнительного делителя эталонных опорных на пряжений, подстраиваемого в процессе настройки АЦП [112, 114] Эти отводы делителя могут быть выведены на внешние выводы корпу са ИС, при этом настройка АЦП сведется к установке необходимых компенсирующих напряжений с помощью подстроечных элементов расположенных на плате. Возможен и другой вариант, при котором буферные повторители напряжения и дополнительный делитель ком пенсирующих опорных напряжений изготавливаются на одном крис талле с АЦП. В этом случае настройка АЦП осуществляется с помощью лазерной подгонки резисторов дополнительного делителя компенсирующих опорных напряжений Число отводов делителя выбирается из условия требуемой степени компенсации «токовой» погрешности при заданных разрядности и диапазоне входного сигнала АЦП [122]

Третьим способом компенсации «токовой» составляющей нелинейности является способ, в основе которого лежит оптимизация сопротивлений резисторов делителя опорных напряжений и шины аналогового входа [114] Рассмотрим одну секцию АЦП, в состав которой входят две линейки компараторов, при этом делитель опорных напряжений, выполненный в виде шины металлизации, с трех сторон охватывает эту секцию, а каждая линейка компараторов имеет шину входного аналогового сигнала, причем сигнал подается на один конец такой шины (рис. 9.2) Падение напряжения на входе і-го компаратора на шине аналогового сигнала  $\Delta U_{Ai} = [(i^2 + i)R_A i_B]/2$ , где  $R_A$  — сопротивление части шины металлизации, заключенной между аналоговыми входами соседних компараторов.

Погрешность, возникающая в *i*-й точке делителя опорных напряжений за счет протекания входных токов компараторов  $\Delta U_{D_i} = [(2^b - i)i_B R_D]/2.$ 



12



Рис. 9.3. Распределение погрешности в делителе опорных напряжений, обусловленной протеканием входных токов компараторов в 7-разрядной секции АЦП при *i<sub>B</sub>* = 1 мкА, *R* = 0.16 Ом

линейки компараторов. 3.4 Шины для подвода вналогового сигнала, 5 напряжений

Результирующая погрешность будет определяться разностью значений  $\Delta U_{Ai}$  н  $\Delta U_{Di}$ . Варьируя значения сопротивления  $R_A$  при заданном значении  $R_D$ , можно добиться минимизации нелинейности XП.

На рис. 9.3, 9.4 приведены графики распределения погрешностн в делителе опорных напряжений, обусловленной протеканием входных токов компараторов, и распределения падения напряження на шинах аналоговых входов секции АЦП, а на рис. 9.5 — график результирующей минимизированной нелинейности секции АЦП.

Для компенсации «токовой» составляющей нелинейности при разработке параллельных АЦП с разрядностью b ≥8 можно использовать все три рассмотренных выше способа.

Технологические способы. К технологическим способам можио отнести достижение таких абсолютных точностей воспронзведения параметров компонентов, которые позволили бы осуществить первое конструктивно-схемотехническое решение.

2 Уменьшение влияния разброса сопротивлений резисторов де-

**конструктивно-схемотехнические способы.** Для уменьшения влияния разброса сопротивлений резисторов делителя можно лишь использовать второй и третий методы, рассмотренные в п. 1

Технологические способы. К технологическим способам уменьшения разброса сопротивлений резисторов делителя можно отнести уменьшение неравномерности толщины напыленного резистивного материала. Реализуемая сегодня неравномерность толщины резистивного слоя в 2...3% [112] не позволяет реализовать параллельные АЦП с разрядностью b > 8 без дополнительных конструктивносхемотехнических решений.

3. Уменьшение влияния напряжения смещения компараторов.

Конструктивно-схемотехнические способы. К конструктивносхемотехническим способам можно отнести оптимизацию рабочих токов во входных каскадах компараторов и изготовление эмиттеров транзисторов входных компараторов круглой формы. Уменьшение рабочих токов позволяет уменьшить влияние контактных сопротивлений, хотя н снижает быстродействие компаратора. Эмиттеры круглой формы позволяют уменьшить разброс площадей за счет уменьшения оптических искажений, возникающих при переносе изображе-





Рис. 9.5. График результирующей минимизированной нелинейности секции АЦП при i<sub>g</sub>=1 мкА, R=0,16 Ом

ния с шаблонов на кремниевую пластину. Однако эмиттеры круглой формы в топологиях, содержащих десятки или даже сотни тысяч компонентов, снижают общую точность изготовления шаблонов за счет того, что столик фотогенератора кроме передвижений в двух осях координат должен совершать еще и вращательные движения. Кроме того, при изготовлении эмиттеров резко увеличивается продолжительность процесса изготовления фотошаблонов. Так, при изготовлении фотошаблона эмиттера для 10-разрядного АЦП на современном фотогенераторе ЭМ-559Б требуется время порядка 50 ч. Для той же топологии, но с круглой формой эмиттеров это время увеличивается в несколько раз. Вероятность безотказной и бессбойной работы сложной электронно-механической системы, какой является фотогенератор ЭМ-559Б, в течение такого времени очень невелика, поэтому для изготовления фотошаблонов многоразрядных параллельных АЦП, имеющих эмиттеры круглой формы, необходима новая, более высокопроизводительная техника.

Необходымо подчеркнуть, что резкого уменьшения напряжения смещения компараторов конструктивно-схемотехническими способами при стремлении уменьшения линейных размеров компонентов ожидать не следует.

Технологические способы. К технологическим способам необходимо отнести разработку технологических процессов изготовления компонентов, позволяющих уменьшить разброс поверхностных н контактных сопротивлений слоя эмиттера, а также разброс статического коэффициента усиления транзисторов. Этого можно достичь, например, применением технологического процесса имплантации ионов мышьяка при изготовлении эмиттера [112]. Снижение разброса площадей эмиттеров возможно в результате разработки новых принципов и технологических процессов изображения рисунка на кремний, уменьшающих геометрические искажения. Например, с помощью электронно-лучевой фотолитографии исключается применение фотошаблонов в технологическом маршруте. Как показывает анализ табл. 9.2, увеличение разрядности параллельных АЦП требует использования новейших достижений в технологии изготовления интегральных схем.

4. Увеличение быстродействия. Увеличение максимальной частоты преобразования возможно за счет увеличения рабочих токов каскадов и уменьшения паразитных параметров компонентов (емкостей и сопротивлений). Однако увеличение рабочих токов резко увеличивает мощность потребления ИС, что с ростом разрядности создает проблему отвода тепла от кристалла. Уменьшение паразитных параметров компонентов возможно уменьшением их линейных размеров. Повышение максимальной частоты преобразования достигается совершенствованием схемных решений компараторов и шифратора. Например, используя код Грея вместо двоичного выходного кода, можно повысить быстродействие шифратора. Быстродействие АЦП определяется электрофизическими характеристиками применяемых материалов. Считается, что если использовать в качестве исходного материала для ИС АЦП кремний, достижимое граничное значение максимальной частоты преобразования будет составлять 400 МГц [130]

Увеличение быстродействия по аналоговому входу АЦП с ростом разрядности ограничено достижимыми значениями апертурной неопределенности и разбросом апертурного времени по XII Как было показано выше, практическое уменьшение разброса апертурного времени по ХП может быть достигнуто за счет уменьшения входной емкости АЦП. Последнее достигается лишь технологическими методами: использованием технологий с диэлектрической изоляцией компонентов и переходом на субмикронные размеры воспроизводимых на кремнии элементов. Как показывает анализ табл. 9.3, с увеличением разрядности АЦП частота входного сигнала, при которой динамические погрешности приемлемы, резко ладает. Достижимым значением разброса апертурного времени при существующем уровне технологии следует считать десятки пикосекунд, а при большой разрядности — и сотни пикосекунд, что ограничивает полосу входного сигнала для 10-разрядного АЦП до сотен килогерц, единиц мегагерц, а для 12-разрядного — до десятков — сотен килогерц Отсюда следует вывод, что даже для параллельных АЦП с ростом разрядности для достижения приемлемого быстродействия по аналоговому входу необходимо применять УВХ. Например, металлизация на окиси кремния дает задержку 6,7 пс/мм, что для кристалла с линейным размером линейки компараторов 10 мм дает разброс апертурных времен, равный 67 пс [115].

Перспективным способом увеличения быстродействия АЦП является применение в качестве исходного материала арсенида галлия. В настоящее время на арсениде галлия наиболее отработана технология изготовления схем на полевых транзисторах с барьером Шотки (ПТШ). На ПТШ построить параллельные АЦП возможно лишь с небольшим числом разрядов (4—6), так как статические параметры полевых транзисторов имеют значительный разброс в пределах одного кристалла. Разброс пороговых напряжений ПТШ в пределах ±40 мВ связан главным образом с технологическим разбросом глубины канала ПТШ, от которого это напряжение зависит квадратично. Однако использование арсенида галлия позволяет создавать АЦП с максимальной частотой преобразования 1 ..1,5 ГГц [116]

Рассмотрев пути увеличения быстродействия и разрядности, покажем, как развивается мировой рынок АЦП. В табл. 9.4 представлены последние разработки АЦП ведущих зарубежных фирм. При составлении таблицы упор делался на экстремвльные значения полученного быстродействия [157, 159] Как показывает анализ табл. 9.4, АЦП с разрядностью до 9 бит изготавливаются в виде однокристальных ИС и имеют быстродействие 18...110 МГц. Большинство микросхем выполнены по биполярной технологии и имеют параллельную структуру Среди этих преобразователей следует выделить ИС МР7684D выполненную по КМОП-технологии Высокие показатели

|                            |                      | •                        |  |  |
|----------------------------|----------------------|--------------------------|--|--|
| Фирма-изготовитель         | ΑЦП                  | Разряд-<br>ность,<br>бит | Частота<br>преобра-<br>зования.<br>МГц | Конструктивное<br>исполнение                                 |
| ANALOGIC<br>MICRO NETWORKS | ADAM-826-2<br>MN5420 | 16<br>16                 | 0,5<br>0,32                            | Модуль с УВХ<br>Гнбрндная ИС с                               |
| ANALOG DEVICES             | CAV12200             | 12                       | 20                                     | Лечатная плата с<br>VRX                                      |
| BURR-BROWN<br>DATA DEVICE  | ADC600<br>ADC00300   | 12<br>12                 | 10<br>2,0                              | То же<br>Гнбрндная ИС  |
| ANALOG DEVICES             | AD7572               | 12                       | 0,2                                    | Однокристальная<br>ИС (совмещенная<br>технология)            |
| NATIONAL<br>SEMICONDUCTOR  | ADC1280              | 12                       | 0,04                                   | Однокристальная<br>ИС (биполяриая<br>технология)             |
| MICRO POWER SISTEMS        | MP7685JD             | 11                       | 2,0                                    | Однокристальная<br>ИС (КМОП-техис                            |
| ANALOG DEVICES             | CAV1040              | 10                       | 40                                     | Печатная плата<br>VRX  |
| SONY                       | CX 20220-1           | 10                       | 20                                     | Однокристальная<br>ИС (биполярная<br>технология)             |
| PANASONIC                  | AN6859               | 10                       | 20                                     | Одяокристальная<br>ИС (биполярная<br>технология)             |
| TRW                        | TDC1019J             | 9                        | 18                                     | То же  |
| SONY                       | CX 20116             | 8                        | 100                                    | >  |
| SIEMENS                    | SDA 8010             | 8                        | 100                                    | 2  |
| SONY                       | CXA 1056P            | 8                        | 50                                     |  |
| TRW                        | TDC 1025             | 8                        | 50                                     | >  |
| PANASONIC                  | AN6857               | 8                        | 35                                     | ,  |
| MICRO POWER SISTEMS        | MP 7684JD            | 8                        | 20                                     | Однокристальная<br>ИС (КМОП-тех-                             |
| TRW                        | TDC 1007             | 8                        | 20                                     | нология)<br>Однокристальная<br>ИС (биполяриая<br>технология) |
| PI ESSY                    | SP 9756-8            | 6                        | 110                                    | To Te  |
| TRW                        | TDC1029              | 6                        | 100                                    | >  |
| SIEMENS                    | SDA5200              | 6                        | 100                                    |  |
| SIEMENS                    | SDA8010              | 8                        | 100                                    | >  |
|                            |                      |                          |  |  |

обеспечиваются применением КМОП-технологии с затворами из молибдена. Такие затворы выполняют также роль металлических шин первого уровия соединений что повышает плотность улаковки и увеличивает быстродействие.

Прн разрядности 10 бит рекорд по быстродействию принадлежит АЦП САV1040 выполненному в виде печатной платы и содержащему схему УВХ. В последнее время появились однокристальные ИС АЦП с разрядностью 10 ит и частотой преобразо вания 20 МГц. Обе микросхемы АN6859 и SX20220-1 выпускаются японскими фирмами Причем АЦП АN6859 построен по параллельной схеме и не требует внешней схемы УВХ при решении ряда практических задач. Микросхема SX20220-1 выполняет преобразование последовательно, с помощью двух ступеней компараторов и поэтому требует использования на входе внешней схемы УВХ.

Разработанная модель АЦП МР7685JD заннмает первое место средн высокоразрядных быстродействующих, АЦП монолитной конструкции и имеет разрядность 11 бит, при частоте преобразования 2 МГч. Микросхема выполнена по КМОП-технологни, как и ИС МР7684D, однако требует применения на входе внешней схемы УВХ, так как осуществляет процесс преобразования по двухступенчатому алгоритму.

Среди 12-разрядных АЦП лидирующее место по быстродействию приналлежит преобразователю САV12200 на 20 МГц, выполненному в виде печатной платы с УВХ. Одным из самых быстродействующих однокристальных, серийно выпускаемых АЦП на 12 разрядов следует считать микросхему АD752, изготовленную по совмещенной технологии. Аналоговая часть микросхемы изготовлена до быполярной технологии, а цифровая — по КМОП. Преобразователь построен на основе метода последовательных приближений. Однокристальные быстродействующие 16-разрядные АЦП в мастоящее время не изготавливаются.

Сформулируем следующие положения, определяющие тенденции развития АЦП:

ближайшей перспективой в развитии отечественных АЦП следует считать увелнчение быстроделствия при разрядности 4—8 и создание АЦП на 9—10 разрядов с частотой преобразовання до 20 МГц [160];

дальнейшее увеличение разрядности при высоких частотах преобразования следует искать в разработке гибридных, модульных конструкций на основе малоразрядных быстродействующих АЦП и ЦАП с использованием комбинированных методов аналого-цифрового преобразования

### 9.2. ПУТИ УВЕЛИЧЕНИЯ БЫСТРОДЕЙСТВИЯ И РАЗРЯД НОСТИ ЦАП

Повышение разрядности и быстродействия ЦАП представляет важнейшую задачу при увеличении производительности обработки информации в различных системах сбора и обработки данных. Эта задача решается с помощью комплексных мероприятий: поиск и применение прогрессивных схемотехнических решений, разработка структур, позволяющих максимально использовать динамические характеристики элементов ИС, разработка технологических процессов, позволяющих повысить динамические параметры элементов Например, фирмой «Аналог Дивайсис» (США) изготовлены 12-разрядные ЦАП AD565A и AD565 с временем установления 250 и 350 нс соответственно, что достигнуто за счет применения более быстродействующих схем токовых ключей и технологии быстродействующих ИС [119]. Фирмой «Плесси» (Англия) разработана серия быстро-действующих ЦАП на 8-10 разрядов [120-122]. В этих ЦАП источники разрядных токов образованы параллельным соединением источников токов и ключей. число которых пропорционально весу разряда. Такое соединение частично исключает влияние разброса сопротивления резисторов и параметров транзисторов на линей ность ХП и позволяет изготавливать ЦАП без функциональной под

гонки. В технологии изготовления ЦАП использована ионная имплантация. Это позволило получить высокую граничную частоту транзисторов и за счет этого — время установления 5 ис для 8-разрядных ЦАП и 12 ис — для 10-разрядных.

Для повышения разрешающей способности используются различные методы. Одним из них является метод динамического согласования, позволяющий изготавливать даже 14-разрядные ЦАП без функциональной подгонки [123, 124]. Этот метод согласования, предложенный сравнительно давно [125], заключается в получении среднего значения двух заведомо неравных токов посредством их многократного подключения к выходу и последующей фильтрации. Таким образом удается избежать необходимости точного деления токов и построить 14-разрядные ЦАП, не требующие функциональной подгонки.

Другой способ изготовления ЦАП, не требующих подгонки, применение так называемой сегментированной структуры [126]. Структура такого ЦАП содержит два преобразователя: 8-разрядный преобразователь сегментов и 9-разрядный вспомогательный ЦАП. Характеристика преобразования малого ЦАП разбита на восемь сегментов, выходной ток каждого сегмента поступает на 9-разрядный вспомогательный ЦАП. Такая структура обеспечивает монотонную ХП и не требует высокой степени согласования резисторов матрицы.

Применяются структуры с дешифрацией старших разрядов [127], в которых необходимый бес разряда образовывается включением соответствующего числа единичных источников токов, а также структуры со схемами коррекции ошибок. Улучшение основных электрических параметров ЦАП, как правило, позволяет расширять рабочий температурный диапазон, в котором микросхемы работоспособны, а также повышать стабильность и долговечность.

### 9.3. ПУТИ УВЕЛИЧЕНИЯ ТОЧНОСТИ И ШИРОКОПОЛОС-НОСТИ ИЗМЕРИТЕЛЕЙ ЭЛЕКТРИЧЕСКИХ ПАРАМЕТРОВ ЦАП И АЦП

Тенденции и динамика роста разрядности и быстродействия ЦАП и АЦП требуют соответствующего увеличения точности и широкополосности измерителей статических и динамических параметров. Проблема увеличения точности и широкополосности измерителей электрических параметров ЦАП и АЦП может быть решена организационно-эксплуата ционными, конструктивными, схемотехническими методами.

### 9,3.1. УСЛОВИЯ ИЗМЕРЕНИЯ

Точность измерения любого измерителя во многом зависит от условий эксплуатации, параметров сети питания, колебаний температуры окружающей среды, наличия электрических и магнитных полей и т. д. Практика показывает, что чем выше точность измерения, тем большее влияние на результат измерения оказывают условия окружающей среды, в которых производится измерение

Для получения наибольшей точности и достоверности измерений питание измерительной аппаратуры осуществляется от сети, защищенной от индустриальных помех. Для этого применяются мотор-генераторы, а развязка между отдельными измерителями или их отдельными функциональными узлами осуществляется с помощью высокоэффективных развязывающих разделительных фильтоов. Одновременно используется помехозащищенное измерительное заземление, изолированное от других потребителей. Для устранения влияиия внеших электрических и магнитных полей, а также других факторов измерение высокоразрядных ЦАП и АЦП необходимо проводить в специально оборудованных экранированных комнатах [42]. Лабораторная мебель изготавливается из антистатического материала, а обслуживающий персонал имеет средства защиты от статического электричества (носит специальную одежду). Кроме того, применяются специальные антистатические тара и инструмент для укладки и подключения ИС к измерителю.

Для обеспечения достоверности измерений точных и быстродействующих ИС необходимо строго соблюдать температурный режим окружающей среды измерения. Колебания окружающей среды должны быть обеспечены согласно требованиям. нормативно-технической документации (техническими условиями). При продолжительном измерении параметров одной ИС (это имеет место при измерении ХП ЦАП и АЦП), время измерения которой составляет десятки и более секунд, схема постоянно нагревается. При этом ее параметры изменяются до момента установления теплового равновесия, время которого зависит от тепловой емкости корпуса и потребляемой мощности. Для исключения ошибочной разбраковки (или пропуска брака), особенно при измерении на пластинах (из-за разных температурных режимов на пластине и в корпусе), необходнмо обеспечить одинаковые тепловые режимы. Для этого измерение на пластине производится с подогревом (зонд с подогревочным столиком). При измерении корпусных ИС необходимо предусмотреть их предварительный подогрев электрическим (подачей питающих напряжений перед измерением) или тепловым (повышением их температуры с помощью источника тепла) способом.

### 9.3.2. КОНСТРУКТИВНЫЕ МЕТОДЫ

Одним из наиболее важных факторов, во многом определяющих широкополосность, точность и достоверность измерения динамических параметров сверхбыстродействующих ЦАП и АЦП, является коиструктивное исполнение узлов адаптерной платы: КГ, элементов, создающих режим измерения, первичных измерительных преобразователей, а также самого корпуса измеряемой ИС.

Для уменьшения влияния конструктивных паразитных элементов адаптерной платы на измеряемые динамические параметры сверхбыстродействующих ЦАП и АЦП принимаются специальные конструктивные решения. Как правило, адаптерные платы изготавливаются по гибридной технологии, что обеспечивает получение необходимых режимов согласования волновых сопротивлений трактов передачи сверхвысокочастотных сигналов, а также повторяемость конструктивных паразитных параметров в отдельных экземплярах. Линин передачи энергии выполняются в виде компланарных полосков, имеющих определенные значения волновых сопротивлений. Элементы, создающие режим измерения (резисторы, индуктивности, конденсаторы, диоды и транзисторы), формируются непосредственно на плате напылением или монтируются, как в гибридных микросхемах. Наиболее сложной проблемой является согласование полных сопротивлений линий передачи воздействующих (тестовых) сигналов и входных каскадов измеряемых ИС, представляющих нелинейную емкость. Для сверхбыстродействующих АЦП, как правило имеющих параллельную структуру, значение входной емкости достигает десятки пикофарад и более, а разброс между отдельными экземплярами ИС-20...30%. Для обеспечения заданного режима измерения (поддержания постоянства амплитуды входных воздействий) необходимо использовать линии передачи проходного типа и систему автоматического регулирования. Исходя из топологии измеряемой ИС и создания наилучшего режима измерения, адаптерная плата проектируется индивидуально для каждого типа ИС. Неотъемлемой частью адаптерной платы, предназначенной для измерения ЦАП и АЦП, работающих в субнаносекундном диалазоне, являются первичные измерительные преобразователи и устройства выборки — хранения. В качестве первичных измерительных преобразователей используются специализированные стробоскопические преобразователи, обеспечивающие трансформацию временного масштаба и имеющие большие широкополосность и чувствительность при очень низком уровне собственных шумов.

Для уменьшения шумов, пульсации и наводок, создаваемых источниками пнтания, токонесущими элементами и линиями передачи, определенным образом (чаще всего экспериментально) подбираются места для расположения источников пнтання, трассы прохождения сигнальных и управляющих цепей и линий, соответствующая экранировка чувствительных и излучающих электромагнитную энергию элементов. Особое внимание обращается на расположение мощных, теплоизлучающих элементов, вызывающих тепловые дрейфы. В ряде случаев применяется пассивное или активное термостатирование, позволяющее избегать резких изменений температуры элементов схемы или осуществлять компенсацию, помещая элементы с противоположными знаками термофактора в один термостат.

Большое влияние при измерении сверхбыстродействующих ЦАП и АЦП (а также других их типов) имеет конструкция заземляющих корпусных шин и шунтирующих элементов, так как спектр циркулирующих сигналов очень широкий и достигает сотен и тысяч мегагерц. Для этого делаются отдельные заземляющие шины для управляющих и сигнальных цепей. Места их соединения и подключения развязывающих элементов в большинстве случаев выбираются экспериментально. Конструкция развязывающих элементов (конденсаторов), как правило, безвыводная.

Для уменьшения погрешностей измерения, вносимых коммутирующими элементами, предназначенными для создания режимов измерения, используются герметизированные реле со смоченными ртутью контактами, обеспечивающие малые и постоянные сопротивления замкнутого контакта и большие сопротивления — разомкнутого. Исключение термо-ЭДС коммутатов осуществляется путем помещения их в специальную конструкцию, выравнивающую температуру в противоположных выводах.

### 9.3.3. СХЕМОТЕХНИЧЕСКИЕ МЕТОДЫ

Наиболее сложной проблемой измерения электрических параметров ЦАП И АЦП является увеличение широкополосности измерителей, особенно для определения времени установления ЦАП. Для измерения статических параметров высокоразрядных ЦАП и АЦП в настоящее время существуют высокоточные и быстродействующие измерительные приборы тока и напряжения [146, 148, 150], на базе которых можно построить автоматизированные системы, поэволяющие измерять статические параметры ЦАП, АЦП до 14—16 разрядов. Кроме того, существуют также измерительные системы для измерения статических параметров 12—14-разрядных ЦАП и АЦП [147—149].

Как было ранее показано, с увеличением быстродействия ( $t_{\rm S} \leqslant 5...10$  нс) даже при небольшой разрядности ЦАП (6—8 разрядов) измерение времени установления нз-за прямого «пролезания» тестовых сигналов становится весьма проблематичным. Фронты тестовых импульсов через паразитные элементы контактора, корпуса и внутренние связи самого кристалла ИС «пролезают» на выход ЦАП, в результате чего нз-за воздействия системы измерения на объект измерейия искусственно увеличивается измеряемое время установления. С увеличением быстродействия ЦАП паразитные воздействия становятся соизмеримыми с измеряемым временем и само измерение теряет смысл или становится невозможным. Для исключения случайных погрешностей, вносимых шумами и временными нестабильностями, используются методы усреднения и статистической обработки результатов измерения. Исключить влияние паразитных параметров контактора, корпуса, адаптерной платы возможно усовершенствованием их конструкции или применением цифровой машинной компенсации. Так как конструктивные методы усовершенствования измерителя имеют ограничения, наиболее перспективной является цифровая компенсация.

На рис. 9.6—9.8 приведены обобщенная структурная схема, временные диаграммы и алгоритм работы измерителя времени установленяя ЦАП с машинной цифровой компенсацией влияния паразитных сигналов. Работа измерителя аналогична работе измерителей, построенных по принципу стробоеколического преобразовання временного масштаба исследуемого сигнала с последующей цифровой обработкой и измерением параметров сигнала. Формирование шага



Рис 9.6. Обобщенная структурная схема измерителя времени установления ЦАП с цифровой компенсацией



Рис. 9.7 Временные диаграммы измерителя времени установления ЦАП с цифровой компенсацией



Рис. 9.8. Алгоритм работы измерителя времени установления ЦАП с цифровой компенсацией

считывания осущестьляется с помощью двух кварцевых генераторов, работающих с близкими частотами повторения, величина которых обеспечивает режим стробирования в одной точке.

Практически величина шага считывания  $\Delta t$  выбирается из условия  $t_{\rm TM}/\Delta t > > (1...5) \cdot 10^3$ , где  $t_{\rm TH}$  — длительность исследуемого сигнала. Например, при длительности тестового импульса 50 нс, скважности 2 шаг считывания равен 1...5 пс.

Измеритель работает следующим образом. Сначала производятся измерение выходного сигнала и калибровка измерителя. Для этого при подключенной измеряемой схеме осуществляется нормалнзация амплитуды и постоянной составляющей преобразованного выходного сигнала, которая проводится в интервалах времени  $t_{Kn}^0 - t_{Kn}^0$  и  $t_{Kn}^1 - t_{Kn}^1$  (вопросы нормализации постоянной составляющей и выходного сигнала подробно описаны в [133—140]) Временные интервалы калибровочных тестов, при которых производится нормализация, выбираются из условий (обозначения на рис. 9.7): для зоны 1  $t_{k\mu}^{l} \ge t_{\mu\mu} + (3...5)t_{SU}^{l}$ ,  $t_{k\kappa}^{l} \le t_{\mu\kappa} - (2...3)t_{\phi\kappa}$ , для зоны 0  $t_{\mu\mu}^{0} \ge t_{\mu\mu} + (3...5)t_{SU}^{l}$ ,  $t_{\kappa\kappa}^{l} \le t_{\mu\mu} - (2...3)t_{\phi\mu}$ .

После этого измеряется время установлення измеряемого ЦАП, начиная с моментов  $t^{0}_{1}$  н  $t^{1}_{1}$  до  $t^{0}_{n}$  н  $t^{1}_{n}$ . При этом информация о каждой точке времени  $t^{0}_{1} - t^{0}_{n}$  н  $t^{1}_{1} - t^{1}_{n}$  записывается в память ЭВМ. Потом измеряемая ИС вынимается из контактора; при этом выходной сигнал ЦАП отсутствует и происходит измерение пролезаемого паразитного сигнала на выходные цепи в тех же самых точках. По результатам обоих измерений осуществляется расчет времени установления

Такой алгоритм работы измерителя дает возможность исключить дрейфы самого измерителя, так как калибровка производится перед измерением каждой ИС

Производительность измерителя определяется временем измерения одной ИС  $t_{\rm MHC} = 2N_{\rm crp}T_{\rm n} + t_{\rm 9BM} + t_{\rm H}$ , где  $N_{\rm crp} = (5...10)t_{SU} / \Delta t$ — число точек стробирования;  $t_{SU}$  — время установления;  $\Delta T \leqslant t_{SU} / (1...5) \cdot 10^3$  — шаг считывания стробпреобразователя,  $T_{\rm R} \ge 10t_{SU}$  — период повторения тестовых импульсов при их скважности, равной 2;  $t_{\rm 3BM}$  — время анализа ЭВМ;  $t_{\rm H}$  — время нормализации.

В реальном случае время измерения одной ИС не превышает несколько секунд.

Для измерения времени установления ЦАП в диапазоне 1...15 ис и менее кроме решения вопросов построения измерителя необходимо решить вопросы лостроения некоторых его функционных узлов

Наиболее сложным узлом измерителя, определяющим широкополосность и разрешающую способность по амплитудному и временному параметрам, является стробоскопический преобразователь. Он должен обеспечить высокую чувствительность, малые собственные шумы, широкую полосу пропускания, хорошую неравномерность переходной характеристики в начальной ее части. Получение таких стробоскопических преобразователей возможно только при гнбриднопленочной технологии и интегральном исполнении (учитывая требования подключения выходов ЦАП к стробпреобразователю).

Одним из основных узлов измерителя является генератор тестовых импульсов (генератор перепада), обеспечивающий крутой фронт, соизмеримый с фронтом и срезом измеряемого ЦАП и не имеющий выбросов. Его нагрузкой является параллельно соединенные кодовые входы всех разрядов измеряемого ЦАП. Эта проблема может быть решена с использованием сверхскоростных формирующих диодов с накоплением заряда, помещенных в формирующую коаксиальную линию специальной конструкции.

Для получения минимального влияния шумовых факторов на результаты измерения должны обеспечиваться оптимальные частотные спектры тестовых сигналов н самих измерителей по отношению к ширине спектра измеряемых сигналов. Частотный спектр тестовых сигналов и полоса частот измерителей не должны более чем в 2...3 раза превышать спектр измеряемых сигналов.

Для построения сверхбыстродействующих измерителей динамнческих параметров ИС АЦП наряду с проблемами создания перечисленных узлов (стробоскопического преобразователя с низким уровнем шумов) возникают проблемы создания высокочастотного генератора тактовых импульсов и импульсов перепада, имеющих малую времениую нестабильность, а также сверхскоростного анализатора логнческих состояний.

При достаточно малых временах преобразований АЦП (единицы наносекунд и менее) весьма проблематичным является измерение отдельных его параметров, где чаще всего для измерения используются импульсные методы. Наиболее перспективными для измерения динамических параметров являются методы, основанные на проверке функционирования при предельной частоте входных сигналов и фиксации наличия выходных кодов. Построение таких функциональных узлов с характеристиками, обеспечивающими измерение динамических параметров АЦП с временем преобразования, составляющим единицы наносекунд и менее, возможно только с использованием гибридно-пленочной технологии или специальных полупроводниковых ИС.

Для исключения влияния шумовых факторов и дрейфов необходимо применять средства и методы оптимальной фильтрации, математической коррекции, калибровочные и корректирующие тесты (после измерения некоторого числа ИС или перед каждым измерением).

### СПИСОК ЛИТЕРАТУРЫ

- 1. Гитис Э. И. Преобразователи информации для электронных вычислительных устройств. — М.: Энергия, 1975. — 448 с.
- 2. Преобразователи формы информации для малых ЭВМ/А. И. Кондалев, В. А. Багацкий, В. А. Романов, В. А. Фабричев. – Кяев: Наукова думка, 1982.-312 c.
- 3. Бахтнаров Г. Д., Малинин В. В., Школин В. П. Аналого-цифровые преобразователи/Под ред. Г. Д. Бахтиарова. — М.: Сов. радно. 1980. — 200 с. 4. Балакай В. Г., Крюк И. П., Лукьянов Л. М. Интегральные схемы
- аналого-цифровых и цифро-аналоговых преобразователей/Под ред. Л. М. Лукынова. - М.: Энергия, 1978.-256 с.
- 5. Шило В. Л. Функциональные аналоговые интегральные микросхемы. -- М.: Радио н связь. 1982—126 с. 6. Sorden J. L., Allen M. S. Waveform Recording with a High-Dynamic-Per-
- formance Instrument//Hewlett-Packard J.-1982.-Vol. 33, No. 11.-P. 3-8.
- 7. Goodenough F. Video a/d Converter Resolves 12 Bits at 10-MHz Rate// Electronic Design.-1982.-№ 9.-P. 194
- Марцинкявичюс А. К., Сташис И. В. К вопросу построения параллельных быстродействующих АЦП//Методы и средства аналогоцифрового преобразования параметров электрических сигналов и цепей: Вторая Всесоюз. науч. техи. конф. Тез. докл.-М., 1981.-62 с.

- 9 Gifflings B. 4-Bit Flash Chip Garantees 100-MHz, 8-Bit System//Electronic Design. 1981 № 24. P. 95–101
- 10. Emmens T., Lonsborough M. Use Flash ADCs Carefully to Handle High-Frequency Signals//EDN.-1982.-№ 17.--P. 137--143.
- 11 A Versatile BipoTar Monolithic 6-bit A/D Converter for 100-MHz Sample Frequency/G. Emmert. E. Navratil. F Parreiall, P Rvdval//IEEE J – 1980.– Vol. CS-15. № 6.–P 1030–1032
- 12 Маримнкявнчюс А. К., Манставичюс Т. А., Лапинскас И. Н. Компараторы напряжения серии К597//Электрон. пром-сть. — 1981 — № 4. — С. 19—20.
- 13 Роднонов В. Л., Струнин А. Г. Широкополосный стробоскопический преобра зователь со встроенным микропроцессором. Проблемы создания преобразователей формы информации//Тез. докл. V Всесоюз симпозиума.—Кнев: Наукова думка. 1984. – Ч. 2. – С. 47. – 49.
- 14 Termimology Related to the Performance of S/H, A/D and D/A Circuits/ S. K. Tewskbury, F. C. Meyer, D C. Rollenhagen e. a.//IEEE Trans.-1978.--Vol. CAS-25, No 7.- P. 419-426.
   15 Cate T. Tom Cate of Burr. Brown Speaks out on d/a Converters Specs//
- 15 Cate T. Tom Cate of Burr-Brown Speaks out on d/a Converters Specs// EDN/EEE.-1971.- June 1.- P. 34-40.
- 16 Zush L. E. Interpretation of Data Converter Accuracy Specifications// Computer Design.-1978.- Vol. 17, № 9.- P. 113-121.
- 17 Naylor R. J. Testing Digital/Analog and Analog/Digital Converters//IEEE Trans.-1978.- Vol. CAS-25.-P. 526-538.
- 18 РД-50-148-79. Методические указания. Нормирование и определение динамических характеристик аналого-мифровых преобразователей мгновенного электрического напряжения и тока. ~М.: Изд-во стандартов. 1980.—45 с.
- 19 Вопросы нормирования к определения динамических характеристик аналогоанфровых преобразователей/А. А. Брагин, В. И. Бородатый, В. И. Коновалов, А. Я. Семенюк//Метрологическое обеспечение ИМС и их компонентов.— М., 1978.—С. 58—68
- 20 Kester W. Test Video A/D Converters Under Dynamic Conditions//EDN.-1982.--№ 18.--P 103- 112
- Абрайтис В. Б., Климашаускас К. Ю., Маримикявичюс А.-Й. К. Цифро-аналоговый преобразователь К59411А1//Электрон. пром-сть. — 1981. — Вып. 2. — С. 49—50.
- 22 Маринисванчюс А.-А. К., Пошюнас Р. Л. Особенности, схемотехники и применения инфро-аналоговых преобразователей К594ПА1//Электров. пром-сть.— 1983. - Вып. 4.-С. 47—48
- 23 Пошюнас Р. Л., Марцинкявнчюс А.-А. К., Климашаускас К. Ю. Новые типы, быстродействующих ИС широкого применения//Электронная техника Сер. 10. 1984.—Вып 3.—С. 25—29
- 24 Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи информации/Под ред В Б Смолова ~М. Энергии, Ленингр отд 1976—336 с.
- 25 Малинин В. В. Схемы микроэлектронных преобразователей с суммированием токов — М. ЦНИИ «Электроника», 1977 — 43 с — (Обзоры по электронной технике Сер 3. Микроэлектроника — Вып 3)
- 26 Маршаля. Браун. Построение цифро-аналогового преобразователя средствами интегральной технологии//Электроника — 1972 — № 20. — С 64.—69
- 27 Schulz R. A. Monolithic Current Switch DAC. Improvements//IEEE J --1976.-Vol CAS-11, № 2 - P 338 341
- 28 Мэадокс. Монолитизя ИС разрядных ключей с токовым управлением для инфро-аналоговых преобразователей//Электроника — 1974 — № 7 — С 53—61
- 29 Длианические характеристики одноразрядного ЦАП с гранзисторным ключом/ В А. Багацкий, Н. Н. Миронец, Б К Лешев, А. А. Фремке//Преобразователи формы информации и средства передачи даиных.—Кнев: ИК АН УССР, 1981.—С 32—39
- 30 flar. 3961326 CША, HO3K13/0417/06. Solid-State Digital to Analog Converter R. B. Craven,
- 31 Марцинкивичнос А.-А. К., Понаюнас Р. Л., Сагайтис В. В. Сверхбыстродействующий инфроаналоговый преобразователь КП I8ПА1//Электрон. пром-сть.--1984 — Вып 1 С 46- 48

- 32. Касперович А. Н., Литвинов Н. В., Соловенко В. И. Особенности работы цифроаналогового преобразователя с инвертированной матрицей R·2R// Автометрия.—1974.—№ 3.—С. 74—81
- Mar. 4092639 CILLA, MKHHO3K13/02. Digital to Analog Converter with Complementary True Current Outputs/J. A. Schoeff.
- Шило В. Л. Линейные интегральные схемы в радиоэлектронной аппаратуре. М.: Сов. радио, 1979.—368 с.
- 35. Блад Б., Кинси Л. Быстродействующий монолитный ЦАП, эффективно работающий с биполярными управляющими схемами//Электроника.—1979.— № 24.—С. 63—69.
- 36. Особенности применения ИС ЦАП К1118ПА1 для восстановления ТВ изображения/Ю. М. Грешищев, А, Г Гуднов, А.-Й. К. Марцинкявичюс, Р Л Пошюнас//Техника кино и телевидения.—1984.—№ 6.—С. 37—39
- 37 Федорков Б. Г., Телец В. А., Дегтяренко В. П. Микроэлектронные цифроаналоговые и аналогоцифровые преобразователи. — М. Радио и связь, 1984.—120 с.
- Климашаускас К. Ю., Марцинкявичюс А. А. К., Манставичюс Т. А. Быстродействующий АЦП К1107ПВ1/Электрон. пром-сть.—1983.—№ 6 (123) —С 10— 11
- Ilar. 4276543 CIJA, HO3K13/05. Monolithic A/D Converter/R Miller J. Peterson.
- 40. Кучинскас И. Д., Марцинкявичюс А.-Й. К. Сверхбыстродействующий 6-разрядный АЦП и особенности сго применения//Тез. науч.-техн. конф. «Перспективы развития и применения быстродействующих преобразователей данных» — Вильнюс. 1983.—С. 10—13.
- 41 Марцинкявичюс А.-Й. К., Кучинскас И. Д., Басин В. Быстродействующий шестиразрядный АЦП К1107ПВЗ на 100 МГц//Электрон пром-сть.—1985 — № 7 —с. 32—34
- Рекомендации по применению, устройству и монтажу экранированных помещений и кабин.— М.: Связь, 1978.—80 с
- 43. Климашаускас К. Ю., Марциикявичюс А.-Й. К., Сташис И. Б. Монолитный быстродействующий восьмиразрядный АЦП К1107ПВ2//Электрон пром сть.— 1985.—№ 7.—с. 30—31.
- 44. Berg A. A/D and D/A Converter Testing//Electronics Design.-1974-№ 10.-P. 64-69.
- 45. Sheingold D. Analog-Digital Conversion Handbook/Norwood, 1972.
- 46. Измерение и контроль в микроэлектронике Учеб. пособие для вузов по специальностям электрон. техн. /Н. Д. Дубовой, В И Осокин. А С Очков и др Под ред. А. А. Сазонова. — М.: Высшая школа, 1984. — 363 с.
- 47 Шлыков Г.П. Измерение параметров интегральных ЦАП АЦП М Радио и связь, 1985.—128 с.
- 48. Постарайза, Уэллер. Осциллографическое измерение характеристик ЦАП/ Электроника.—1969.—Т 40. № 23.—С. 33—35.
- 49. Буткевич В. А., Пелых Б. И., Гарбузюк В. В. Определение динамических параметров цифро-аналоговых преобразователей с помощью автоматизированной установки на базе ЭВМ СМ-3//Метрологическое обеспечение динами ческих измерений в информационно-измерительных системах.—Львов Изд-во стандартов, 1981 — С. 65—70.
- 50. Измерение динамических характеристик цифро-аналоговых преобразователей В. И. Бородатый, А. А. Брагин, А. П Семенюк и др.//Метрологическое обеспечение измерительных и управляющих систем — Львов: Изд во стандартов, 1979. — С. 25—29.
- 51 А.с. 603131 СССР, НО4В7/08. Устройство для измерения времени установления выходного напряжения инфро-аналогового преобразователя/П С. Ключан, В. И. Лаврентьев.—Опубл. 1978, Бюл. № 14.
- 52. А.с. 659999 СССР, GOIR 31/30. Устройство для определення времени установления выходного напряжения цифро-аналогового преобразователя П С Ключан, В А. Романов.—Опубл 1979, Бюл № 16

- 53 А.с. 1065822 СССР G04F10/04 Цнфровой измеритель временных интервалов Багданскис Э А К Квядарас В Б\_Найденов А И и др Опубл 1984 Бюл № 1
- 54 А.с. 1084704 СССР, G01R29/02 Способ измерения времени установления переходных процессов четырехполюсников/Э.-А. К. Багданскис, В Б Квядарас А. И Найденов и др — Опубл. 1984, Бюл. № 13.
- 55 А.с. 1029089 СССР GOLK 13/20 Стробоскопический измеритель временных интервалов/Э-А К Багданскис, В Б Квидарис А И Найденов и др Опубл. 1983, Бюл № 26.
- 56 Тестер для измерения динамических параметров сверхбыстродействующих ЦАП/Э-А К Багданскис, П Ю Бартулис. В Б Квядарас, Г М Мисеркеев/ Электрон пром-сть.—1985.—Вып. 9—С 62—63.
- 57 Берг Р. Точность временной развертки к.люч к высокой точности осциллографических измерений временных интервалов//Электропика 1975 Т 48, № 21 — С 41 47
- 58 РД-50-206-80. Методические указания Нормирование и определение метрологических характеристик измерительных преобразователей кода в постоянное напряжение и ток — М Изд-во стандартов, 1981 — С 12
- 59 Брагин А. А., Коновалов В. И., Семенюк А. Л. Нормпрование динамических характеристик быстродействующих АЦП//Измерптельная техника — 1981 № 6.—С 16—18
- 60 Нил М., Мьюто А. Динамический контроль ана.того-цифровых преобразовате.тей//Э.лектроника – 1982.—№ 4 —с 49—57
- 61. Pratt B. Test A/D Converters Digitaly//Electronic Design 1975 № 25.-P 86-88
- 62 Тестер измерения динамических параметров быстродействующих АЦП/ Э-А. К. Багданскис, Б. Ю. Жаленас, В. И Кайрялис, Л. М. Слауто//Электрон пром-сть. — 1985. — Вып. 9. — С. 61—62.
- Pretri G. Die Pr
  üfung des Dynamischen Vernaltens Schneller A/D//Umsetzer Elektronik.-1978.-Heft 8.- S. 97-101
- 64 Островерхов В. В. Динамические погрешности аналого-цифровых преобразова телей. М. Энергия. 1975. 176 с.
- 65. Шлыков Г. П. Определение статических и динамических характеристик АЦП по профилю ступени квантования//Измерительная техишка — 1982 — № 12 — С 57—59
- 66 Buchele V. Nodify a Dualrank DDC for 100-MHz Data Sampling//EDN.-1983.-№ 12.- P. 149-160.
- 67 Polge R. J., Bhagowan K. B., Callas L. Evaluation Analog-to-Digital Converters//Simulation.—1975.— Vol. 24, № 3.— P. 81—86.
- 68 Muramatsu J., Uisen R. K. 6 Bit a d Chip Steps up the Pace of Signal Processing//Electronic Design.--1982.--№ 19.--P. 89--97
- 69 Maironey M. A New Approach to High Speed Codec Testing//IEEE Test Conf - 1980. - Paper 44 - P 97--102
- 70 Белов А. М., Шляхтин В. В., Ямкий В. Е. Исследование статических и динамических параметров аналого-цифровых преобразователей 1107ПА// Электронная техника. Сер. Микроэлектроника — 1984. — Вып 1 — С 5—6
- 71 Брагин А. А., Середина И. Г. Установка для определения апертурного времени быстродействующих аналого-цифровых преобразователей//Метрологическое обеспечение динамических измерении в информационно-измерительных системах. — Львов: ВНИИ метрологии измерительных и управляющих систем, 1981 — С. 72—77
- 72 Беломестных В. А., Вьюхин В. И., Касперович А. Н. Об одном спососе экспериментального определения динамических свойств быстродействующих АЦП//Автометрия.—1976.—№ 5.—С. 83—87
- 73. Дунцева Л. А., Коновалов В. И., Середина И. Г. Применение метода машинного имитационного эксперимента для определения динамических характеристик аналого-цифровых преобразователей//Метрологическое обеспечение динамических измерений в информационно-измерительных системах.—Львов: ВНИИ метрологии измерительных и управляющих систем, 1981—С 26—32.

- 74 Белякова И. П.. Островерхов В. В., Павлов В. В. Экспериментальная оценка динамических харктеристик АЦП//Проблемы создания преобразователей формы информации .Материалы III Всесоюз, симпознума — Киев: Наукова лумка. 1976.-4. 2.-C. 57-62
- 75. Gordon B. N. Linear Electronic Analog Digital Conversion Architectures, Their Origins, Parameters. Limitations and Septems//IEEE J.-1978.-Vol CAS-25. № 7.-P. 391-418.
- 76. Зильбериан Г. А., Максимов В. Б., Пелах Б. И. Исследование динамических характеристик аналого-цифровых преобразователей при помощи автоматизированной установки на базе ЭВМ СМ-3//Метрологическое обеспечение дина**иических** измерений в информационно-измерительных системах. — Львов: ВНИИ метрологии измерительных и управляющих систем, 1981. - С. 58-65.
- 77 Брагин А. А., Семенюк А. А., Бородатый В. И., Коновалов В. И. Вопросы построения системы для определения дниамических карактеристик компонентов измерительных информационных систем//Исследования в области системных **язмерений.** — Львов.: ВНИИ метрология измерительных и управляющих систем. 1960.-76 c.
- 78. Новицкий П. В. Основы информационной теории измерительных устройств М.: Энергия, 1968.—С. 248.
- 79. Нэмерение дниамических параметров интегральных схем/В. С. Сапрыкии. Н. И. Кузнецов. И. И. Докучаев и др. - М.: Сов. радно, 1979. - 366 с.
- 80. Измерение параметров цифровых интегральных микросхем/Д. Ю. Эндукас, Б. В. Орлов, Л. М. Попель и др. — М.: Радно и связь, 1982. — 368 с.
- Мстоды измерения амплитуаного параметра интегральных схем/Н. И. Докучаев, А. Ф. Карасев. Н. И. Кузнецов и др. //Электронная техника. Сер. 3. Микрозаектроника. - 1973. - Вып. 2. - С. 9-14.
- Воли предазновный измеритель параметров импульсов субнаносску идного диапазона/ А. П. Богородицкий. Ю. В. Гаврилов, В. Б. Задрубовский и Электрон. пром-сть.— 1984.— Вып. 7.—С. 50. ap.//
- 83. Найденов А. И. Трансформация спектра наносекундных импульсов. М. Сов. радно. 1973.-180 с.
- 84. Рябинии Ю. А. Стробоскопическое осциллографирование.—М.: Сов. радио. 1972.—272 c.
- 85. Дивжас А. И., Эйдукас Д. Ю. Информационно-измерительные системы контроля динамических параметров цифровых интегральных схем//Изв. вузов Лит ССР. Сер. Раднозлектроннка — 1979. — Т. 15, № 1. — С. 5—73.
- 86. Радноизмерительные приборы: Каталог-проспект. М. В/О Машприборинторг CCCP, 1976-1981
- 87. Осциллографы электронно-лучевые: Каталог. М. В/О Машприборинторг CCCP.-108 c.
- 88. Абрайтис В. Б., Паулаускас В. Н. Быстродействующий компаратор напряжения 597СА1//Электрон. пром-сть.-1978, № 7.-С. 22-24.
- 89. Справочник по интегральным микросхемам/Б. В. Тарабрии, С. В. Якубовский, Н. А. Барканов и др.; Под ред. Б. В. Тарабрина.—М.: Энергия, 1980.—816 с.
- 90. Помпонас Р. Л., Сагайтис В. В. Измерение времени установления быстродействующего инфро-аналогового преобразователя//ПТЭ.--1984.-№ 1.--С. 115-117
- 91 Геньли Р. Измерение времени установления методом задержанного строби-
- рования//Электровика.—1972.—Т. 45, № 12.—61 с. 92. Saul Р. И., Ward P. J., Fryers A. J. An 8-Bit, 5 nS Monolithic D/A Converter Sybsystem//IEEE Solid State Circuits.-1980.-Vol. SC-15, No 6.-P. 1033.
- 93. Гарет П. Аналоговые устройства для микропроцессоров и микроЭВМ: Пер с англ./Под ред. М. В. Гальперина. - М.: Мир, 1981. - 175 с.
- 94. Стробоскопический преобразователь для измерения динамических параметров быстродействующих ЦАП/Э.-А. К. Багданскис, В. Б. Квядарас, А. И. Найденов и др.//Тр. вузов Лит. ССР. Сер. Раднозлектроника.-1982.-Т. 18. ₩ 3.--24 c.
- 95. Багалискис Э.-А.К., Давидонене Ю. С., Давидонис В. Б. Анализ адаптера ИИС сверхбыстродействующих БИС. Материалы 10-й науч.-техн. конф.

«Радноизмерения. Микропроцессорные системы контроля».—1985.—Т. 3.— С. 21—36.

- 96. Гликман И. Я., Русиц Ю. С. Расчет характеристик элементов цепей РЭА.— М.: Сов. радио, 1976.—160 с.
- 97. Каталог. Изделия промышленности средств связи. Радноизмерительные приборы. М.: ЦООНТИ «Экос», 1983. Ч. 1. 100 с.: Ч. 2. 177 с.
- 98. А.с. 549884 СССР, НОЗ К 5/12. Генератор прямоугольных импульсов/ Э.-А. К. Вагданскис, Б. И. Яшинаускас.—Опубл. 1977. Бюл. № 9.
- 99. А.с. 566328 СССР НОЗ К 5/100. Формнрователь импульсов/Э.-А. К. Багданскис, Б. И. Яшинаускас. — Опубл. 1977. Бюл. № 27.
- 100. А. с. 938379 СССР, Н03 к 5/01. Формирователь импульсов/Э.-А. К. Багдамскис, Б. И. Яшинаускас.—Опубл. 1982, Бюл. № 23.
- 101. Строев К. Н., Строев Н. Н., Страутзелис В. В. Широкополосный усилитель с малым восстановлением после нагрузки//ПТЭ.—1984.—№ 5.—С. 122—124.
- 102. Ицхоки Я. С. Приближенный метод анализа переходных процессов в сложных линейных цепях.—М.: Сов. радио, 1969.—176 с.
- 103. Агаханян Т. М. Линейные импульсные усилители.—М.: Связь, 1970.—472 с.
- 104. Агаханян Т. М. Приближенный расчет переходной характеристики в области малых времен//Теория и расчет импульсных и усплительных схем на полупроводниковых приборах.—Вып. 1.—М.: Атомпадат, 1969.—С. 252-259.
- 105. Цыпкин Я. З. Основы теории автоматических систем. М.: Наука, 1977.-560 с.
- 106. Оборудование электротермотренировки и входного контроля интегральных микросхем//Экономика и технология приборостроения/ЦНИИТЭИ приборостроения.— М., 1987.—Вып. 1.—С. 1.—44.
- 107. Лаймен Дж., Розенблат А. Пути и проблемы повышения качества и надежности аолупроводниковых приборов и ИС//Электроника. 1981.—№ 10.— С. 27—45.
- 108. Розенберг. Сокращение числа отказов и количественное определение надежности посредством ускоренных испытаний и тренировок//Электроника.—1980.— № 18.—С. 49—58.
- 109. Рибля У. И. Выбор тестера для входного контроля//Э.тектроника. 1985. № 7. С. 56–62.
- 110. Автоматизированиая установка для функциональной подгонки и контроля параметров АЦП/А. И. Кутыркин. В. К. Петров, В. Л. Понков и др.// Электрон. пром-сть.—1987.—№ 3.—С. 51—53.
- 111. Linear Electronic Analog/Digital Conversion Architectures their Origins, Parameters, Limitations and Applications//IEEE Trans.-1978.-Vol. CAS-25, № 7.-P. 391.
- A Fully Parallei 10-bit A/D Converter with Video Speed/T. Takemoto,
   M. Inoue, H. Sadamatsu, A. Matsuzawa, K. Tsuji//IEEE J.-- 1982.--Vol. SC-17, № 6.-P. 1133-1138.
- 113. High-Speed A/D Converter for Video USE/A. Matsuzawa, M. Inoue, H. Sadamatsu e. a.//National Technical Report.—1983.—Vol. 29, № 2.—P. 196— 207.
- 114. Марцинкявичюс А. К., Драган Б. В. К вопросу увеличения разрядности быстродействующих монолитиых АЦП параллельного типа//Проблемы создания преобразователей формы информации.—Ч. П. Тез. докл. V Всесоюз. симпознума.—Кнев.—1984.—С. 113—114.
- 115. Соломон П. М. Сравнение полупроводниковых приборов для скоростных логических схем//ТИИЭР.—1982.—Т. 70, № 5—С. 88—112.
- 116. Марцинкявнчюс А. К., Кучинскас И. Д., Ясулайтис Д. Ю. Расчет резисторных делителей опорного напряжения в параллельных АЦП//Физическая электроника: Тез. докл. республик. конф. – Каунас. 1983. – С. 35–36.
- 117 Мариникявнчюс А. К. К вопросу разработки ИС ЦАП-АЦП большой разрядностй//Материалы науч.-техн. конф. «Техническая кибериетика».—Каунас, 1979.— С. 53—54.—
- 118. Абрайтис В. Б., Марцинкявичюс А. К. Возможности и ограничения опполярной технологии в разработке быстродействующих БИС ЦАП-АЦП//Однородные

вычислительные среды. Архитектура н реализация.—Львов. АН УССР Физ-механ. ни-т, 1981—С. 34—36.

- 119 Дешевые н быстродействующие цифроа налоговые преобразователи//Электрони ка.—1981 — № 13 — С. 72.
- 120. Saul P. H., Werd P. J., Fryers A. J. An 8-bit Monolithic D/A Converter Subsystem//IEEE J.-1980.-Vol. SC-15, № 6.-P 1033-1039.
- 121 Saul P. H. Monolithic 10-bit d/a Converter. Avoids Postprocess Trimming// Electronics.-1984.-№ 12.-P. 144-146.
- 122. Saul P. H., Urguart J. S. Techniques and Technology for Hihg-Speed Conversion//IEEE Trans.-1981.-Vol. ED-31. № 2.-P. 196-202.
- 123. Ван де Пляше Р. Интегральные преобразователи данных с динамическим согласованием элементов//Электроника.—1983.—№ 12.—С. 54—60
- 124. Van de Plasshe R. J., Gordhart D. A Monolithic 14-bit d/a Converter// IEEE J.-1979.-Vol. SC-14.-P 552-556.
- 125. Van de Plasshe R. J. Dynamic Element Matching for High Accuracy Monolithic d/a Converter//IEEE J -- 1976.-Vol SC-11, № 6.-P 795-800
- 126. Шоуф Д. Биполярный интегральный 12-разрядный ЦАП//Электроника 1979 № 25.—С. 51--60.
- 127 Виленски С. Высокочастотный ЦАП с дешифрацией старших разрядов/. Электроника — 1980. — № 13. — С 41—47
- 128. LSI Products Division TRW Electronic Components Group, 1984.-432 p.
- 129. A Monolithic 8-bit a/d Converter with 120MHz Conversion Rate/M. Inoue, H. Sadamatsu, A. Matsuzawa, A. Kanda, T Takemoto//IEEE J — 1984.— Vol. SC-19, № 6.—P 837—840.
- 130. De Graaf K. «A Silicon 400 MG/s 5-bit a/d Converter» Presented at Workshop on High Speed a/d Conversion, Portland. OR, Oct. 1978.
- 131. Маттера. Практика обеспечения надежности//Электроника 1975. № 21 С. 34-47
- 132. Отбраковочные испытания полупроводниковых приборов и ИС/А. А. Чернышев. В. В. Ведерников, А. П. Галеев и др.//Зарубежная электронная техника — 1977.—№ 7 — С. 3—22.
- 133. А.с. 337722 СССР. G01г 13/20 Стробоскопический осциллограф/Э.-А. К. Багданскис. А. И. Найденов. — Опубл. 1972, Бюл. № 15.
- 134. Багданскис Э.-А. К., Найденов А. И. Автоматическая установка амплитудного масштаба в стробоскопических осциллографах//Радноэлектроника: Тр. научтехи. конференции. — Каунас, 1971. — Т 7 — С. 283—286.
- 135. Багданскис Э.-А. К., Найденов А. И. Автоматическая установка амплитудного масштаба в стробоскопических осциллографах//Автометрия — 1973.— № 6.— С 58—66.
- 136. А.с. 477353 СССР, GOIr 13/20 Стробоскопический осциллограф/Э-А. К. Багданскис — Опубл. 1975, Бюл № 26.
- 137 А.с. 439759 СССР, G01r 13/34 Стробоскопический осциллограф/Э.-А. К. Багданскис, А, И Найденов.-~Опубл. 1974, Бюл. № 30.
- 138. А.с. 418803 СССР. G01г 13/20 Стробоскопический осциллограф/Э А. К. Багданскис.—Опубл. 1974, Бюл. № 9.
- 139 А.с. 436286 СССР. GOI: 13/20 Стробоскопический осциллограф/Э · А. К. Багданскис — Опубл. 1974, Бюл № 26.
- 140 А.с. 410321 СССР. G01г 13/00 Стробоскопический осциллограф/Э А К Багданскис, А. И Найденов.—Опубл 1974, Бюл № 1
- 141 А.с. 838612 СССР. G01 Ř29/00 Устройство для определения динамических характеристик преобразователей/М М Гельман, А С Бондаревский. Э - А К Багданскис и др.—Опубл 1981, Бюл № 22
- 142. Analog LSI Test/Trim Systems: Catalog Solid State Techonology 1979. September — P 44, 45.
- 143. Konde P. Laser Trimming of Automative Electronics//Electronic Packaging and Production -1979 - October - P 75, 76
- 144 Лазерная технологическая установка для подгонки резисторов ИС/Г А. Галич, В. В Зайка. В И Кравченко и др //Электрон пром-сть.—1984 — № 4 — С 36—38

- Lasertrimmingsystem mls 7032: Catalog mils.—München Technologiezentrum, 1986.—S. 12.
- 146. Solartion Instruments: Catalog Solartionschlumberger .- Solartion, 1984.-P. 23.
- 147 Test Equipment for Todays Linear Devices//Electronic Packaging and Production.-1980.-November.-P. 60-62.
- 148. MIKI Messtechnik. Automatischen Testsysteme für Nachrichtenlechnische und Analoge Prüfungen. Metrimpex.—Budapest, 1986.—S. 64.
- 149. Component Test Systems: Analog Devices Product Catalog. June, 1982, Models LTS-2000.—12. 81.
- 150. Ребане Р.-В. П., Рюстери Э. А.-А. Система Е101 для поверки АЦП и ЦВ// Тез. докл. республ. конф., посвященной Дию радио. Системы реального времени/Эст. НИИНТИ.—Таллин, 1980.—С 8—9.
- 151. Test Dynamique des Convertisseurs «Analogique-numérique».//Electronique.— 1982.—№ 4/3.—P. 65—81
- 152. Souders T., Lechner J. A. Technique for Measuring the Equivalent RMS Input: Noise of A/D Converters»//IEEE Trans.—1980.—Vol IM-29 № 4.—P 251—256.
- 153. Установка функциональной подгонки АЦП по выходному коду/А. И. Диянов, С. Б. Кутыркин, В. Л. Полковов и др.//Тез. докл к зональной конференции «Методы и средства аналого-цифрового преобразования параметров электрических сигналов и цепей» — Пенза Приволж. дом науч.-техн пропаганды, 1985.—С. 74.
- 154. Лоранджер. Термотреннровка компонентов и ее технико-экономическая оценка// Электроника.—1975.—№ 2.—С. 24—31
- 155. Лаймен Дж., Розенблат А. Пути и проблемы повышения качества и надеж ности полупроводниковых приборов и ИС//Электроника.—1981.—№ 10.— С. 27—45.
- 156. Розенберг. Сокращение числа отказов и количественное определение надеж ности посредством ускоренных испытаний и трейнровок//Электроника — 1980. — № 18. — С. 49—58.
- 157. Data Conversion//Electronic Wireless World.-1986.-March.-P. 25-28.
- 158. Data Conversion//Electronic Wireless World .- 1986.-February .- P. 27-31
- 159. Fleming T. Analog/digital and digital/analog data converters//EDN.-1986.-May 29.-P 102-124
- 160. Марцинкявичюс А.-Я. К. Быстродействующие АЦП и ЦАП для обработки широкополосных сигналов/Электрон. пром-сть.—1986.—№ 10.—С 5—6.
- 161 Александравнчюс И. А., Марцинкявичюс А.-И. К., Матузонис Ч. Ю. Быстродействующий 10-разрядный ЦАП КР118ПА2//Электрон. пром-сть.—1986.— № 10.—С. 8—10.
- 162. Басин В. М., Марцинкявичюс А.- Й. К., Ясулайтис Д. Ю. Сверхбыстродействуюший 8-разрядный АЦП К1107ПВ4 с частотой преобразования 100 МГц// Электрон. пром-сть.—1986.—№ 10.—С. 113—115.
- 163. Багданскис Э.-А. К., Груздас Р. Я., Квядарас В. Ю. Тестер для измерения динамических параметров ЦАП//Электрон. пром-сть. — 1986. — № 10. — С. 27—28.
- 164. Багданскис Э.-А. К., Кайрялис В. Й., Мисеркеев Г. М. Тестер для измерения динамических параметров сверхбыстродействующих АЦП//Электрон пром.сть.—1986.—№ 10.—С 26—29.
- 165. Лабораторный измеритель времени установления быстродействующих АЦП/ Э.А. К. Багданскис, В. Б. Квядарас. С Ф. Мацкевич, В. А. Скурдянис// Электрон. пром.сть.—1986.—№ 10.—С 30

# Оглавление

## МИКРОСХЕМЫ ПАМЯТИ

| Предисловие   |
|---|
| Список сокращений, принятых в книге5                                  |
| ГЛАВА 1. ОБЩАЯ ХАРАКТЕРИСТИКА МИКРОСХЕМ ПАМЯТИ7                       |
| ГЛАВА 2. МИКРОСХЕМЫ ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ<br>УСТРОЙСТВ             |
| ГЛАВА 3. ПРИМЕНЕНИЕ МИКРОСХЕМ ОПЕРАТИВНЫХ<br>Запоминающих устройств   |
| ГЛАВА 4. МИКРОСХЕМЫ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ<br>УСТРОЙСТВ111           |
| ГЛАВА 5. ПРИМЕНЕНИЕ МИКРОСХЕМ ПОСТОЯННЫХ<br>Запоминающих устройств137 |
| Указатель микросхем156  |
| Список литературы157  |

# ЦАП И АЦП

| Предис            | ловие161   |
|-------------------|--|
| ГЛАВА 1.          | ОСОБЕННОСТИ ПОСТРОЕНИЯ<br>БЫСТРОДЕЙСТВУЮЩИХ МИКРОСХЕМ ЦАП, АЦП И<br>АППАРАТУРЫ ДЛЯ ИЗМЕРЕНИЯ ИХ ЭЛЕКТРИЧЕСКИХ<br>ПАРАМЕТРОВ163 |
| ГЛ <b>АВА 2</b> . | ПАРАМЕТРЫ МИКРОСХЕМ ЦАП., АЦП И ИХ<br>ОПРЕДЕЛЕНИЯ170   |
| ГЛАВА 3.          | СХЕМЫ ПОСТРОЕНИЯ И ЭЛЕКТРИЧЕСКИЕ<br>ХАРАКТЕРИСТИКИ МИКРОСХЕМ ЦАП188  |

| ГЛАВА 4. | СХЕМЫ ПОСТРОЕНИЯ И ЭЛЕКТРИЧЕСКИЕ<br>ХАРАКТЕРИСТИКИ МИКРОСХЕМ АЦП21   | 8       |
|----------|--|---------|
| ГЛАВА 5. | МЕТОДЫ И АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ<br>СТАТИЧЕСКИХ И ДИНАМИЧЕСКИХ ПАРАМЕТРОВ<br>МИКРОСХЕМ ЦАП                                      | 58      |
| ГЛАВА 6. | МЕТОДЫ И АППАРАТУРА ДЛЯ ИЗМЕРЕНИЯ<br>СТАТИЧЕСКИХ И ДИНАМИЧЕСКИХ ПАРАМЕТРОВ<br>МИКРОСХЕМ АЦП                                      | 95      |
| ГЛАВА 7. | ОСНОВНЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ИЗМЕРИТЕЛЕЙ<br>ДИНАМИЧЕСКИХ ПАРАМЕТРОВ МИКРОСХЕМ<br>ЦАП И АЦП                                       | ł<br>24 |
| ГЛАВА 8. | ОСОБЕННОСТИ ИЗМЕРЕНИЯ И АППАРАТУРЫ<br>ДЛЯ КОНТРОЛЯ ЭЛЕКТРИЧЕСКИХ ПАРАМЕТРОВ<br>МИКРОСХЕМ ЦАП И АЦП В ПРОЦЕССЕ<br>ИХ ИЗГОТОВЛЕНИЯ | 15      |
| ГЛАВА 9. | ПЕРСПЕКТИВЫ РАЗВИТИЯ БЫСТРОДЕЙСТВУЮЩИХ<br>МИКРОСХЕМ ЦАП, АЦП И ИЗМЕРЕНИЕ<br>ИХ ПАРАМЕТРОВ  | 55      |
| Список   | литературы   | 74      |

## Лебедев Олег Николаевич, Марцинкявичюс Альбинас-Йонас Казимирович, Багданскис Эугениюс-Альгимантас Казеевич и др.

## МИКРОСХЕМЫ ПАМЯТИ, ЦАП и АЦП

Ответственный за выпуск Халоян А.А. Редактор Толмачева М.В. Технический редактор Крылова Е.А.

Сдано в набор 28.08.95. Подписано в лечать 25.09.95. Формат 84x108/32. Бумага типографская. Гарнитура "Литературная". Печать офсетная. Усл. печ. л. 20,16. Тираж 15000. Заказ 499

> Лицензия N 063215 от 28.12.1993. Издательская фирма "КУбК-а" 109.125 Москва, 1-й Саратовский проезд, д.7, кор. 3

Текст отпечатан с готовых диапозитивов во Владимирской книжной типографии Комитета Российской Федерации по печати.

600000, г. Владимир, Октябрьский проспект, д. 7.

Качество печати соответствует качеству представленных диапозитивов.